

# Entwicklung des Triggerkonzepts und die entsprechende Implementierung eines 200 GB/s Auslesenetzwerks für den ALICE-Übergangsstrahlungsdetektor

Rolf Schneider

Prof. Dr. Volker Lindenstruth  
Lehrstuhl für Technische Informatik  
Ruprecht-Karls-Universität Heidelberg

URL: <http://www.ti.uni-heidelberg.de>  
E-Mail: [rolf.schneider@kip.uni-heidelberg.de](mailto:rolf.schneider@kip.uni-heidelberg.de)

Disputation, 19. Mai 2008

# Überblick

---

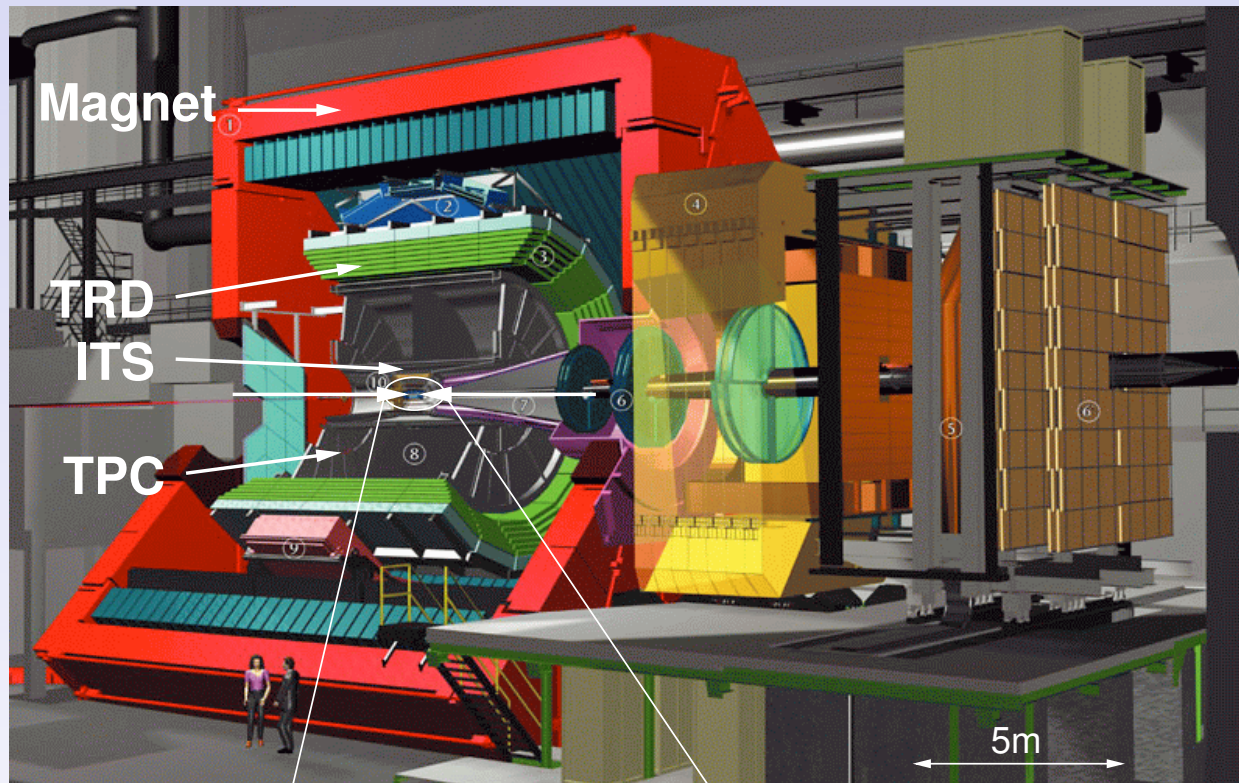
## Einführung

- ALICE-Experiment, Notwendigkeit von Triggern
- Übergangsstrahlungsdetektor (TRD)
- Aufbau des TRD und Aufgabe des Multi-Chip-Moduls
- lokales und globales Tracking

## Arbeit

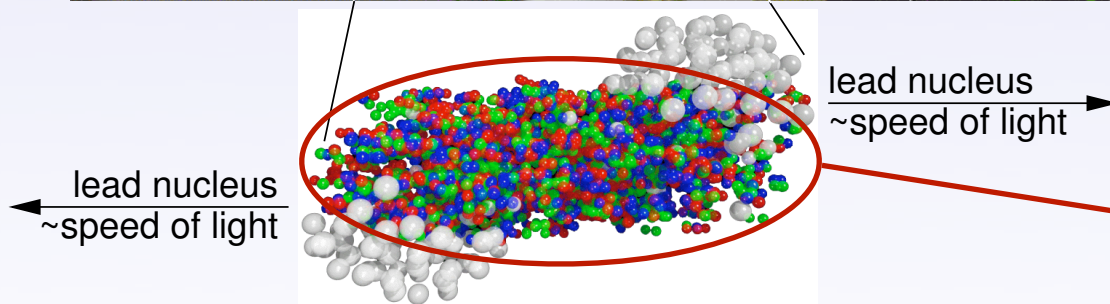
- Konzept zum globalen Tracking
- Simulation und Auswahl an Ergebnissen
- Auslesenetzwerk, Anforderungen und Lösung
- Netzwerkschnittstelle
- Design-Fluss
- Tests und Strahlzeiten

# ALICE - A Large Ion Collider Experiment



## Experiment

- Wechselwirkung von Bleikernen bei 1150 TeV
- Detektoren für
  - Vertex-Position (ITS)
  - hochauflösende Spurbestimmung (TPC)
  - Trigger/Tracking (TRD)
  - ...



## Quark-Gluonen-Plasma

- Zustand der Materie kurz nach dem Urknall

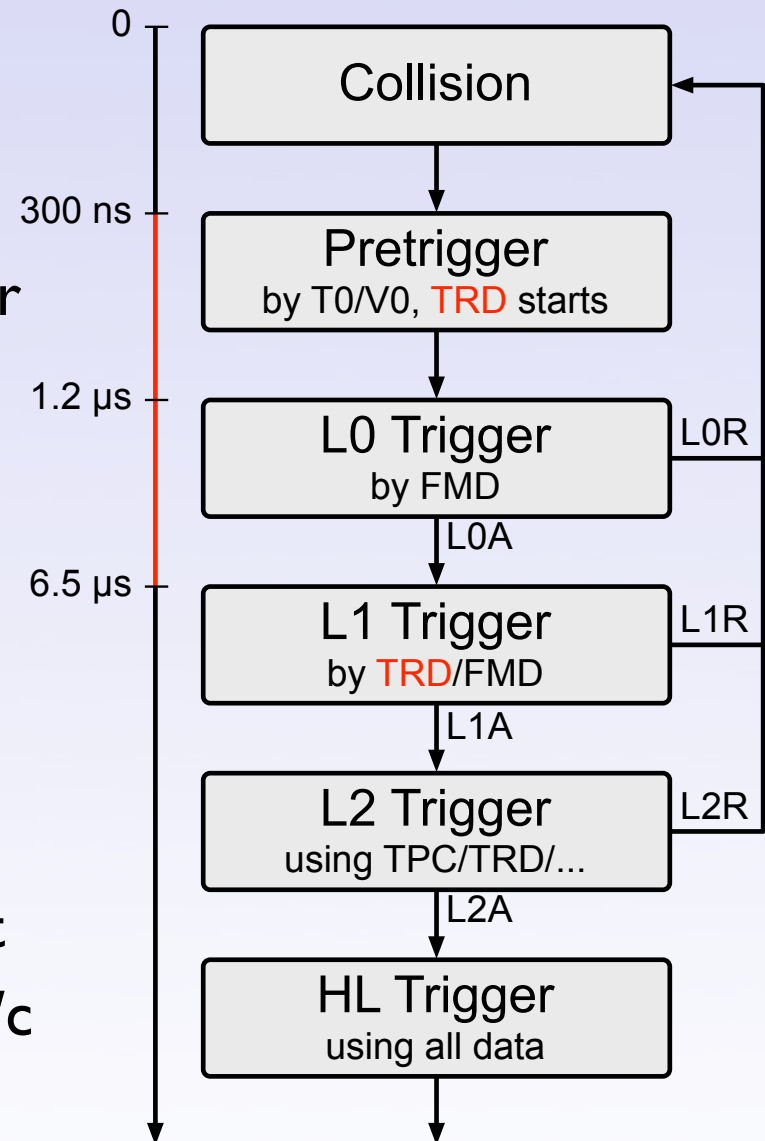
# Trigger

## Notwendigkeit

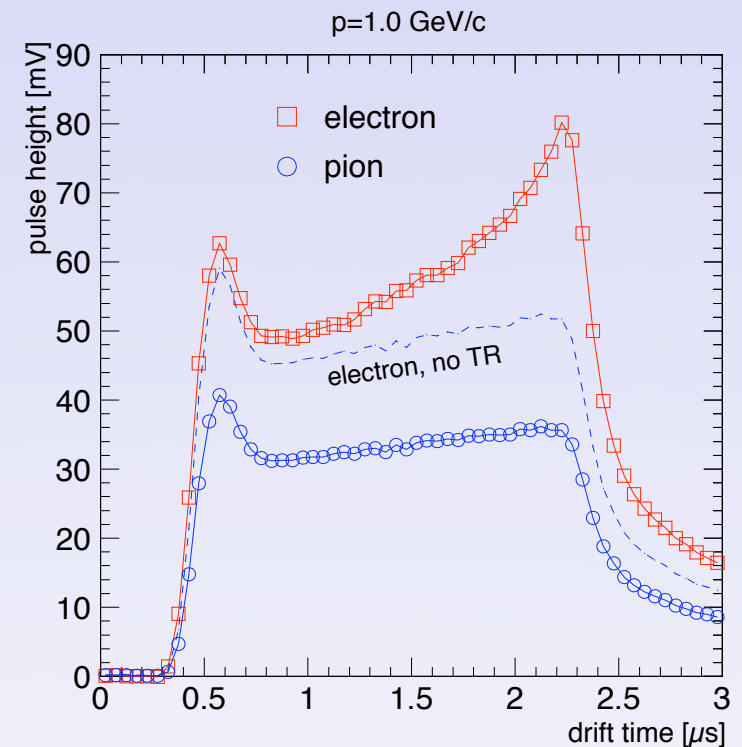
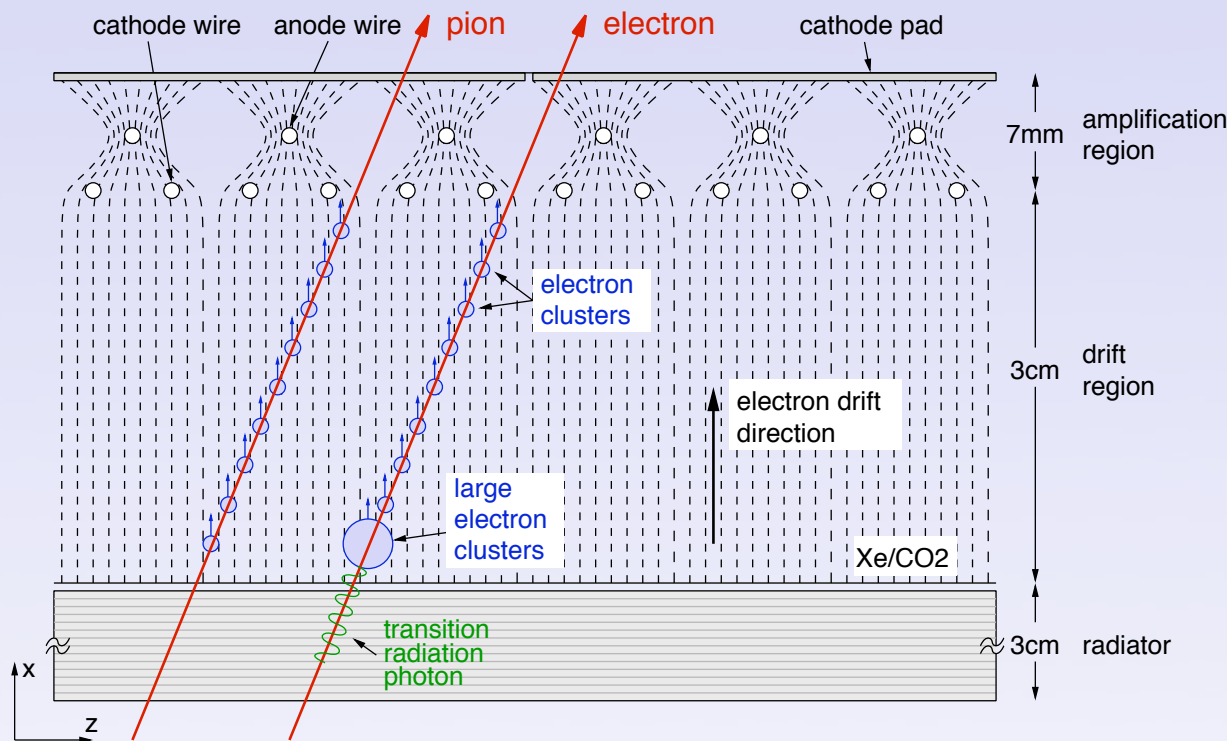
- 10 000 Ereignisse pro Sekunde
- nur jedes 100-ste Ereignis ist „interessant“
- Detektoren unterscheiden sich stark in ihrer Verarbeitungsgeschwindigkeit
- TRD (6,5  $\mu$ s) triggert TPC (5 ms)
- Steigerung der Effektivität des Systems

## „Interessante“ Ereignisse

- zentrale Kollision, hohe Multiplizität
- Protonen und Neutronen verlieren Identität
- Emission von Hadronen, z. B.  $J/\psi$  mit 3 GeV/c
- $J/\psi$  zerfallen u. a. in  $e^+e^-$ -Paare



# TRD - Transition Radiation Detector



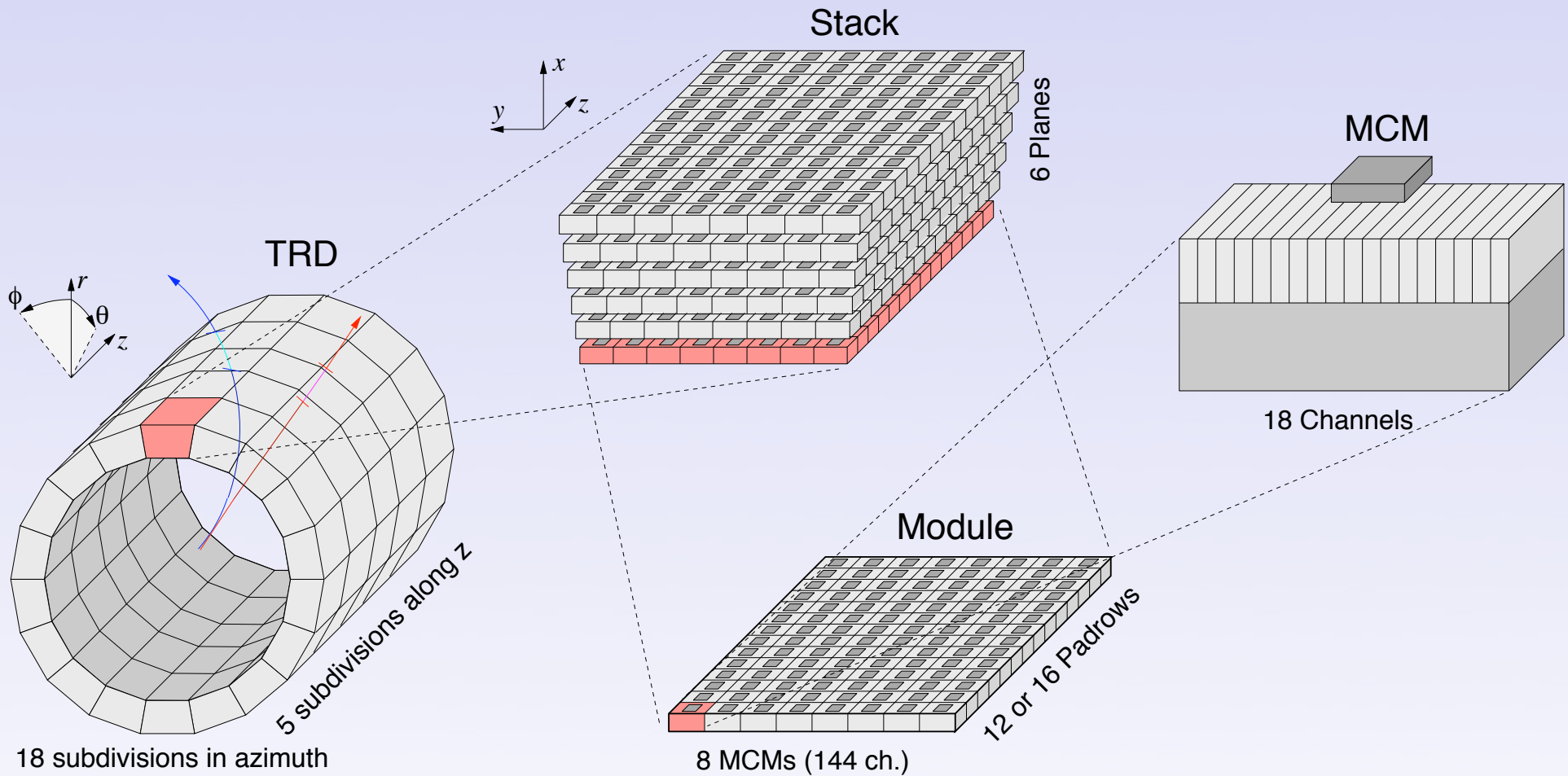
## Aufgabe als Trigger

- hochenergetische  $e^+e^-$ -Paare finden
- Erkennung innerhalb von 6,5  $\mu$ s

## Funktionsweise

- Magnetfeld verursacht Kreisbahn
- Suche nach „steifen“ Spuren
- Übergangsstrahlung bei Elektronen

# Aufbau des TRD



## Eckdaten

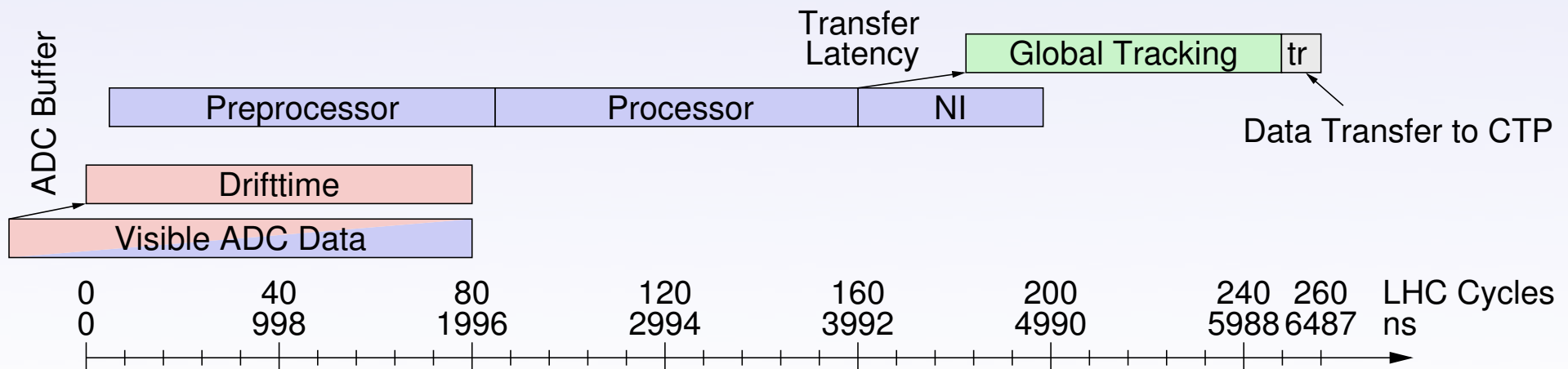
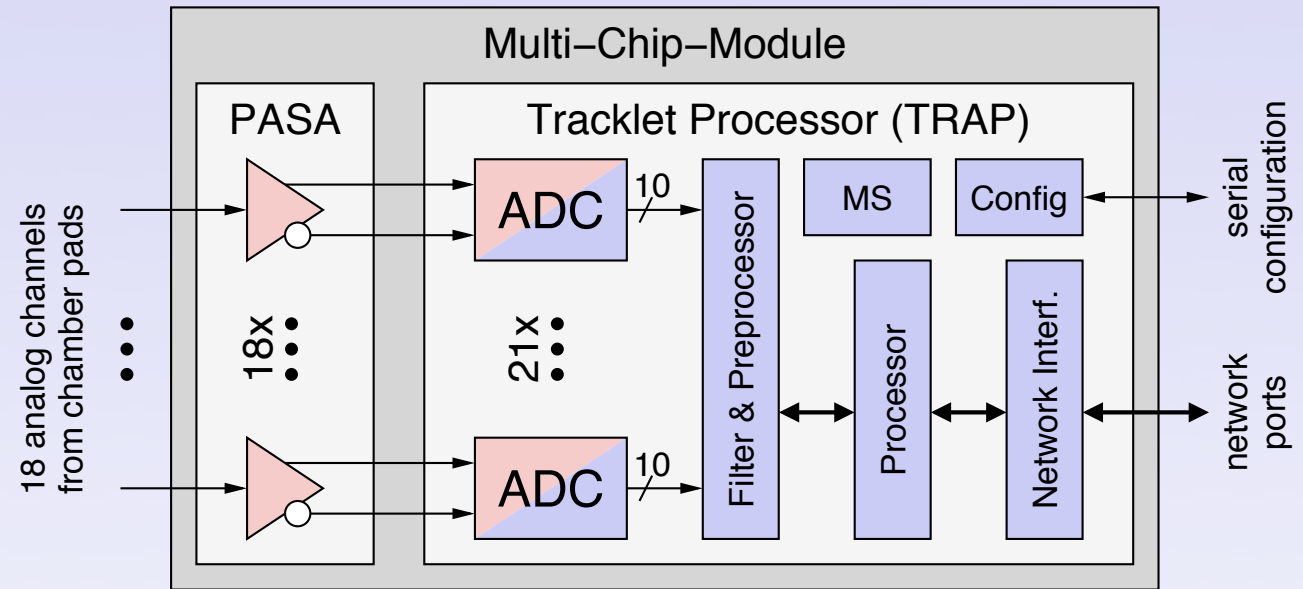
- 1,2 Millionen Kanäle
- 1,4 Millionen ADCs
- 65 664 datenverarbeitende MCMs
- gesamte Oberfläche etwa 720 m<sup>2</sup>



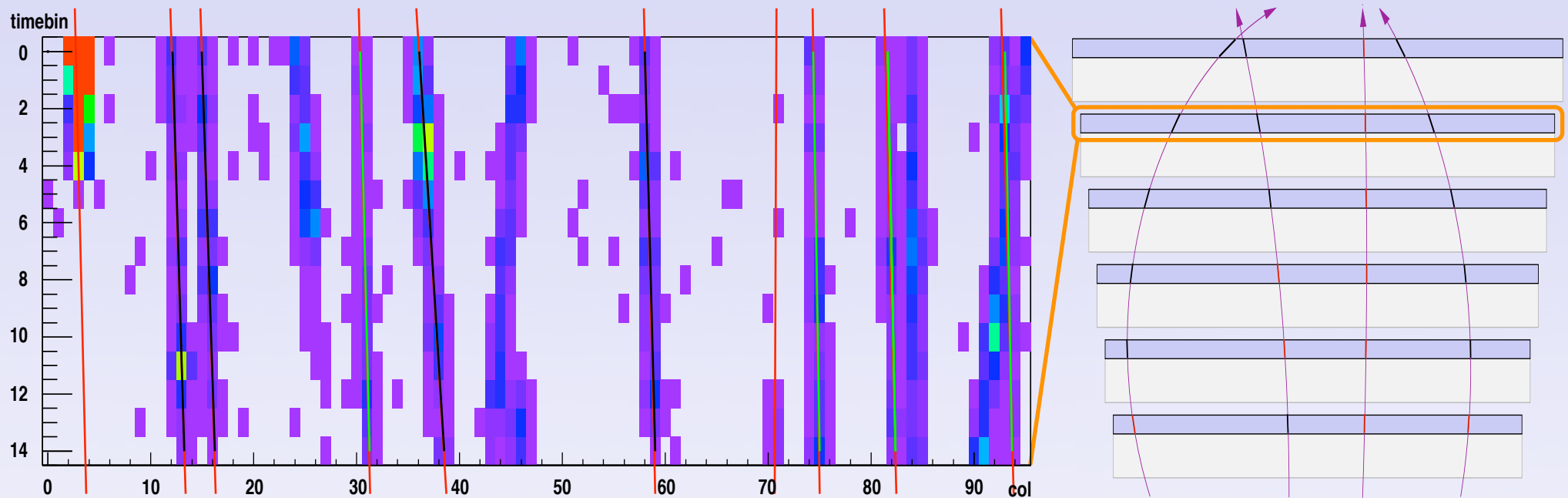
# MCM - Multi-Chip-Module

## Aufgaben

- Eingangssignale verarbeiten
- Berechnen von Spursegmenten
- Filtern der Ergebnisse
- Datenverarbeitung noch auf dem Detektor



# Lokales und globales Tracking



## Lokales Tracking

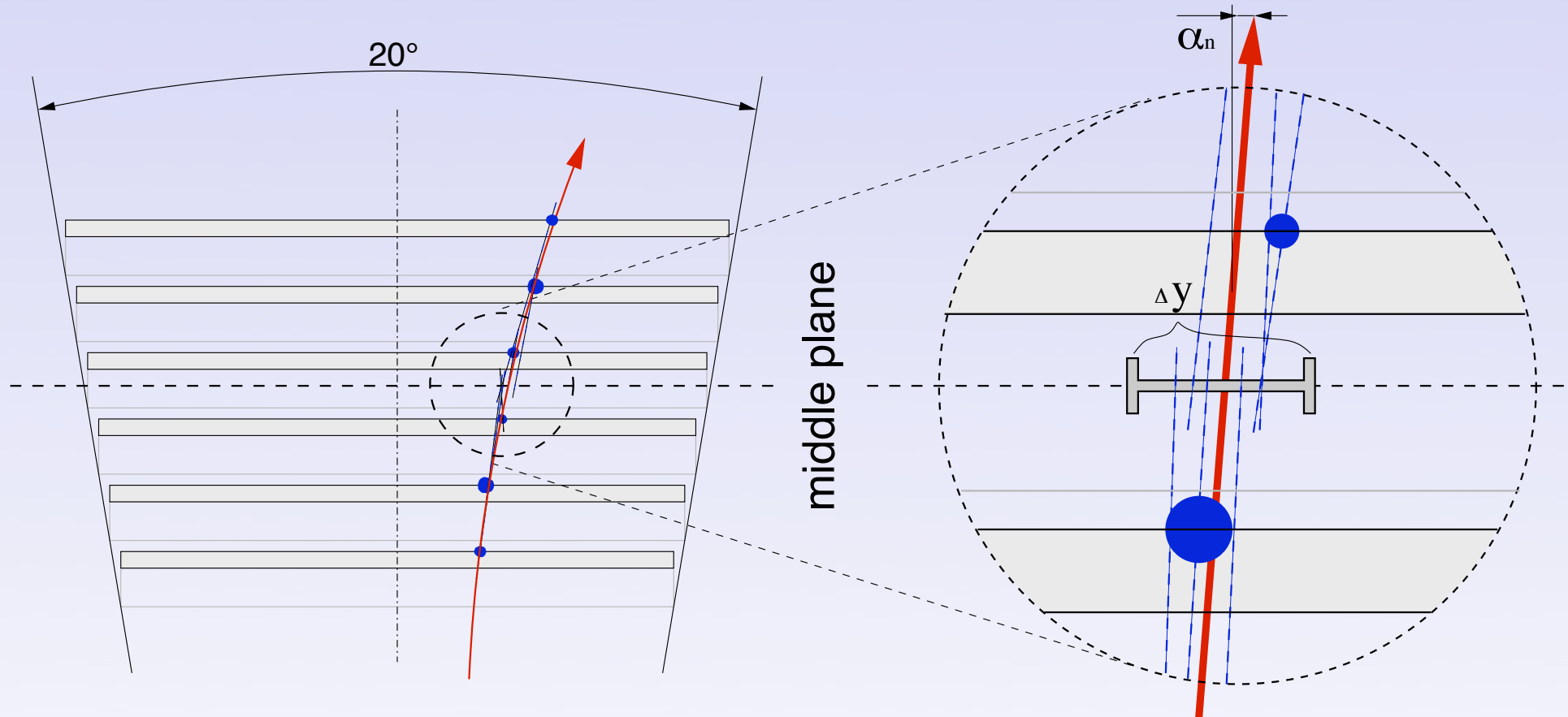
- Aufbereitung der Eingangssignale
- Berechnung von Spursegmenten und Spurparametern
- Extraktion interessanter Daten zur Datenreduktion

## Globales Tracking

- Zusammenfügen der Segmente
- Berechnung der Spur
- genaue Bestimmung des Transversalimpulses
- Trigger an den CTP



# Globales Tracking - Konzept



## Konzept zum globalen Tracking

- Finden zusammengehöriger Spursegmente durch Projektion auf eine Ebene
- Bestimmung des Transversalimpulses unter Berücksichtigung von min. vier Spursegmenten adäquat

# Simulation

---

## **AliRoot**

- Datenanalyse-Framework für ALICE, basierend auf ROOT
- Simulation aller Detektoren *und* Offline-Analyse in der selben Umgebung

## **ROOT**

- Datenanalyse-Framework für Hochenergiephysik-Experimente
- bietet Schnittstellen zu häufig gebrauchten Programmen wie HIJING und Geant
- Klassenbibliotheken zum Fitten, Visualisieren und Streamen von Daten
- Skriptsteuerung über einen C++-Interpreter

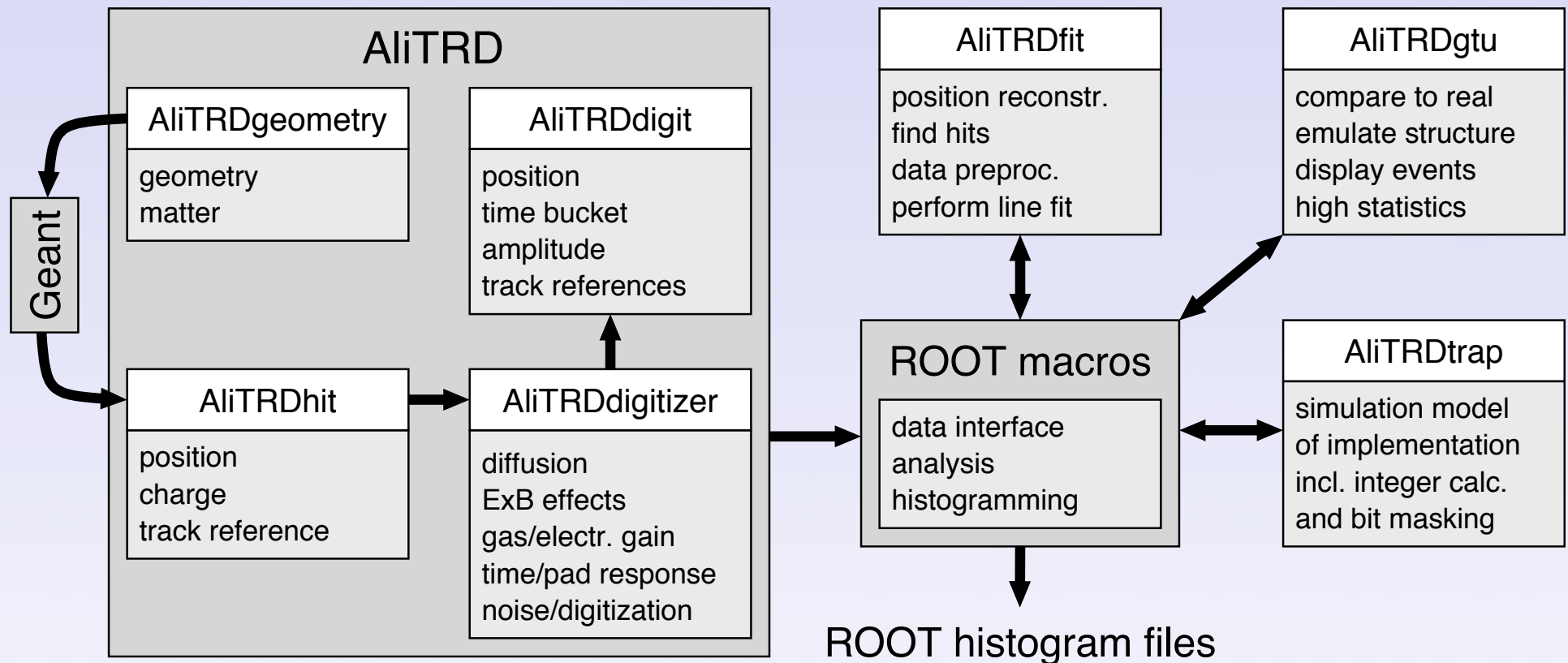
## **HIJING und Pythia**

- Monte-Carlo Generatoren zur Beschreibung hochenergetischer Kollisionen

## **GEANT**

- Analyse der Wechselwirkung von Teilchen (z.B. von HIJING) mit Materie

# Simulation des TRD



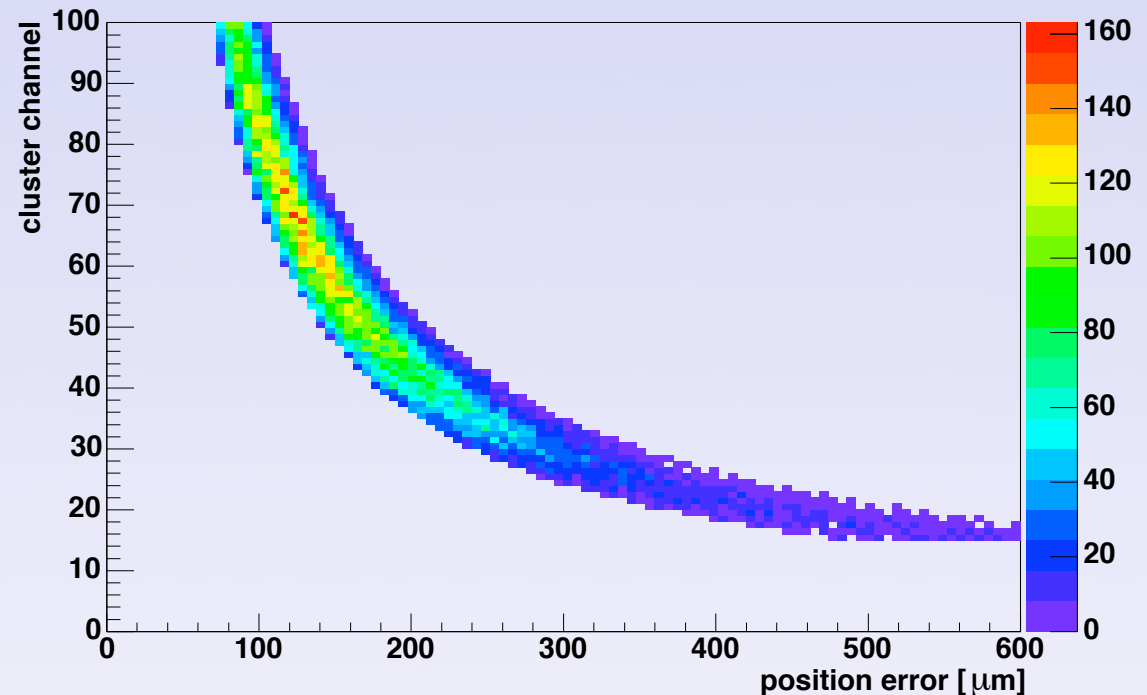
## In dieser Arbeit entwickelt

- Klassen zur Untersuchung des lokalen und globalen Trackings
- Darstellung der Hardware-Implementierung des lokalen Trackings
- Skripte zur Analyse und Darstellung der Ergebnisse

# Simulationsergebnis - Auflösung

## Ablenkungsauflösung

- Ausfiltern uninteressanter Spursegmente
- adäquate Genauigkeit für das globale Tracking
- Ablenkungsfehler korreliert direkt mit der **Positionsauflösung**



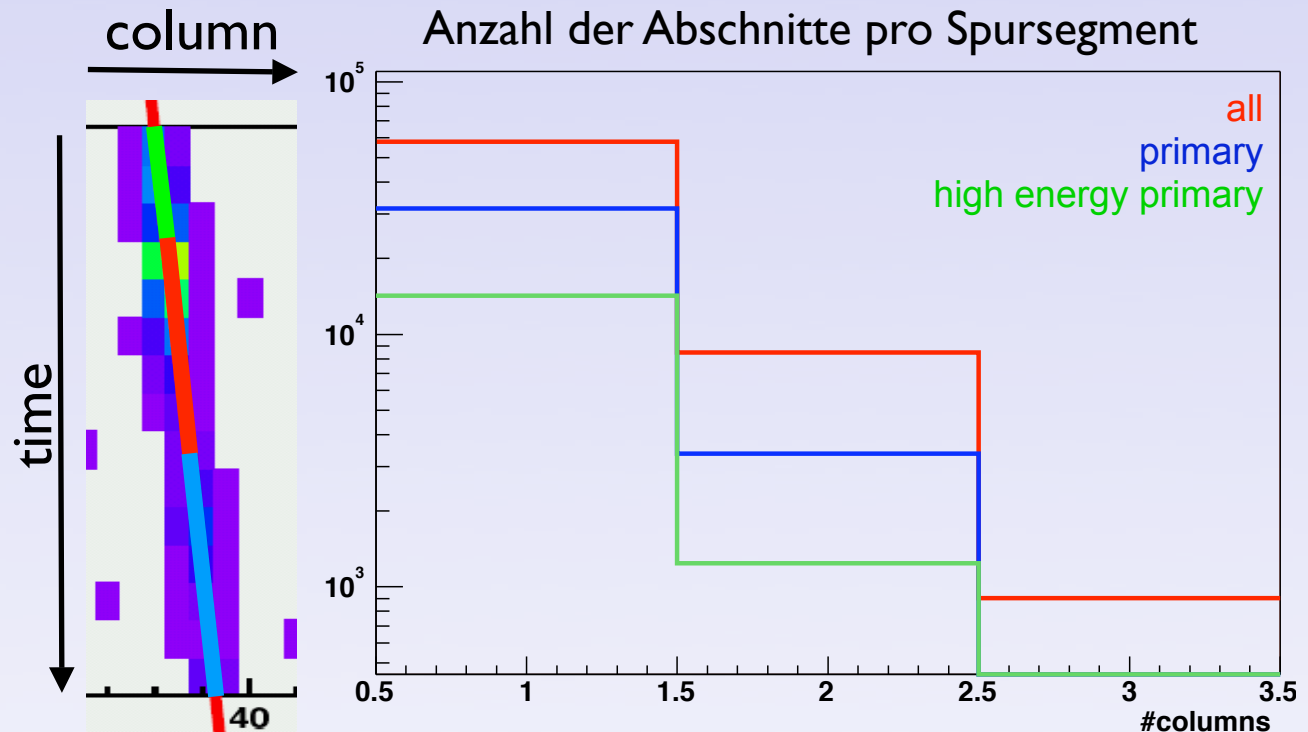
## Positionsauflösung

- Summe der ADC-Werte wichtig für COG (center of gravity)
- uninteressante Spuren und Peaks (Übergangsstrahlung) müssen in gleicher Auflösung erkannt werden
- dynamischer Bereich für eine Auflösung von 400 μm ist min. 10 Bit
- z. B. Padgröße und Abtastrate haben direkten Einfluss auf den ADC-Kanal

# Simulationsergebnis - Spalten

## Arbeitsweise

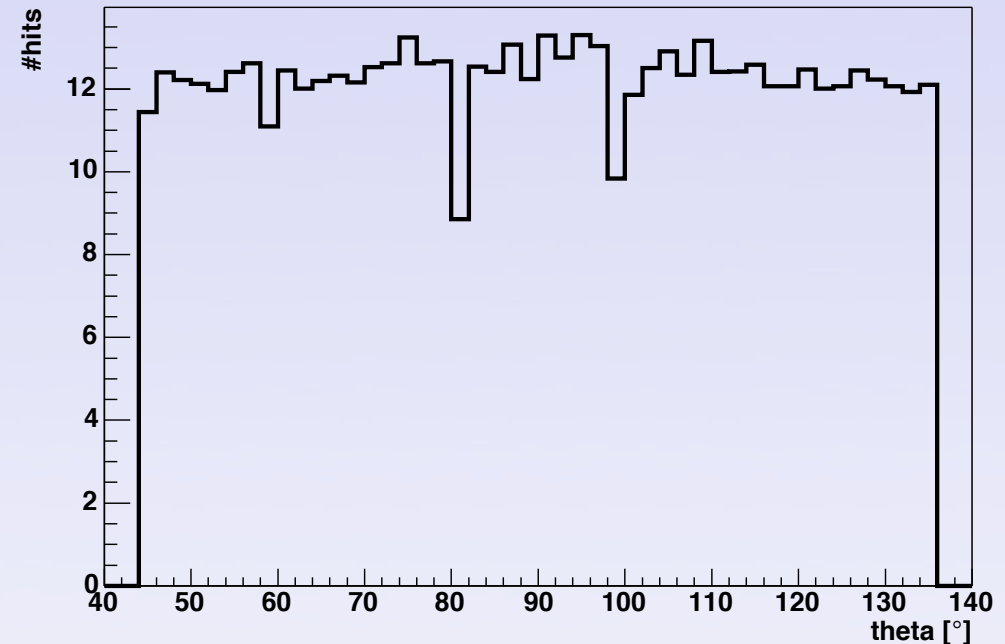
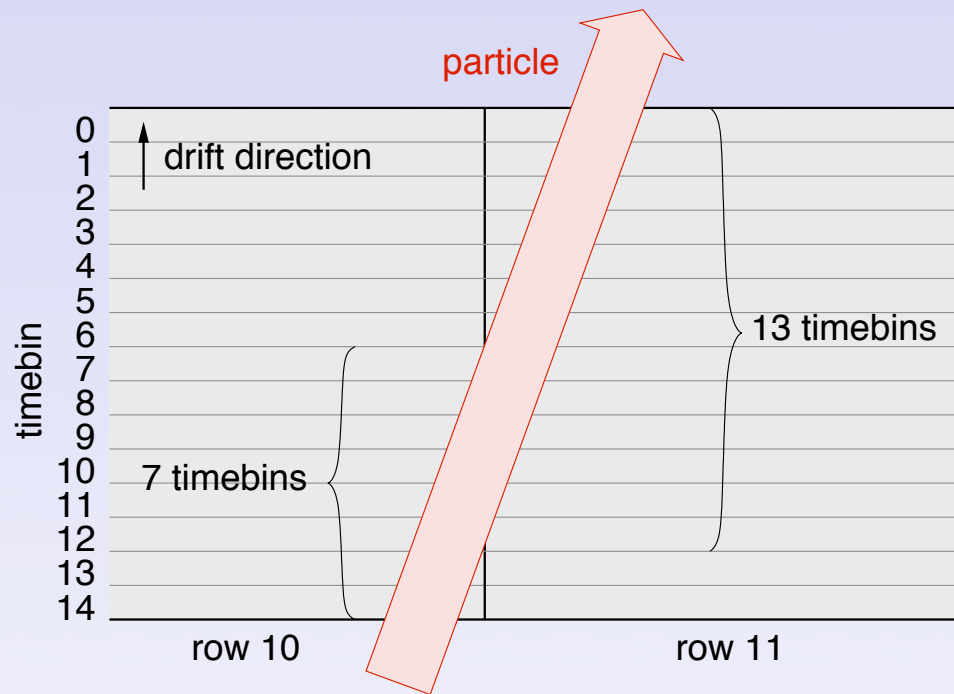
- Berechnung der Abschnittsparameter durch Präprozessor
- Zusammenführen der Abschnitte zu einem Spursegment



## Folgerungen

- Zusammenführen von zwei Abschnitten sind ausreichend für die Darstellung eines „interessantes“ Spursegments
- es ist ausreichend, wenige Eingangssignale zwischen den MCMs zu teilen - es bedarf keines Austauschs von Daten

# Simulationsergebnis - Zeilen

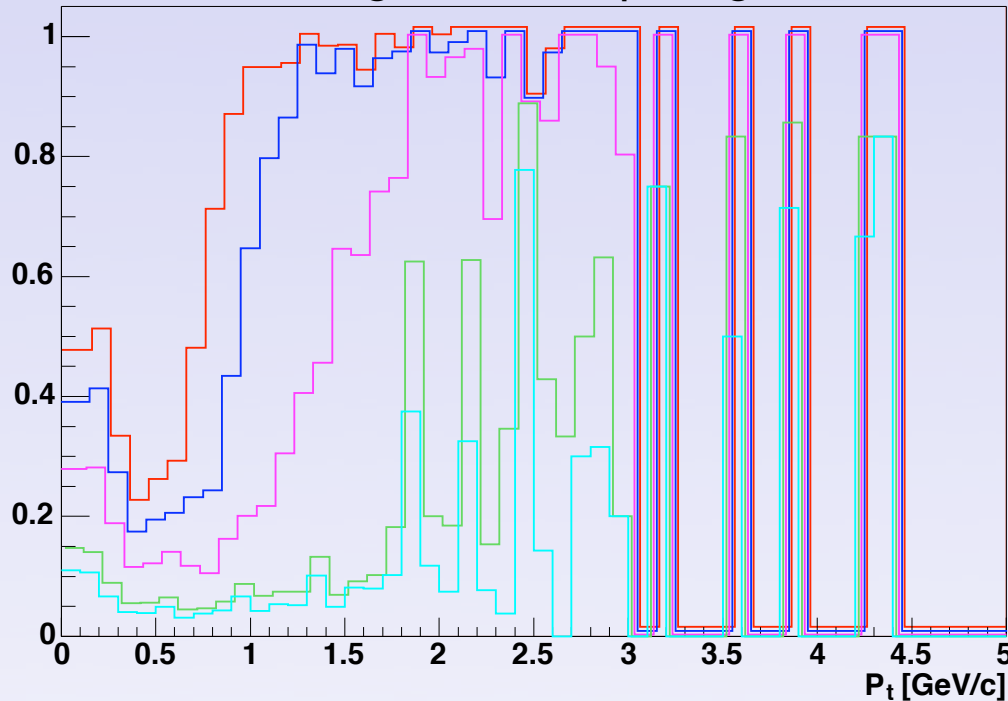


## Spurabschnitte in z-Richtung

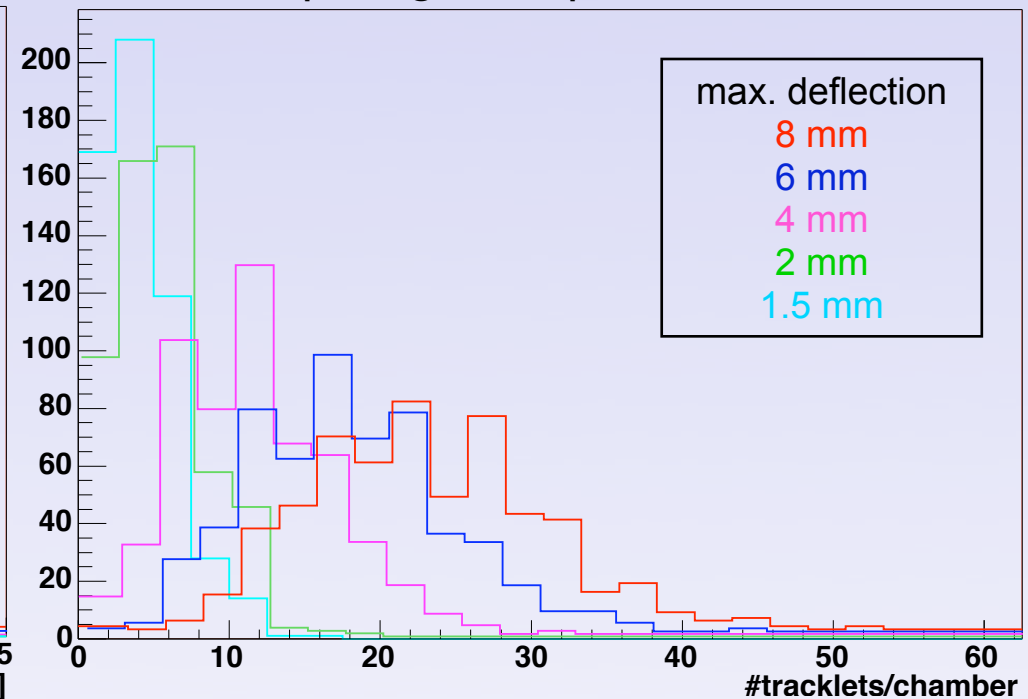
- eine Spur kann die Grenze zweier Zeilen (Rows) überschreiten
- 12 Stützpunkte sind ausreichend für eine genaue Spurbestimmung
- es müssen keine benachbarten Zeilen berücksichtigt werden und damit auch keine Daten zwischen den MCMs in z-Richtung ausgetauscht werden
- Erkennung doppelter Spursegmente innerhalb des globalen Trackings

# Simulationsergebnis - Datenmenge

rel. Anzahl gefundener Spursegmente



Spursegmente pro Modul



## Effizienz

- schwer zu definieren
- interessant: Ablenkung  $< 2$  mm
- 95% der Teilchen  $> 1$  GeV/c werden mit einer Begrenzung von  $< 6$  mm gefunden

## Folgerung

- max. 6 mm Ablenkung ausreichend
- ca. 40 Spursegmente pro Modul
- bestimmt Auslesearchitektur
- genauer Transversalimpuls kann global bestimmt werden



# Auslese - Anforderungen

---

## **Datenmenge und Durchsatz**

- 40 Spursegmente pro Modul mit 32 Bit (Simulationsergebnis)
- Übertragung muss innerhalb von ca. 400 ns erfolgt sein (ohne Latenz)
- benötigt werden min. 3 Gbit/s pro Modul

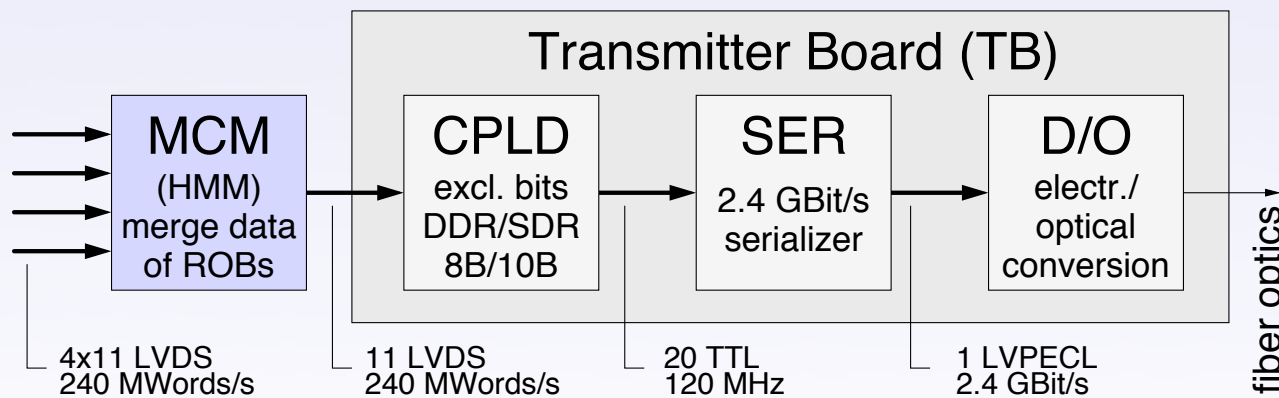
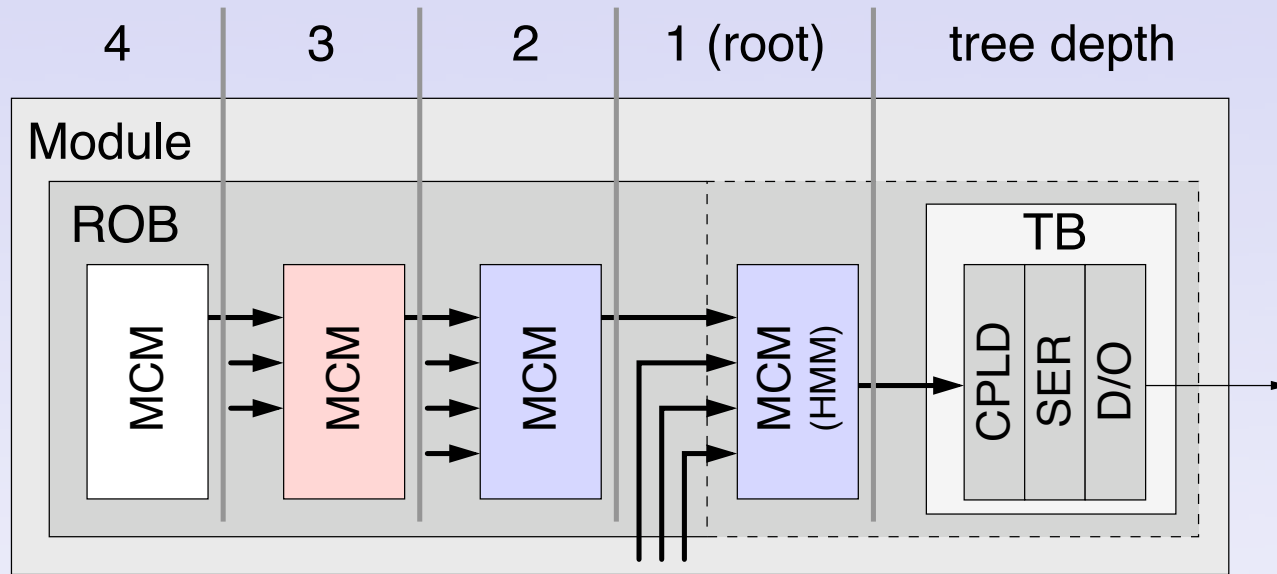
## **Latenz**

- Sender + optische Übertragung + Empfänger = 466 ns
- globales Tracking kann mit Teilmenge der Spursegmente starten

## **Andere Bedingungen**

- Mechanische Struktur
- möglichst hohe Modularität - Auslese als Modul des TRAP
- interne Taktfrequenz ist 120 MHz, LVDS-Übertragung wg. Störungen
- Fehlertoleranz, die der speziellen Umgebung angepasst ist
- möglichst geringe Leistungsaufnahme

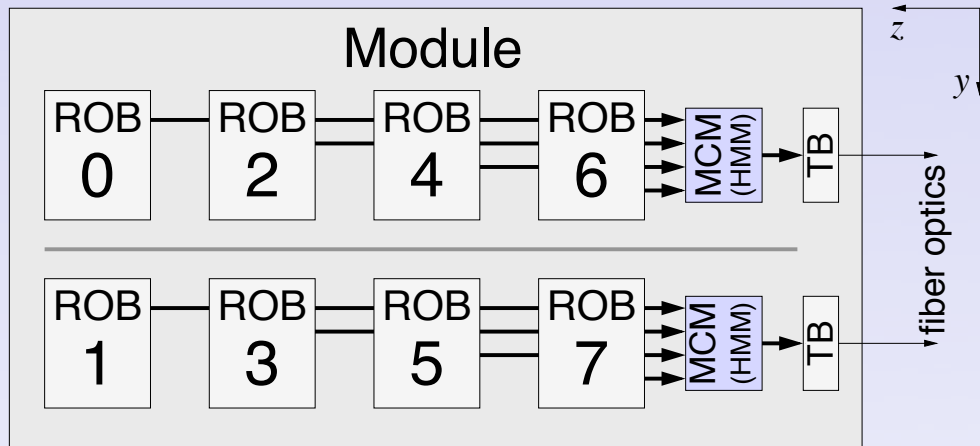
# Auslese - Architektur



## Lösung

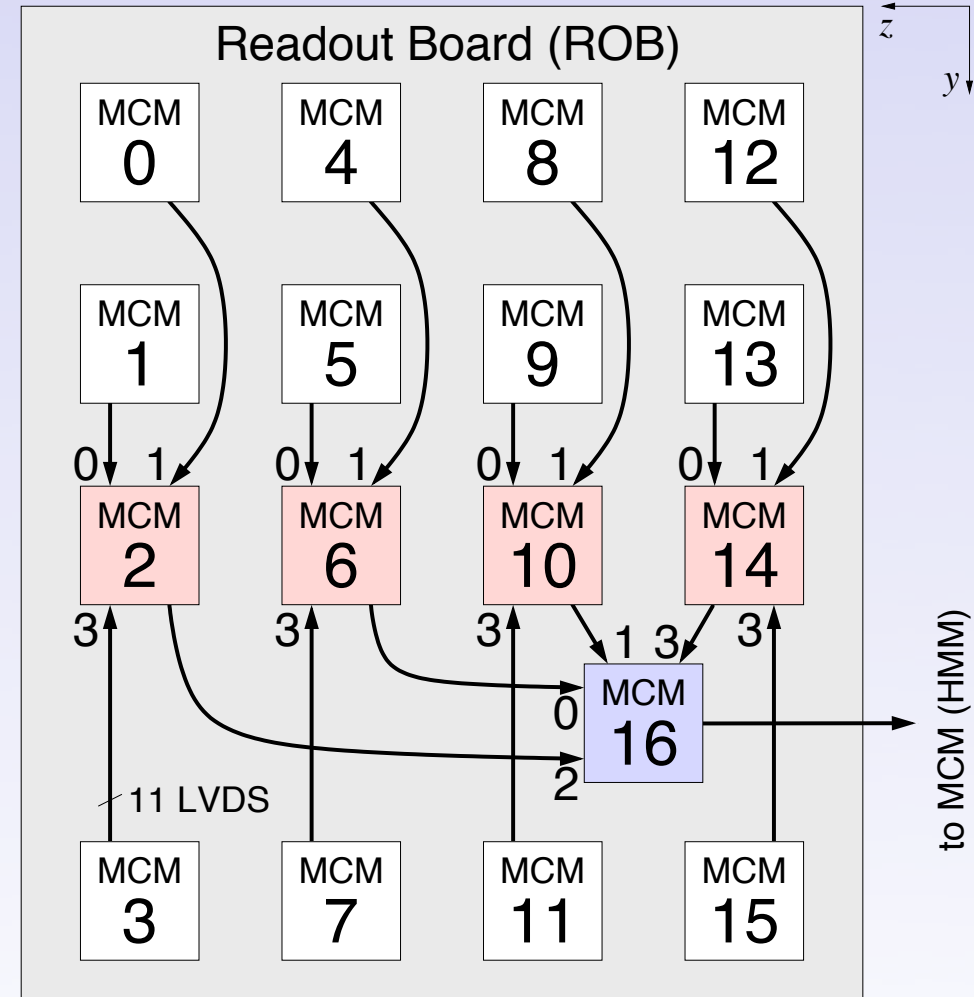
- Baumstruktur  
4 Eingangs- und 1 Ausgangsport
- resultierende Tiefe: 4  
die logische Latenz ~183 ns
- 11 Bit breite Ports  
8 Bit Daten, 1 Bit Strobe, 1 Bit Parity, 1 Bit Reserve
- 2 optische Links/Modul  
jeweils mit 2,4 Gb/s

# Ausleseplatten

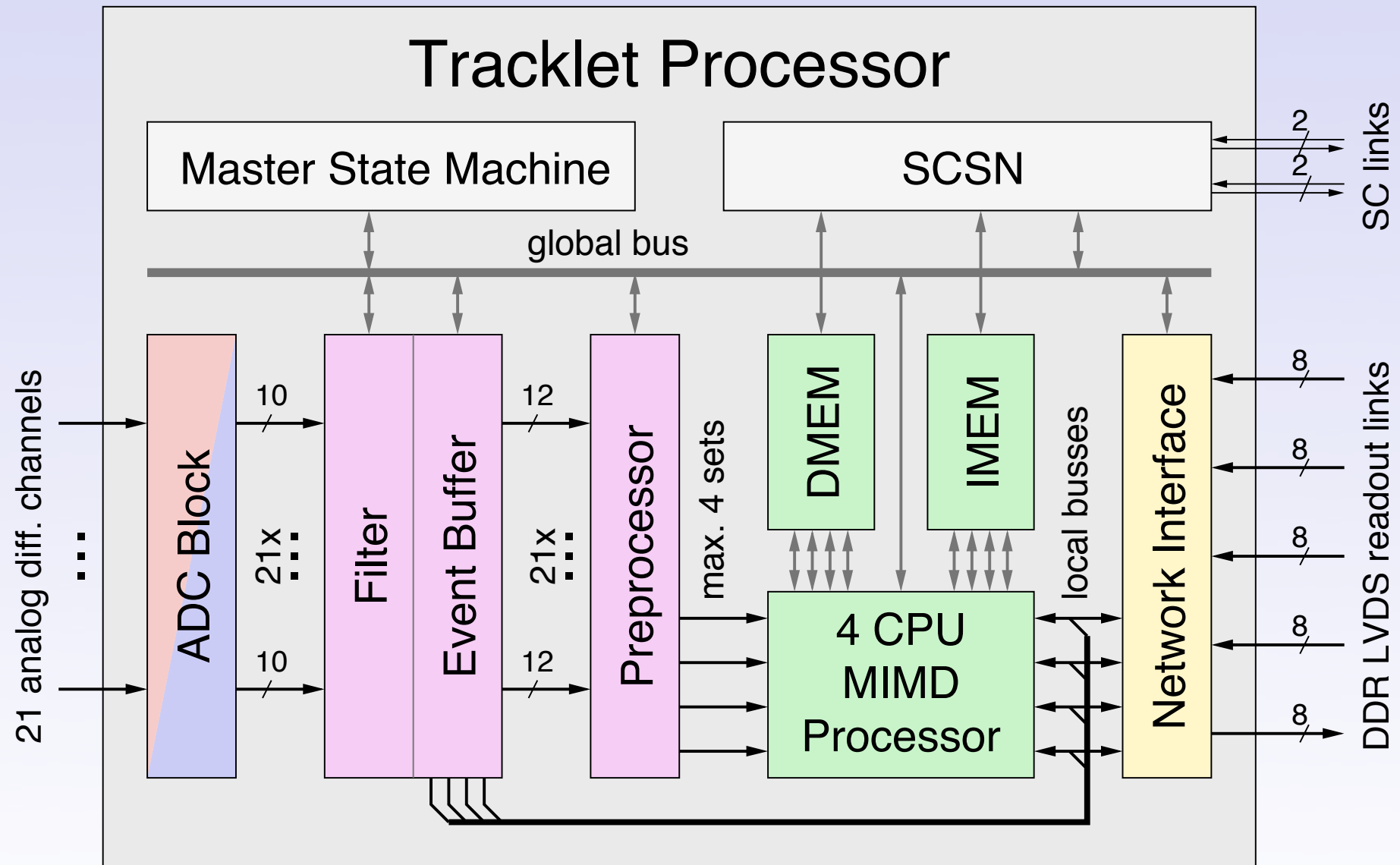


## MCM zur Netzwerkintegration

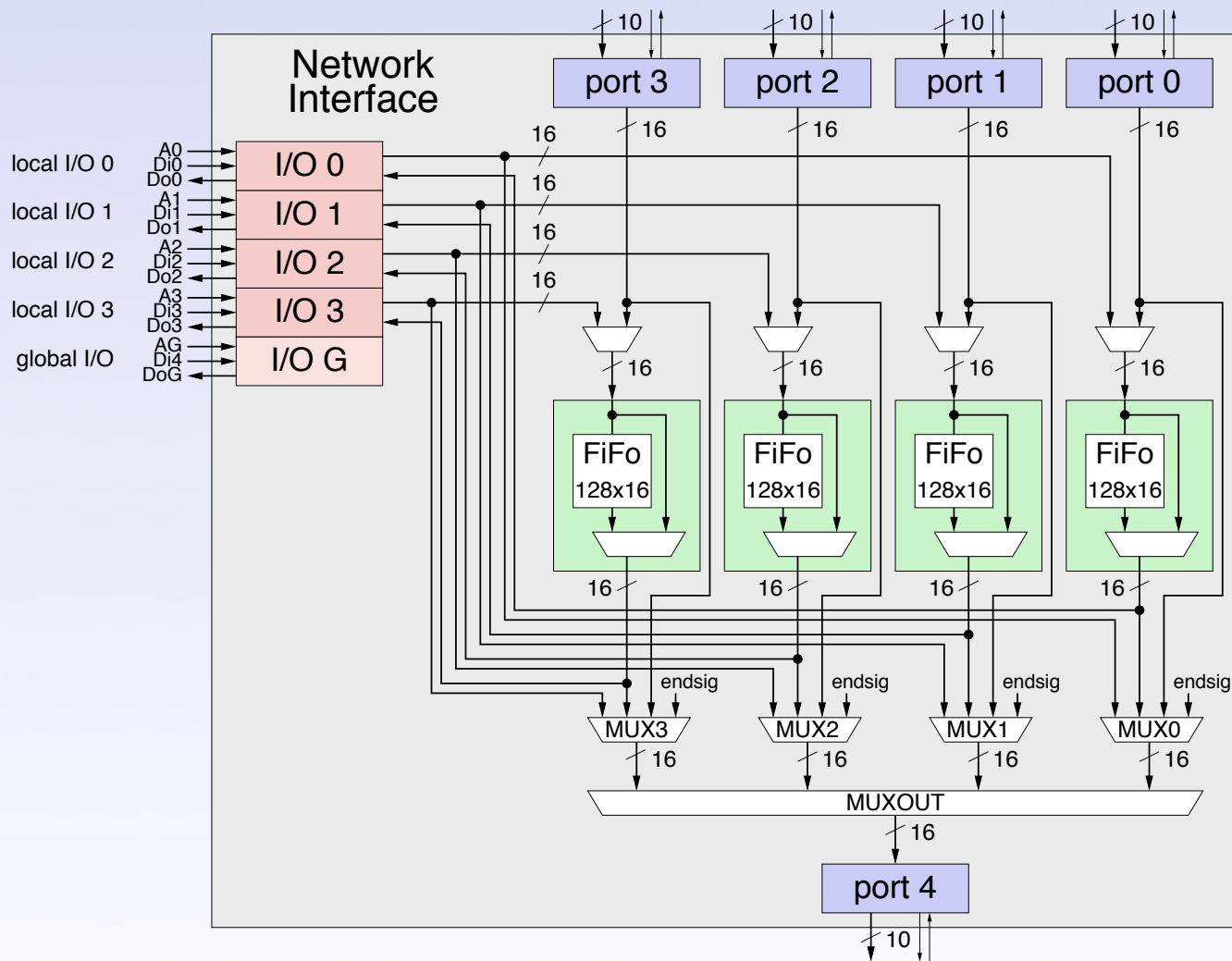
- Datenquellen
- Datenquellen und einsammeln
- nur einsammeln und weiterleiten
- zusätzliches MCM (HMM), für die Daten von 4 Ausleseplatten
- max. Latenz von 183 ns



# Implementierung



# Netzwerkschnittstelle



## Prozessor I/O

- 4 \* lokal für Daten
- 1 \* global für Status
- 32 zu 16 Bit Wandlung

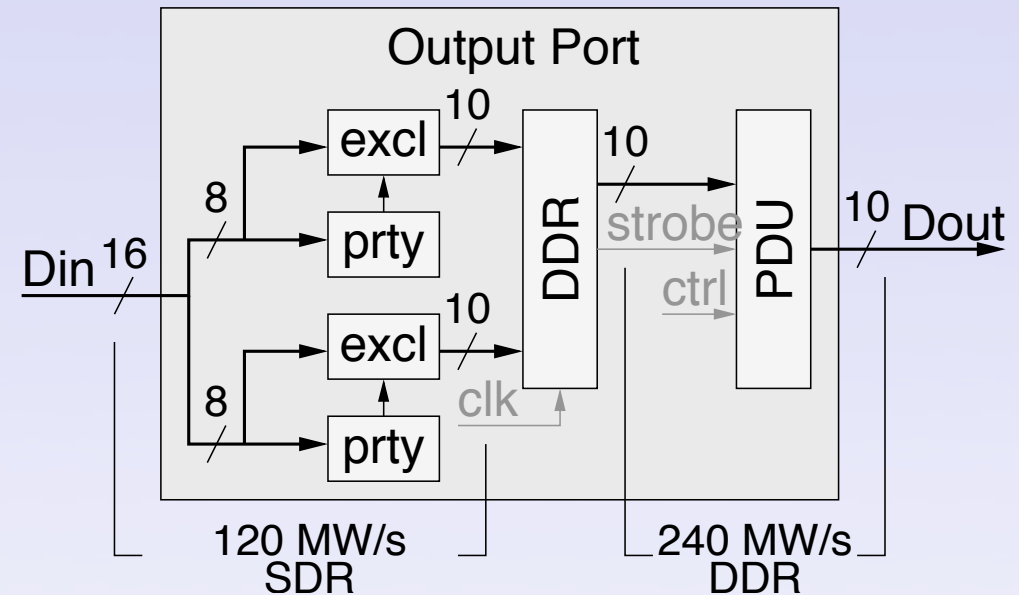
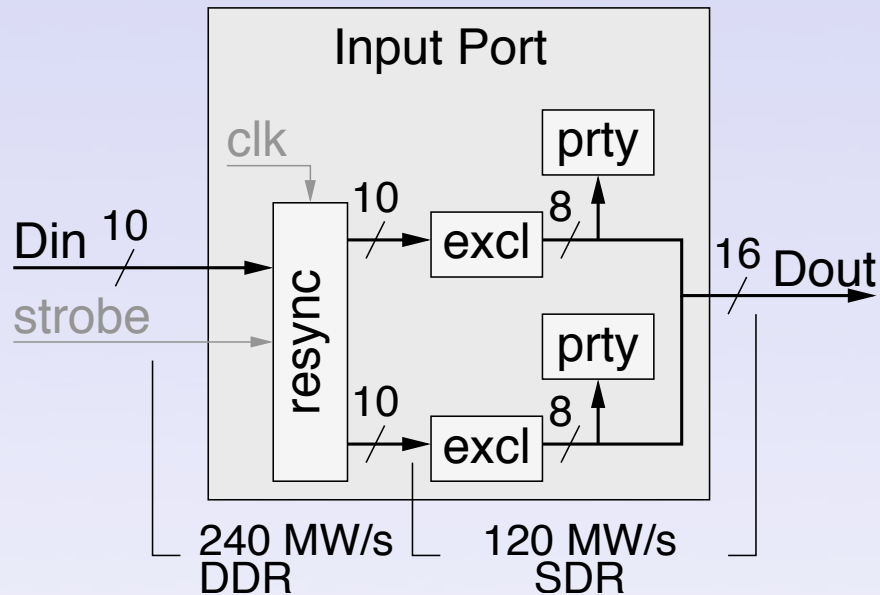
## Ports

- 4 Eingänge, 1 Ausgang
- bildet Auslesebaum
- 8 Bit DDR

## FIFOs

- puffern Daten vom Eingangsports bzw. eigene Daten
- keine Latenz

# Ein- und Ausgangsports



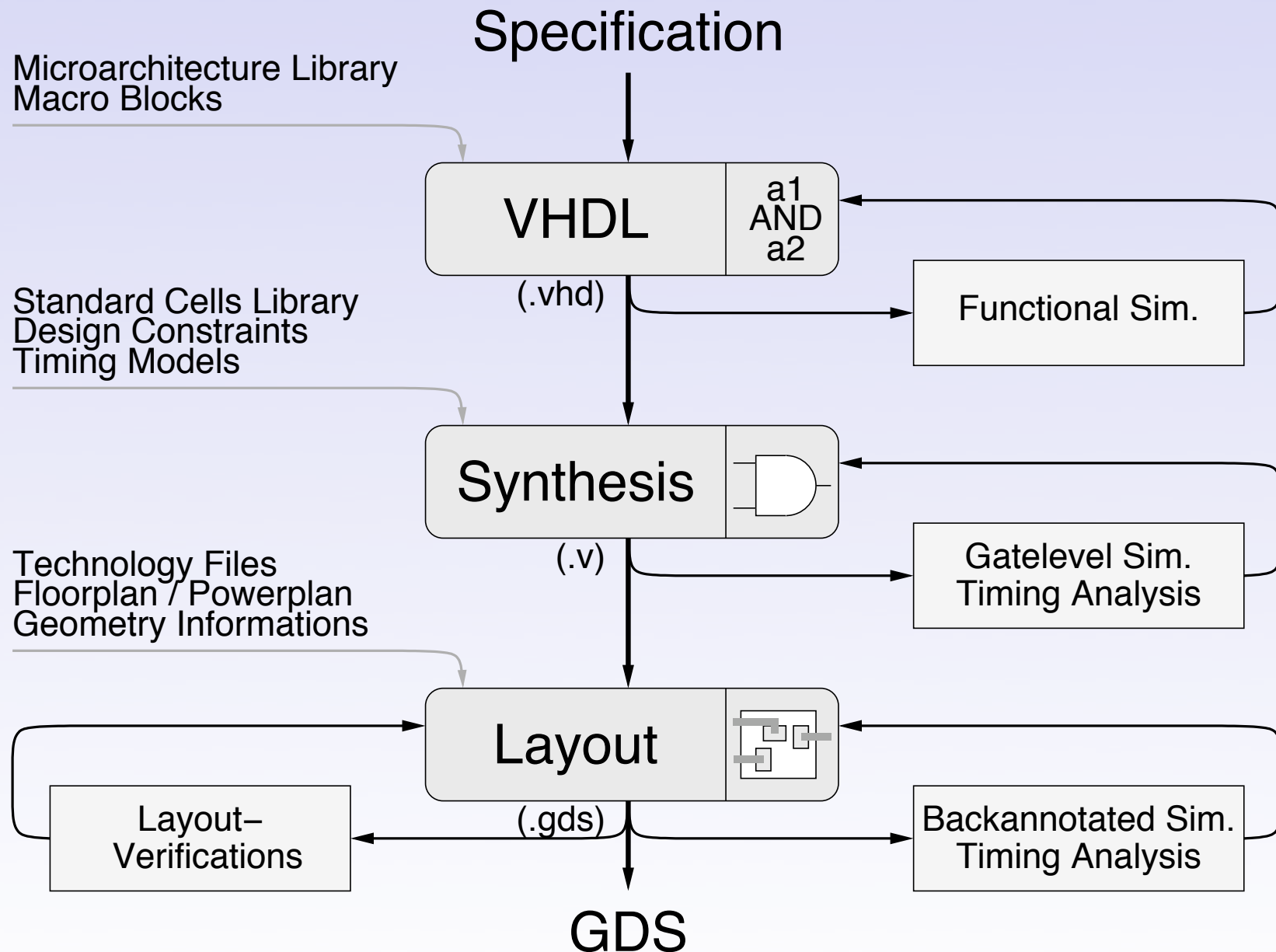
## Eingangsport

- Datenresynchronisation zum internen Takt, max. 1 Takt Latenz
- Ausblenden des spare/parity Bits
- Zähler für Parity-Fehler

## Ausgangsport

- Spare-/Parity-Bits in Datenstrom einfügen
- Generierung der DDR-Daten
- programmierbare Verzögerungseinheit um Laufzeitunterschiede zu korrigieren

# TRAP Design-Fluss





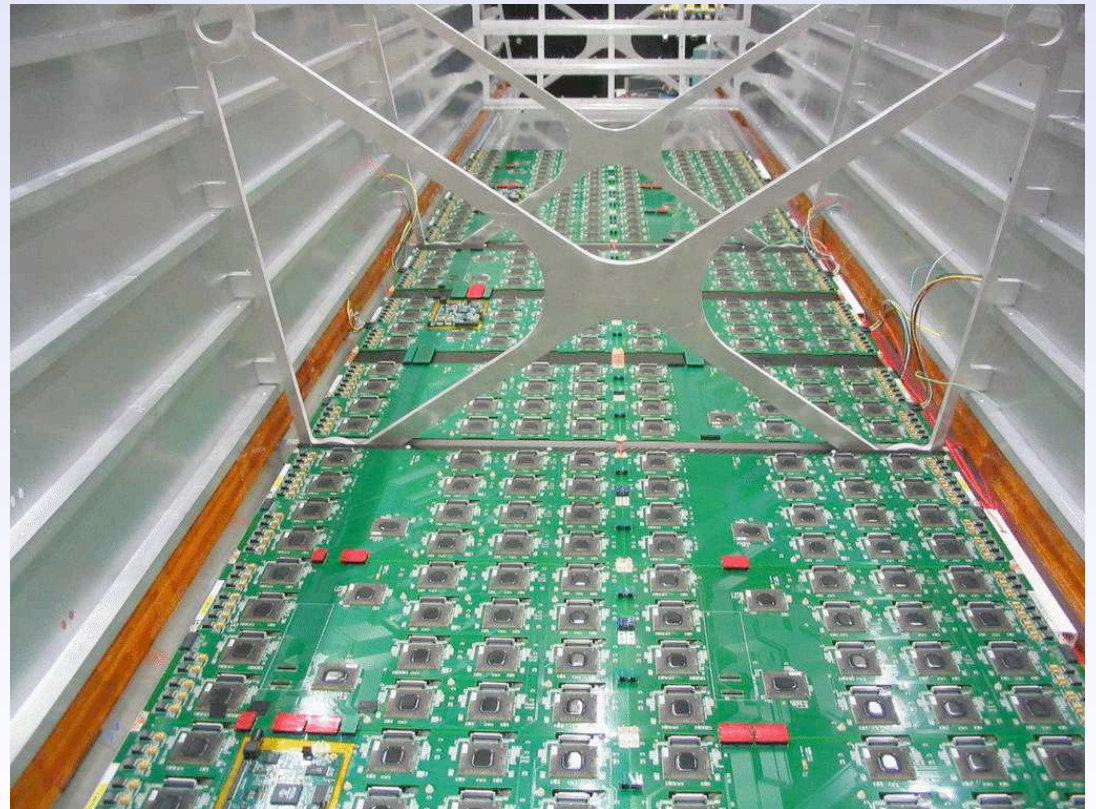
# Tests und Strahlzeiten

## MCM-Tester

- zu testendes MCM per Nullkraftsockel einsetzbar
- vier MCMs als Datenquellen, Datenübertragung in Echtzeit testbar
- FPGA als Datensenke - zur Analyse und als Schnittstelle
- Aufbau für automatisierte Tests

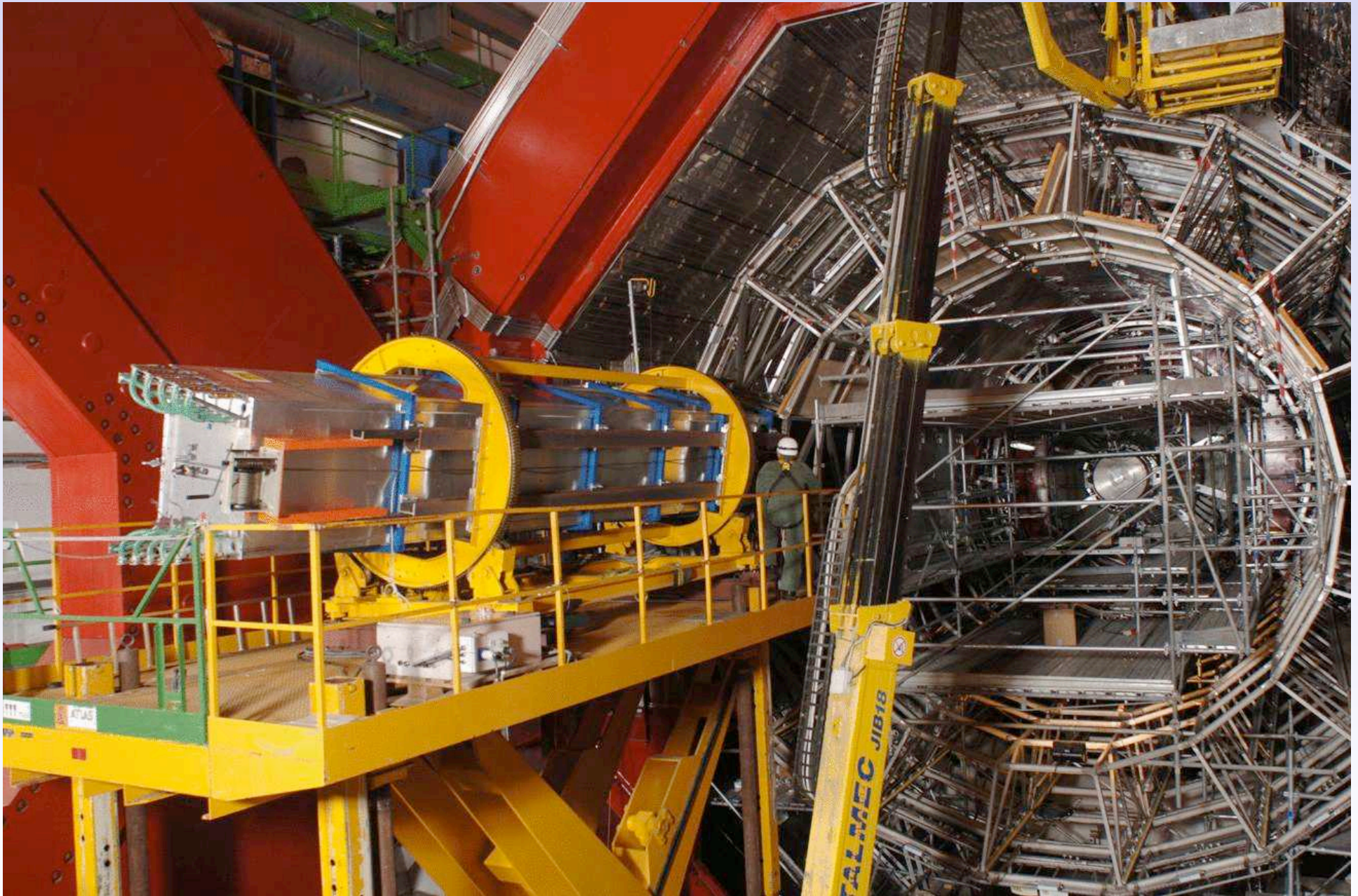
## Strahlzeit 2006

- Tests mit voll bestücktem Supermodul (228 ROB mit 3648 + 258 MCMs)
- Stimulation mit Höhenstrahlung, Trigger per Szintillatoren
- alle Auslesemodi unter realen Bedingungen erfolgreich getestet





# Integration eines Supermoduls



Quelle: CERN

# Zusammenfassung

---

## **Simulation**

- Anforderungen definiert, Leistungsfähigkeit analysiert und optimiert
- Klassenbibliothek von AliRoot erweitert
- mit den Ergebnissen konnte ein Triggerkonzept entwickelt werden
- Einflüsse auf die Architektur bestimmt (ADC Auflösung, Datenabhängigkeiten, Effizienz, Folgerungen für die Auslesestruktur, ...)

## **Auslese und Netzwerkschnittstelle**

- extreme Anforderungen an Latenz, Bandbreite und Leistungsaufnahme
- Auslesestruktur entwickelt, modular als Bestandteil der TRAPs
- Netzwerkschnittstelle entworfen und integriert

## **Design-Fluss**

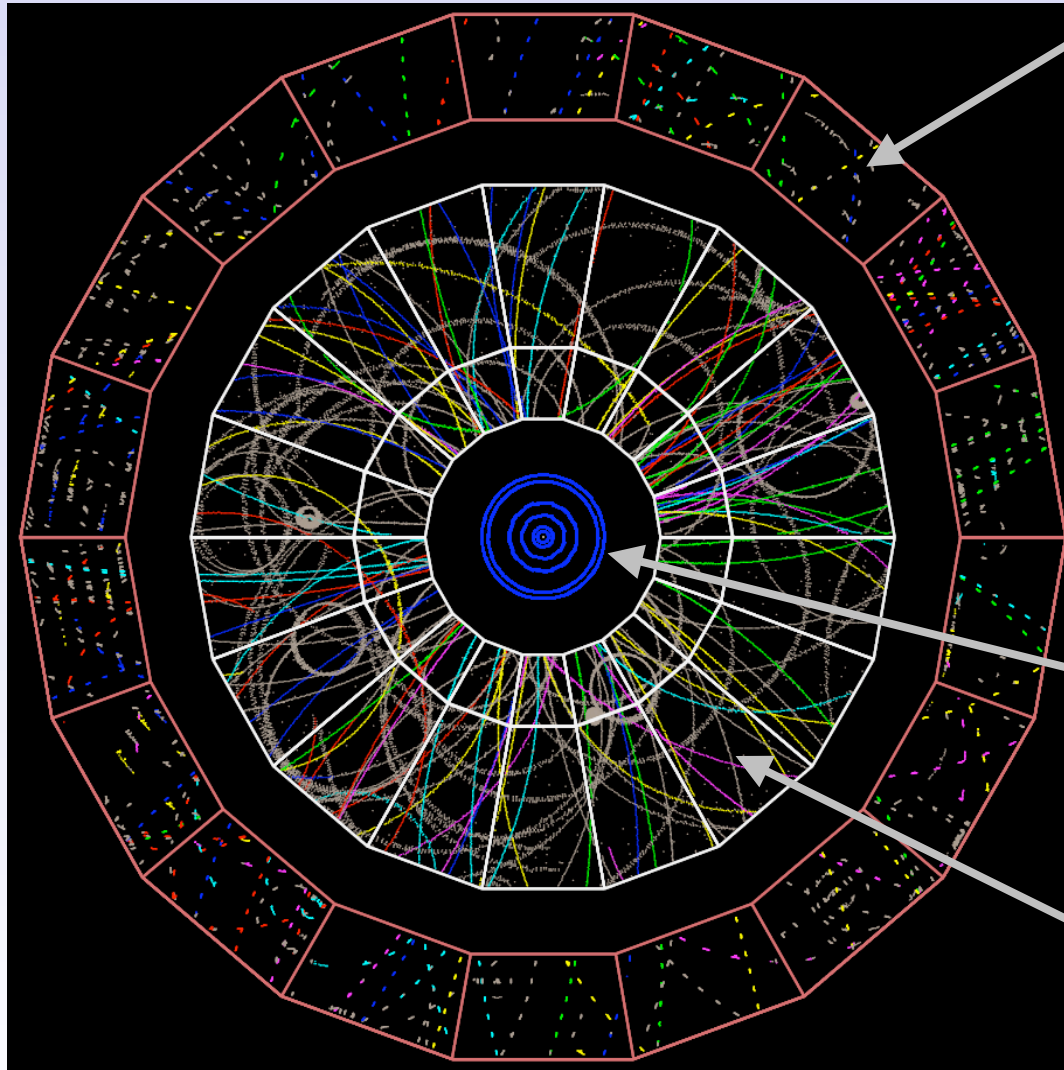
- unterschiedliche Design-Flüsse und -programme getestet
- Simulation, Synthese, Timing-Analyse, Layout, Post-Layout-Verifikationen
- Design-Fluss für FaRo und TRAPI, teilweise für TRAP2 und TRAP3

# Übersichtsfolien

---



# Spuren in den zentralen Detektoren



## **TRD** - Transition-Radiation-Detector

- Trigger- und Tracking-Detektor
- bis zu 20 000 Spuren pro Ereignis
- Driftkammern zur Bestimmung der Spurbahnen.
- nur etwa jede 100-ste Kollision ist „zentral“ und damit interessant
- Aufgabe als Trigger: Finden von hochenergetischen  $e^+e^-$ -Paaren innerhalb von 6  $\mu$ s

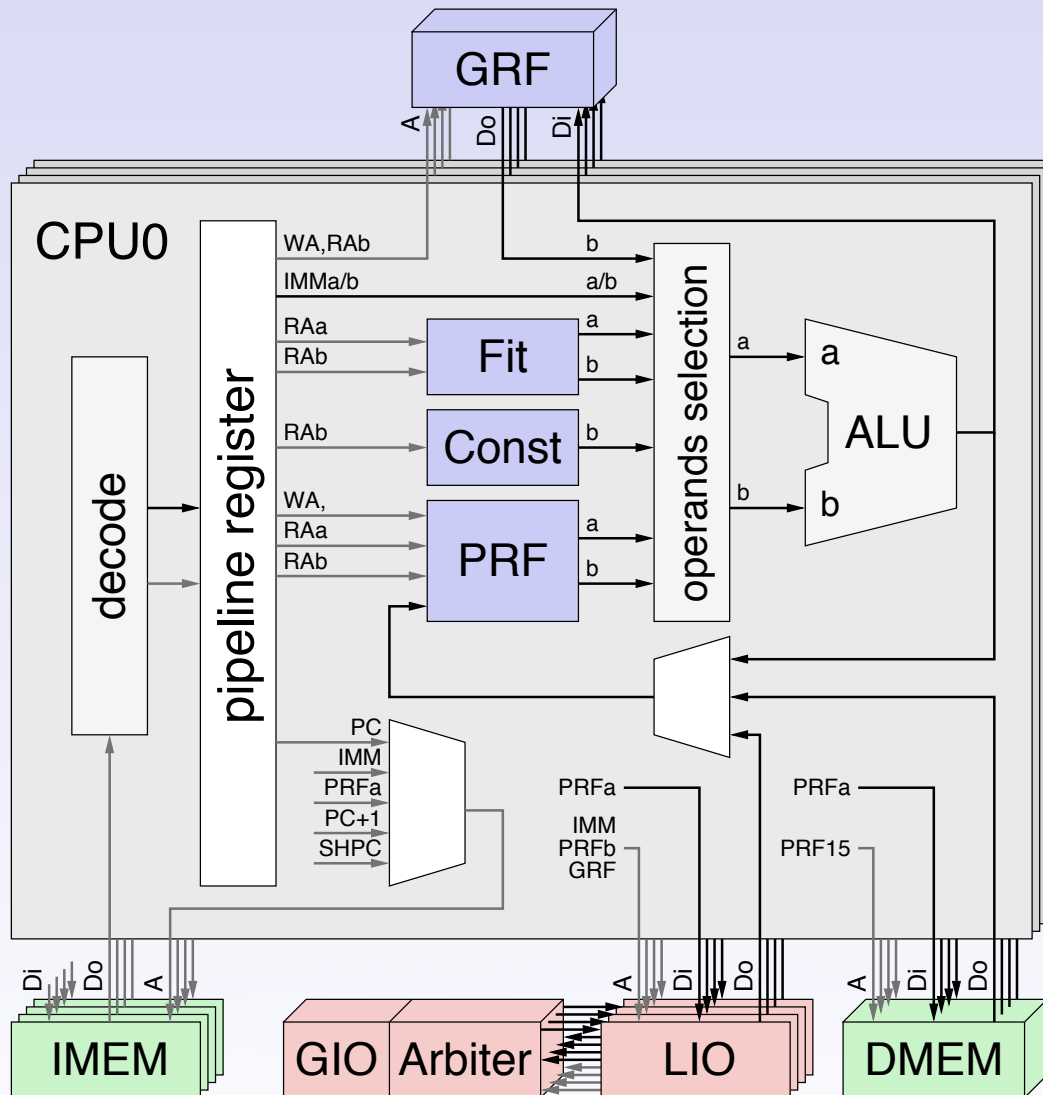
## **ITS** - Inner-Tracking-System

- Ereignistrigger
- Vertex-Positionsbestimmung

## **TPC** - Time-Projection-Chamber

- hochauflösende Spurerkennung
- zu langsam für 10 000 Ereignisse/s

# 4 CPUs des TRAP



## MIMD Prozessor

- 4 CPUs
- DMEM und GRF gemeinsam

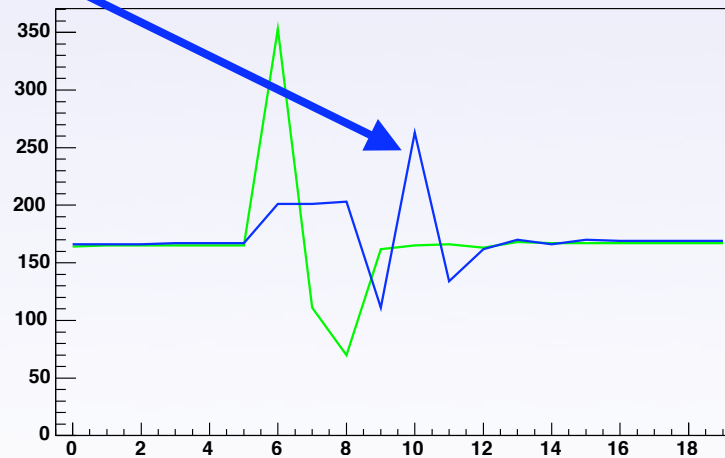
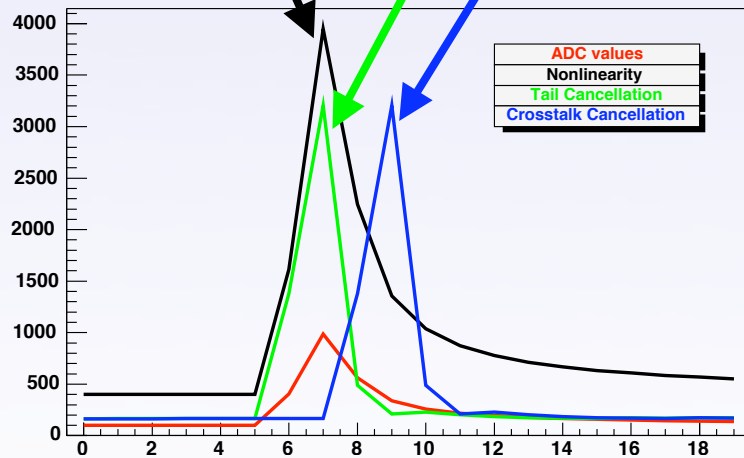
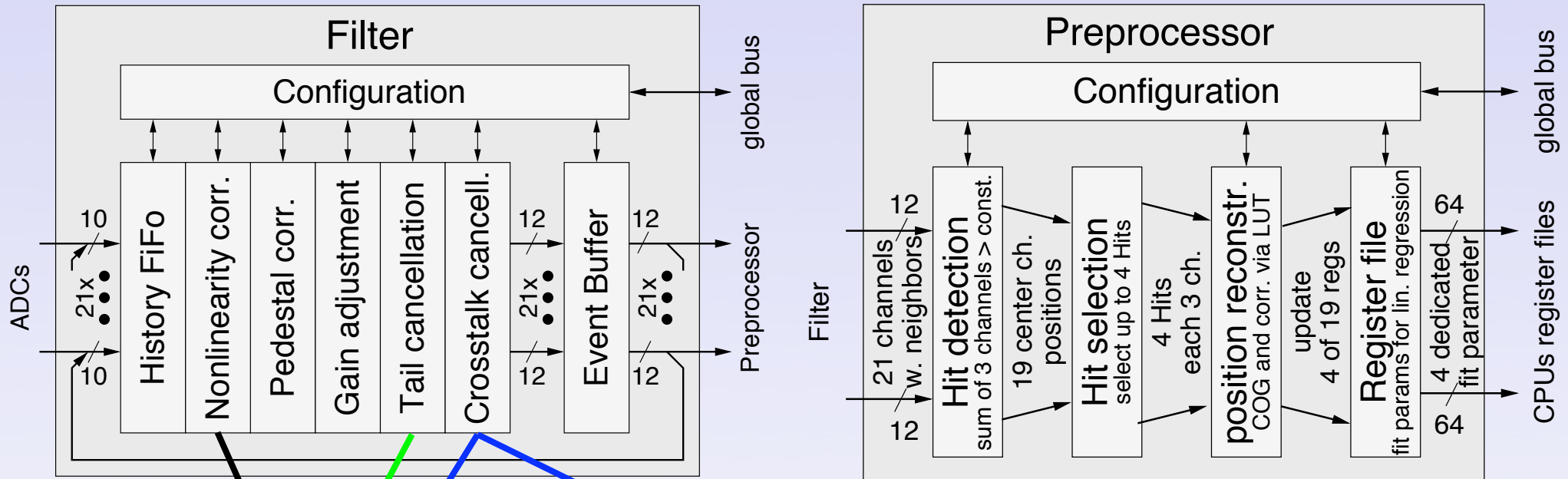
## CPU

- Harvard-Architektur
- 2-stufige Pipeline
- RISC Architektur
- 32 Bit Datenpfad

## I/O

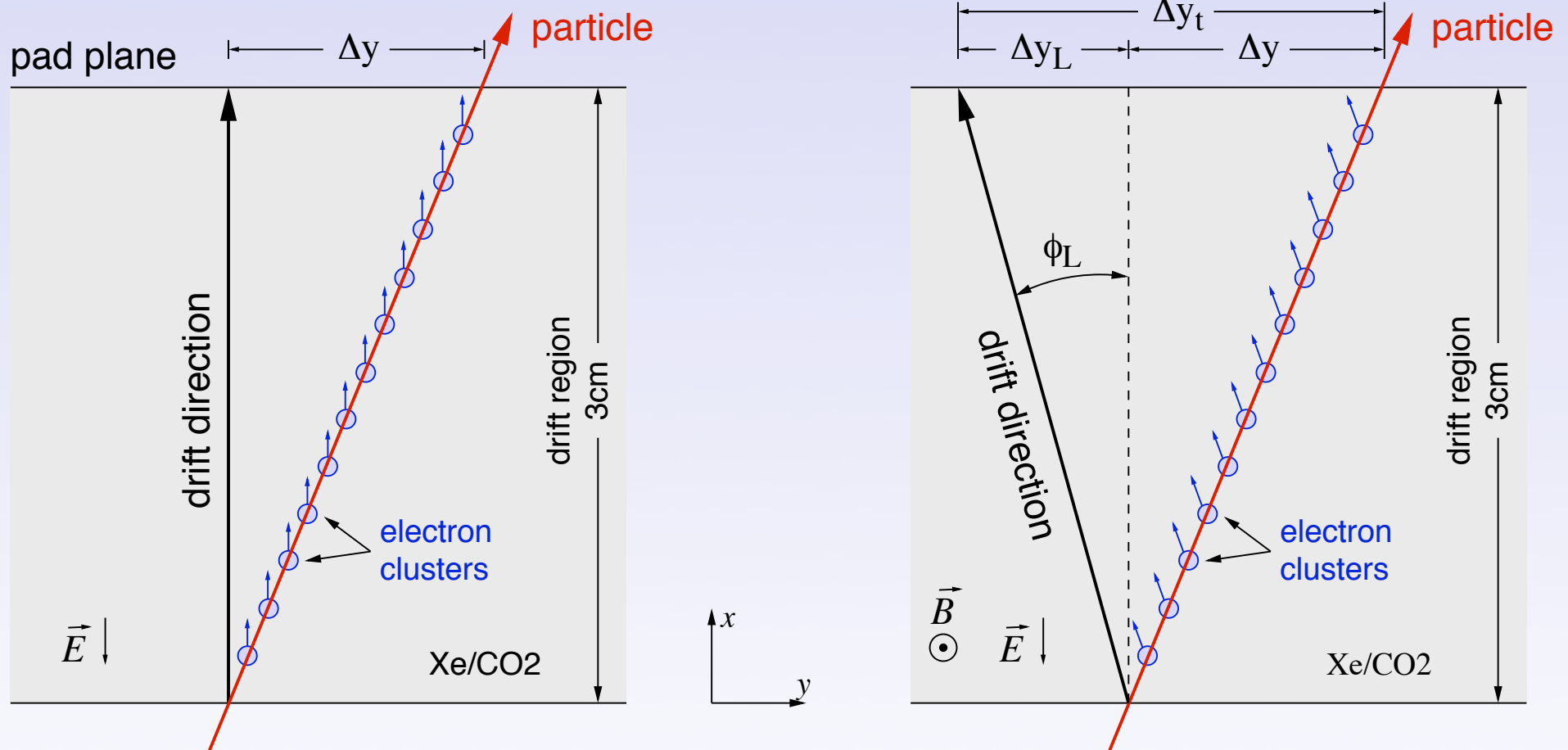
- lokales I/O kann direkt von einer CPU angesprochen werden
- globales I/O kann von jeder CPU über Arbiter ansprechbar

# Filter und Präprozessor

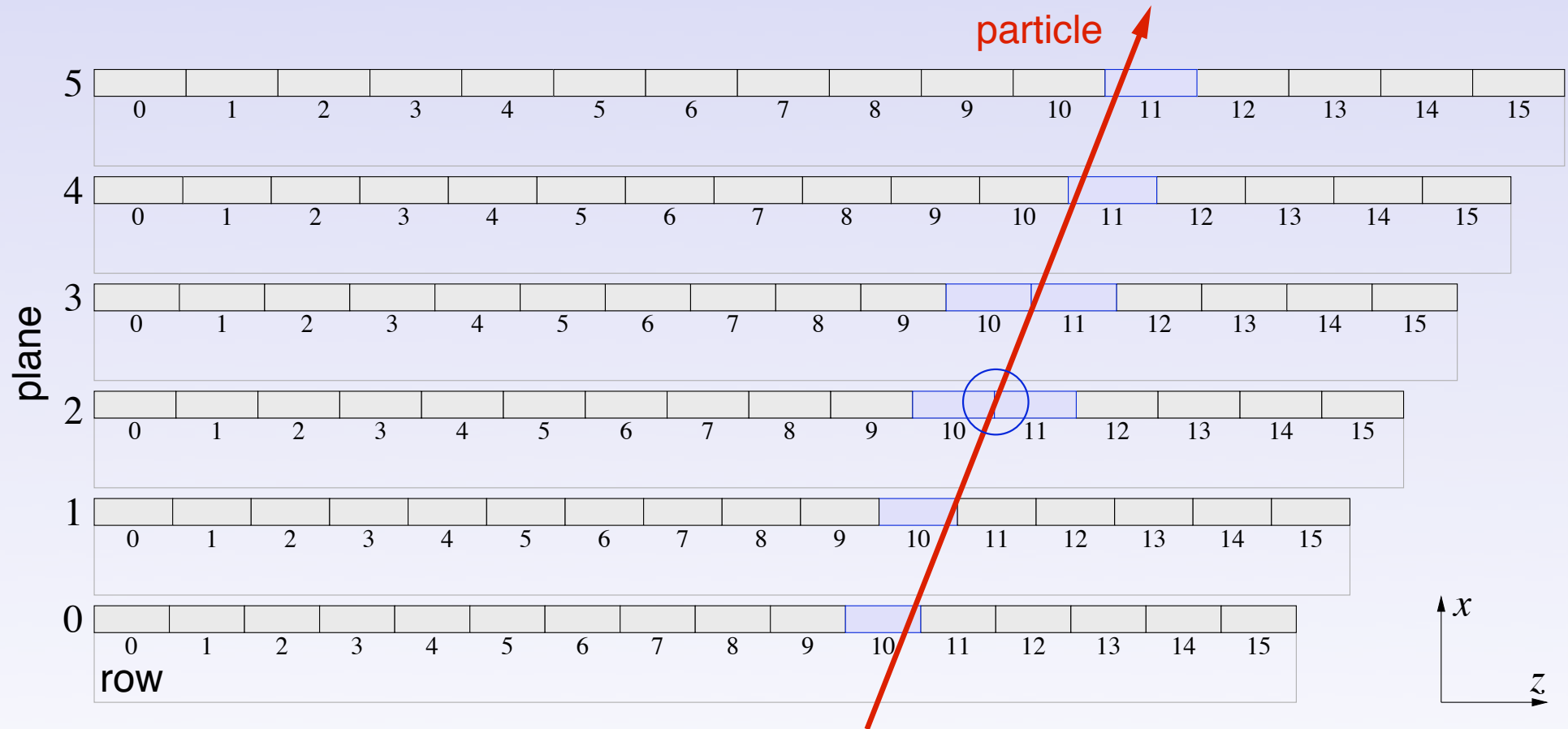




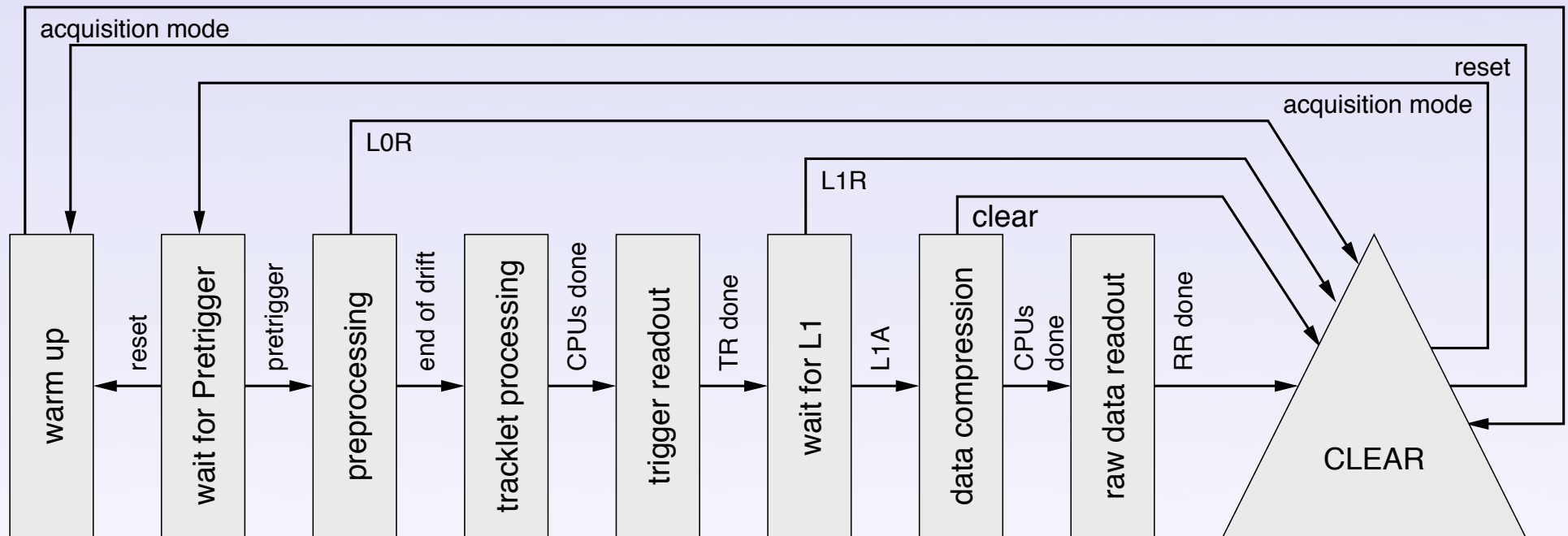
# Lorentz-Winkel



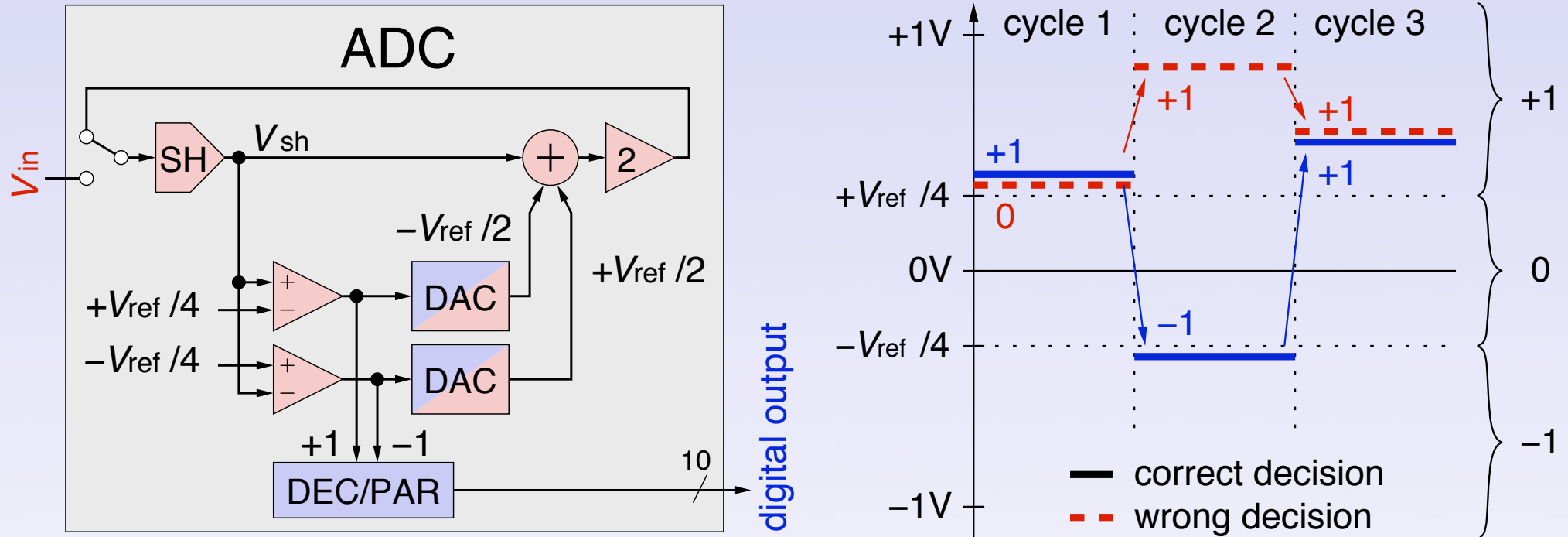
# Stack in z-Richtung



# Master State Machine

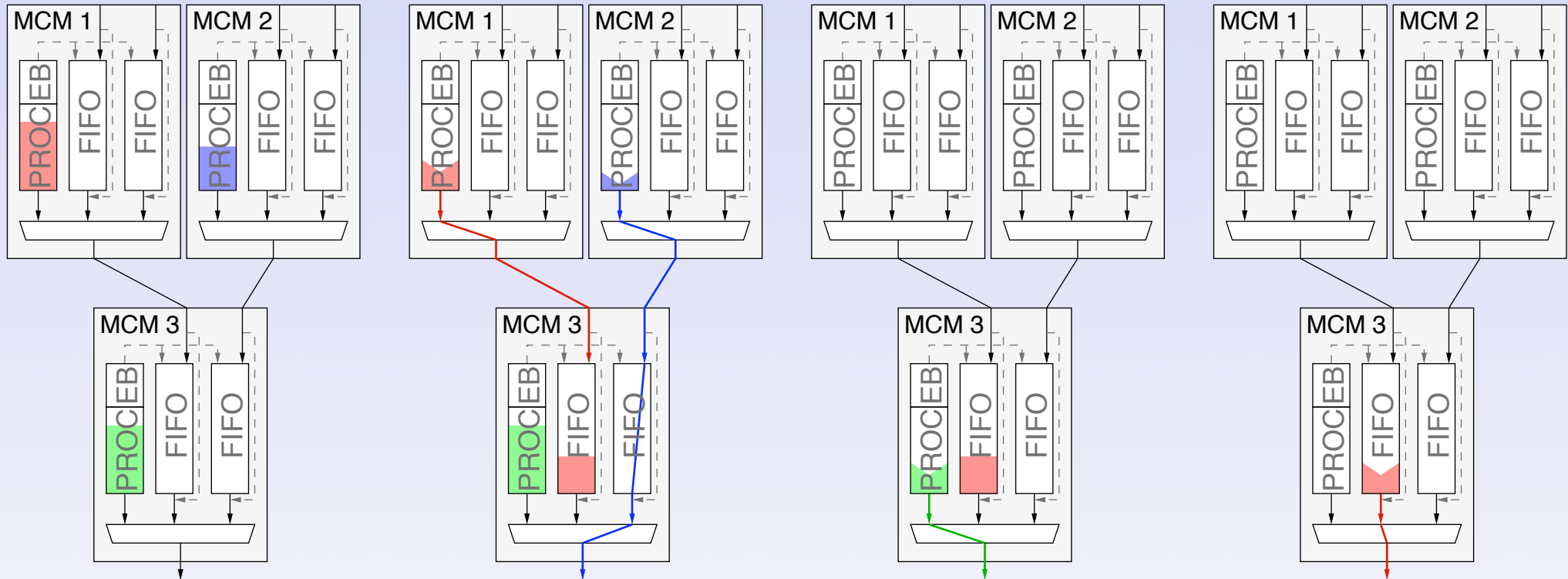


# Analog-Digital-Wandler



- Auflösung: 10 Bit; Rate: 10 MHz; Fläche: 0,11 mm<sup>2</sup>; Leistung: 12 mW
- zyklisches Arbeitsprinzip; 24 Perioden, aufgeteilt auf 10 Zyklen
- Redundant-Signed-Digit-Technik (RSD)
- zusätzlicher langsamerer ADC für Überwachungsfunktionen

# Auslese - Triggerauslese



## Schritt 1

- alle MCM halten Daten
- Reihenfolge: **2 → 3 → 1**

## Schritt 2

- **1** und **2** senden Daten
- **3** puffert **1** und leitet **2** weiter

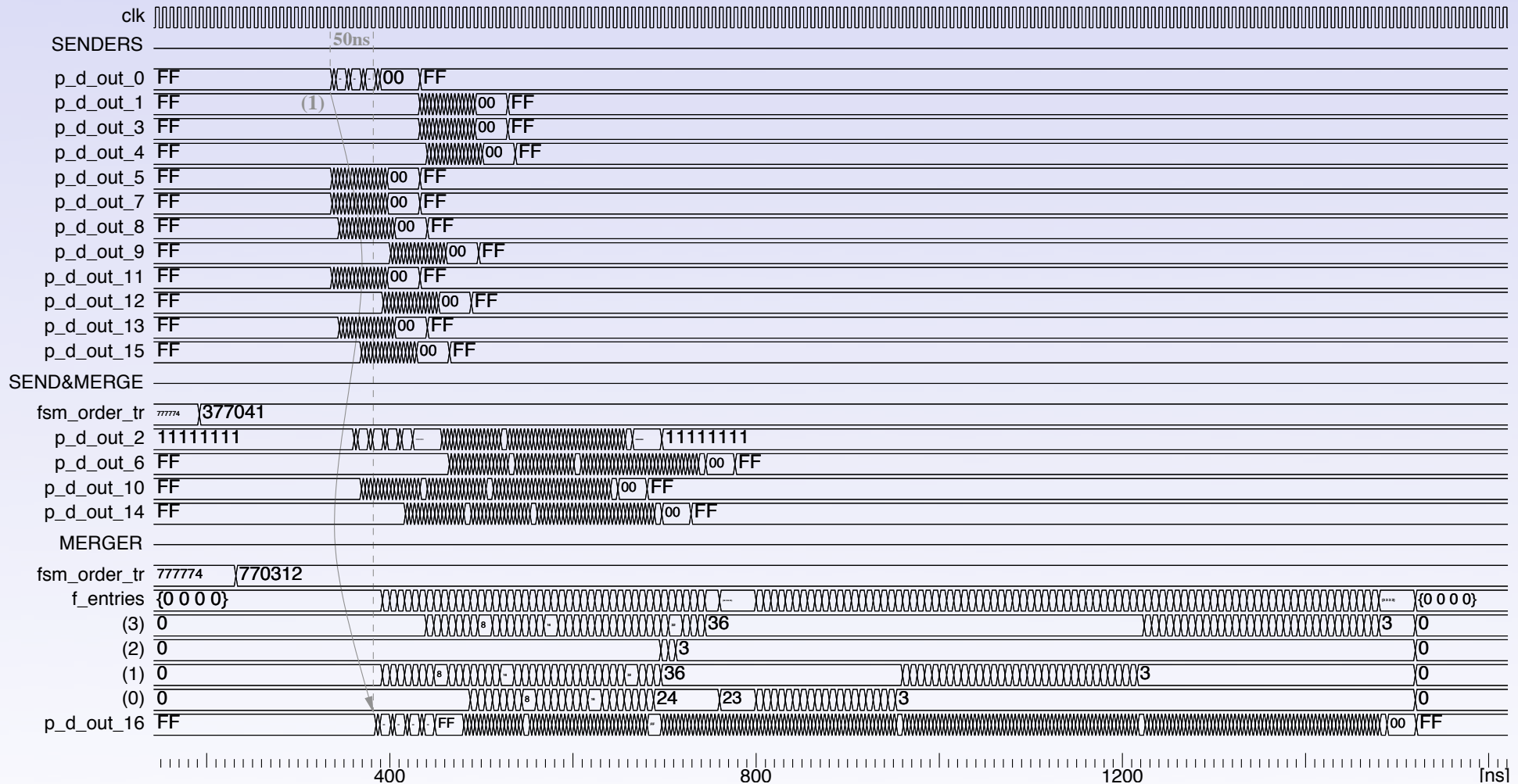
## Schritt 3

- **3** sendet eigene Daten

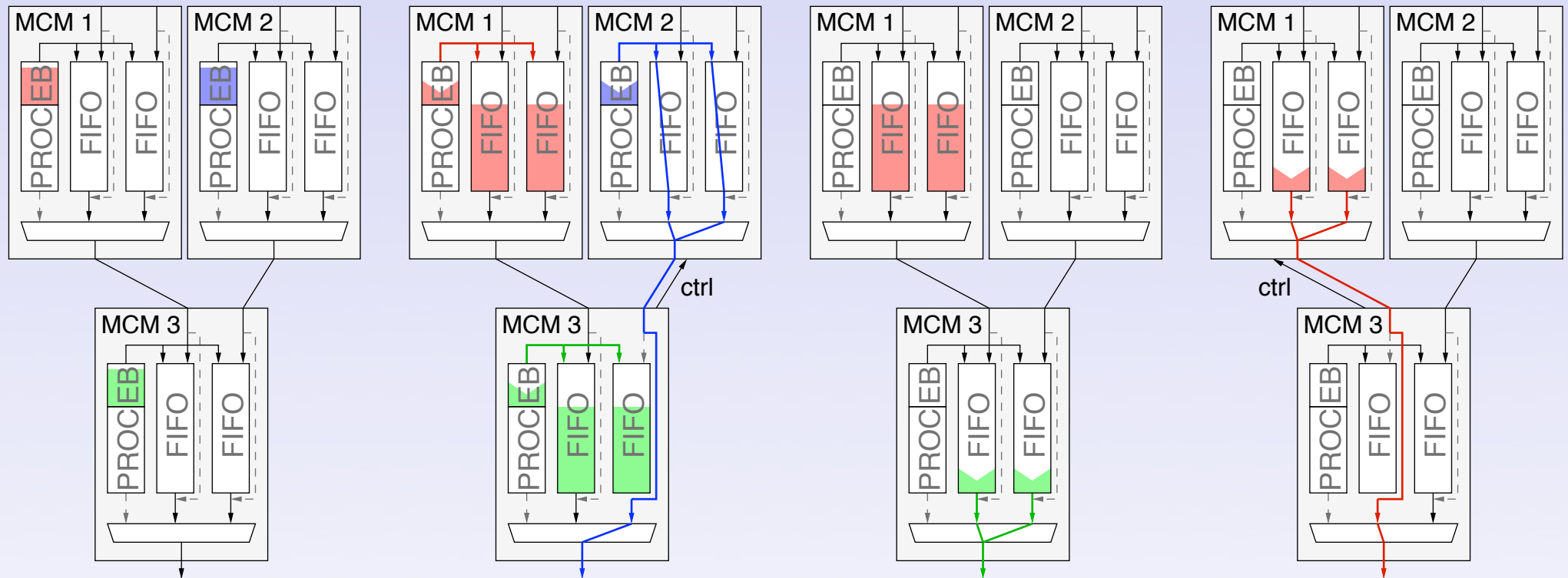
## Schritt 4

- **3** sendet die Daten von **2** aus dem Puffer

# Auslese - Simulation der Triggerauslese



# Auslese - Rohdatenauslese



## Schritt 1

- alle MCM halten Daten im Ereignisspeicher
- Reihenfolge: **2 → 3 → 1**

## Schritt 2

- **3** signalisiert **2**
- **2** sendet Daten
- **3** leitet **2** weiter
- **3** puffert eigene Daten

## Schritt 3

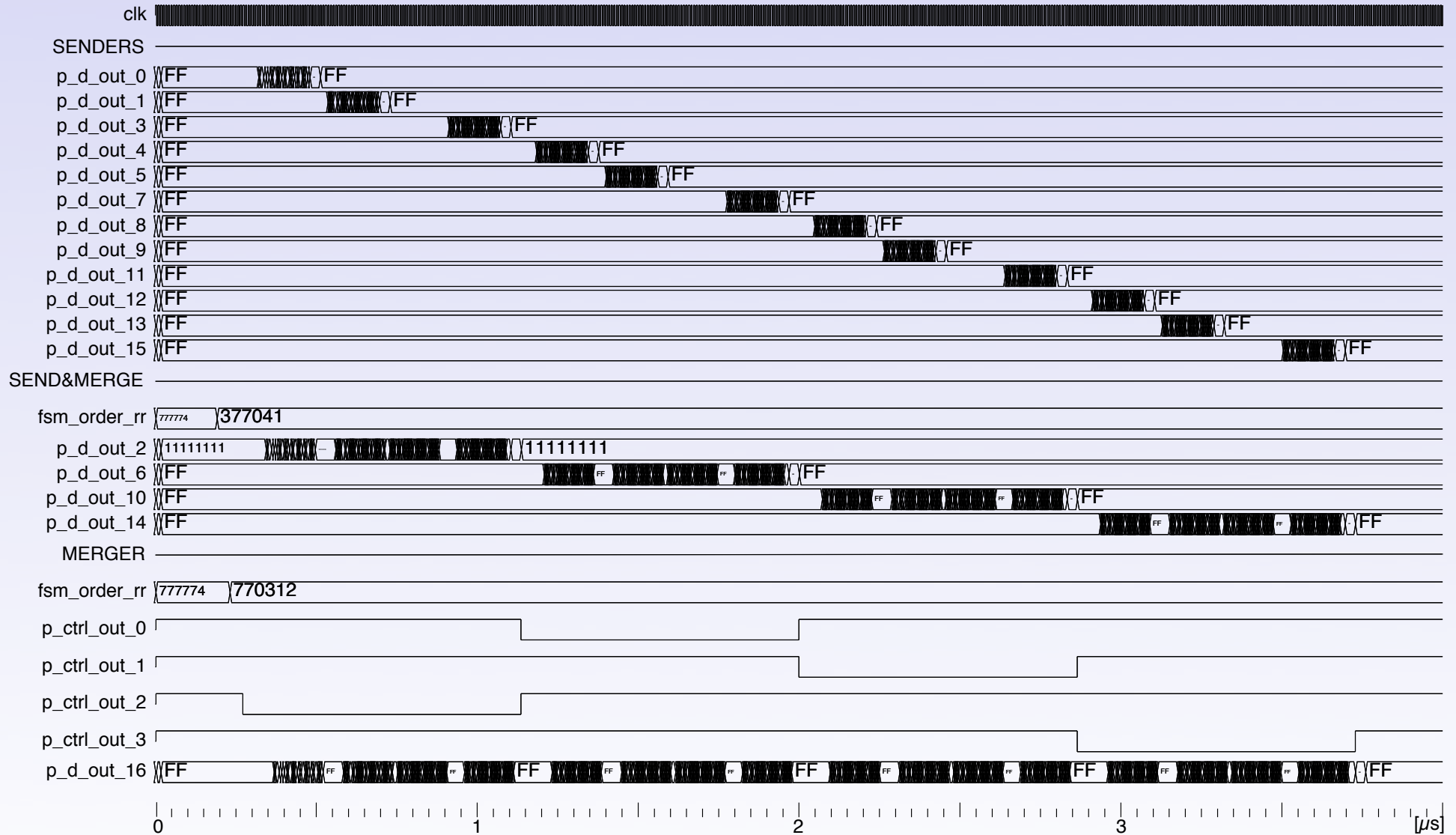
- **3** sendet eigene Daten

## Schritt 4

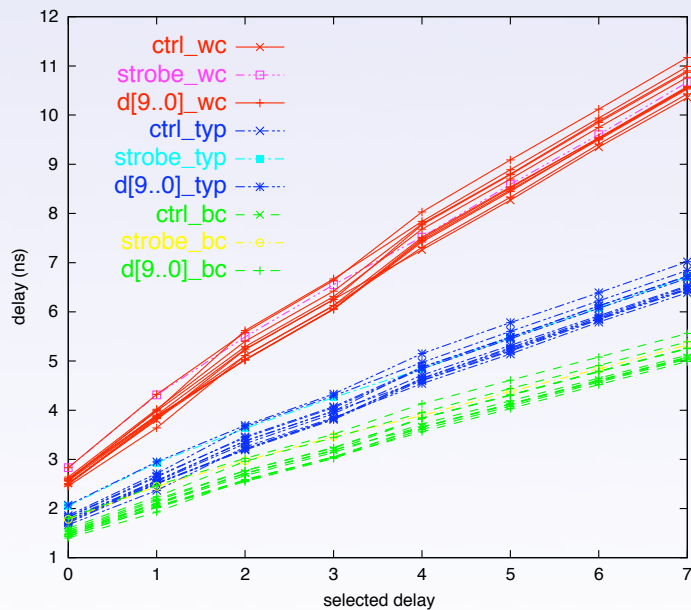
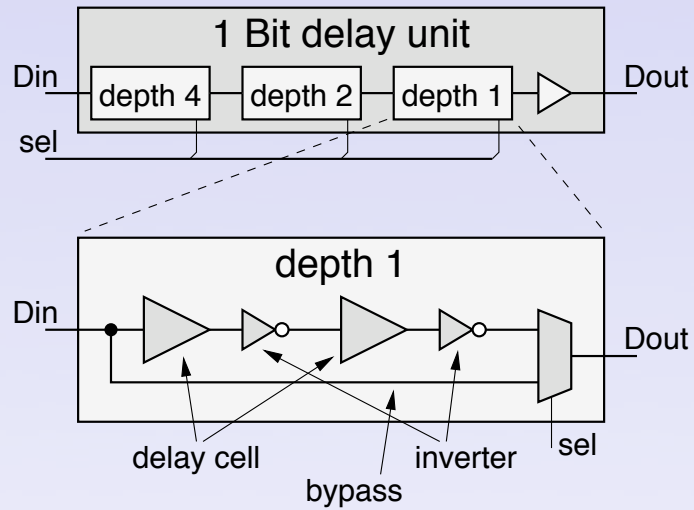
- **3** signalisiert **1**
- **1** sendet Daten
- **3** leitet **1** weiter



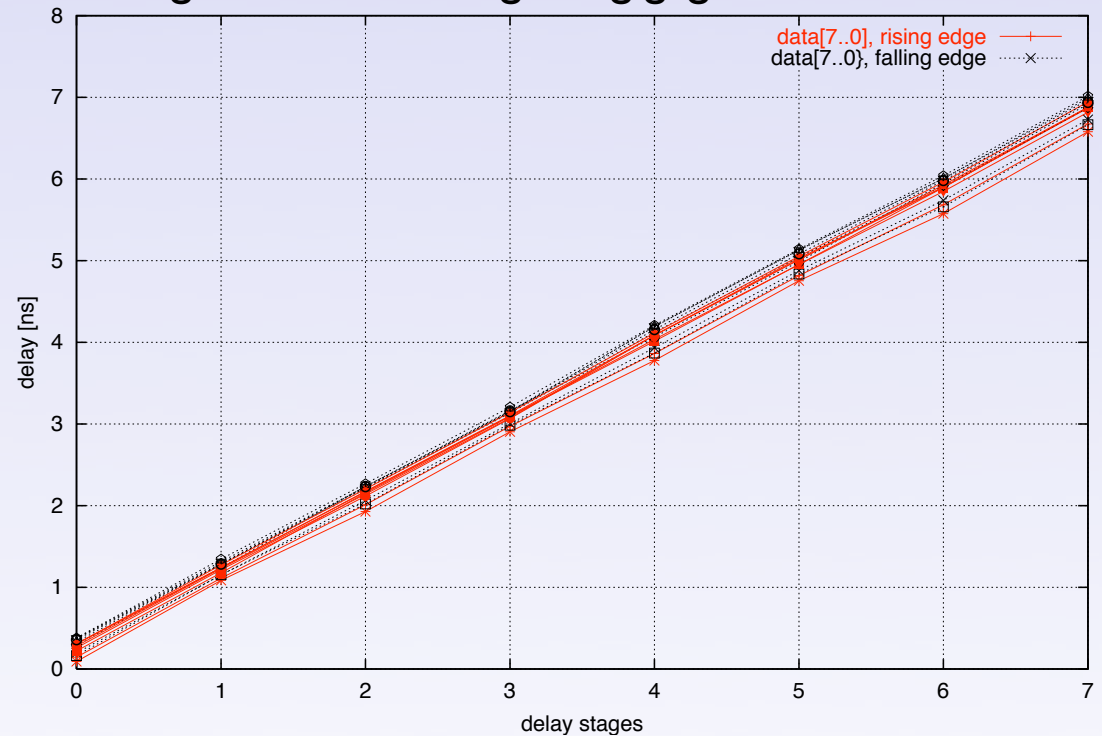
# Auslese - Simulation der Rohdatenauslese



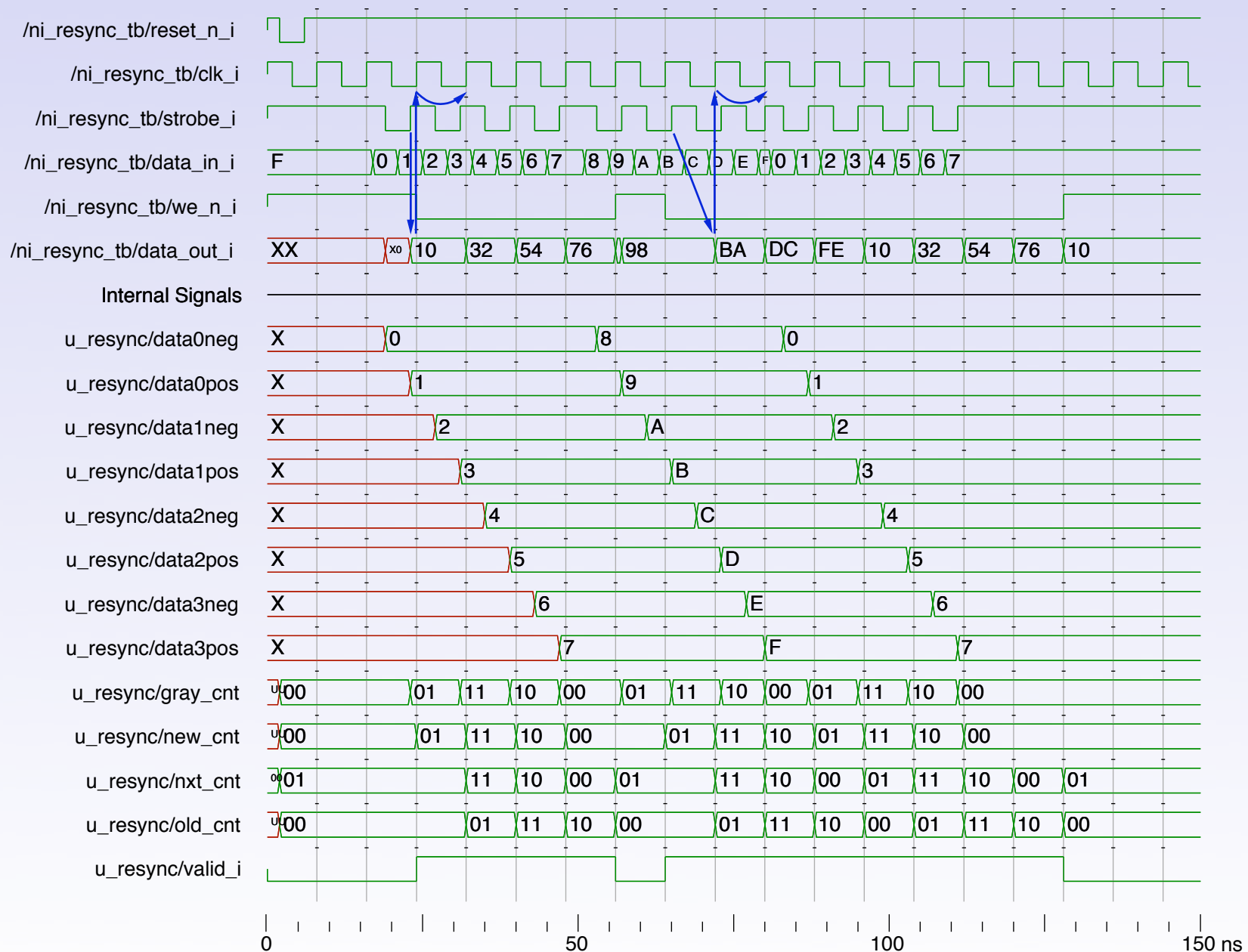
# Programmierbare Verzögerung



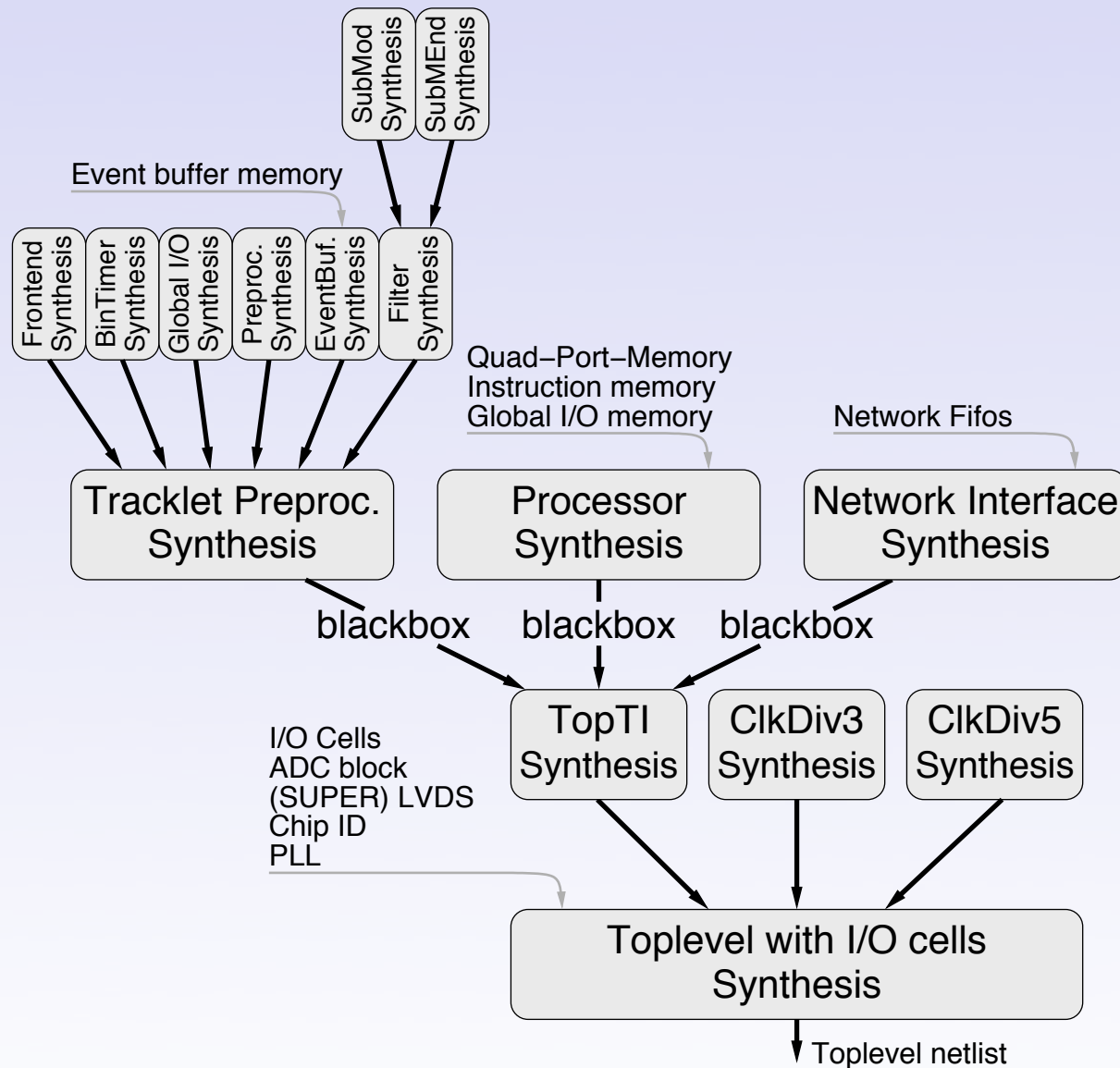
gemessene Verzögerung gegenüber strobe



# Datenresynchronisation



# TRAP Synthese



## TRAP spezifisch

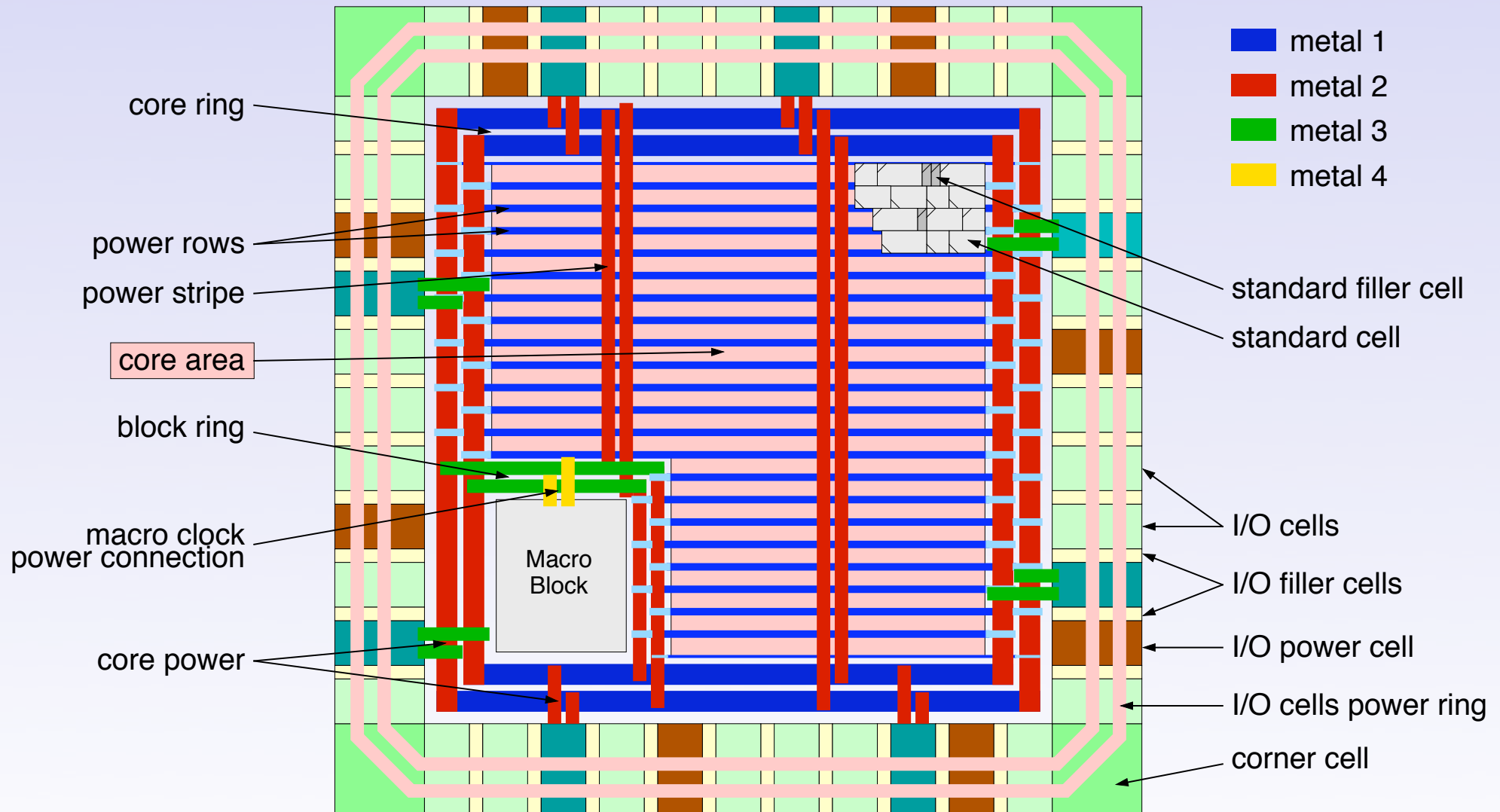
- separates Übersetzen von einzelnen Modulen wg. Rechenzeit
- große Module als „black-boxes“ eingeben
- Zusammenfügen der Module durch Aneinanderhängen der Netzlisten

# TRAP Layout

---

- **floorplan** I/O-Zellen, Makroblöcke, Regionen, Powerplan
- **placeECO** Abschätzung des zeitlichen Verhaltens
- **place** Platzierung der Standardzellen
- **IPOtran** lokale Optimierungen bezüglich von Übergangszeiten
- **IPOpreCTS** iterative lokale Optimierungen der Setup-Zeiten
- **CTS** Synthese der Taktbäume und erneute Analyse
- **IPOpostCTS** Optimierungen bezüglich Setup-Zeiten nach CTS
- **RouteCLK** Verdrahten der Taktbäume
- **RouteFirst** globale Verdrahtung mit lokalen Optimierungen
- **RouteFinal** globale Verdrahtung um Geometriefehler zu korrigieren
- **GDSout** Einfügen von Füllerzellen und Metalflächen, Erzeugung der GDSII-Datei
- **Timing** Erzeugung der Dateien zur Beschreibung des zeitlichen Verhaltens

# Layoutbeispiel





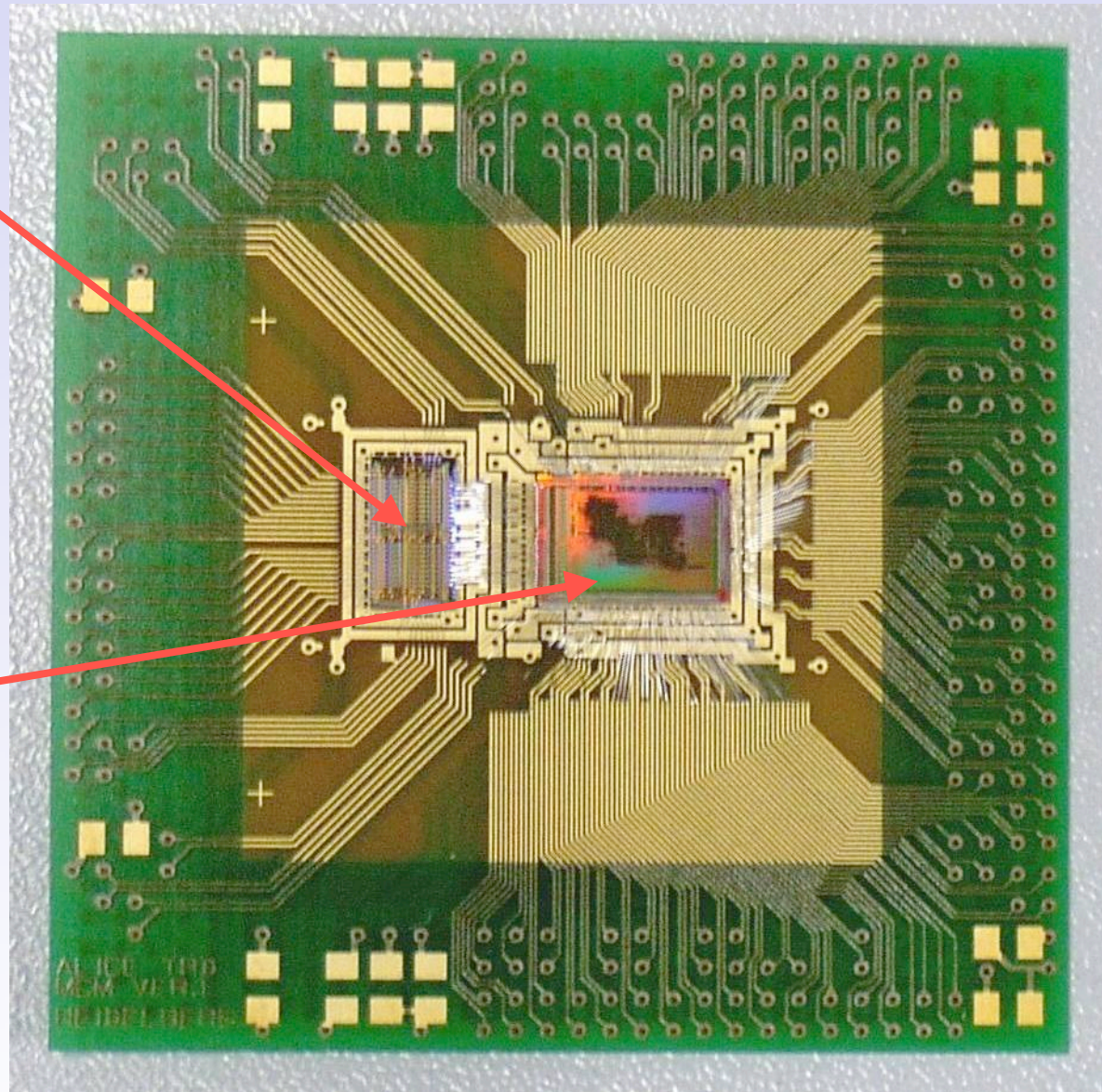
# MCM - Multi-Chip-Module

**PASA**

Preamplifier and Shaper  
Amplifier

**TRAP**

Tracklet Processor



4 cm

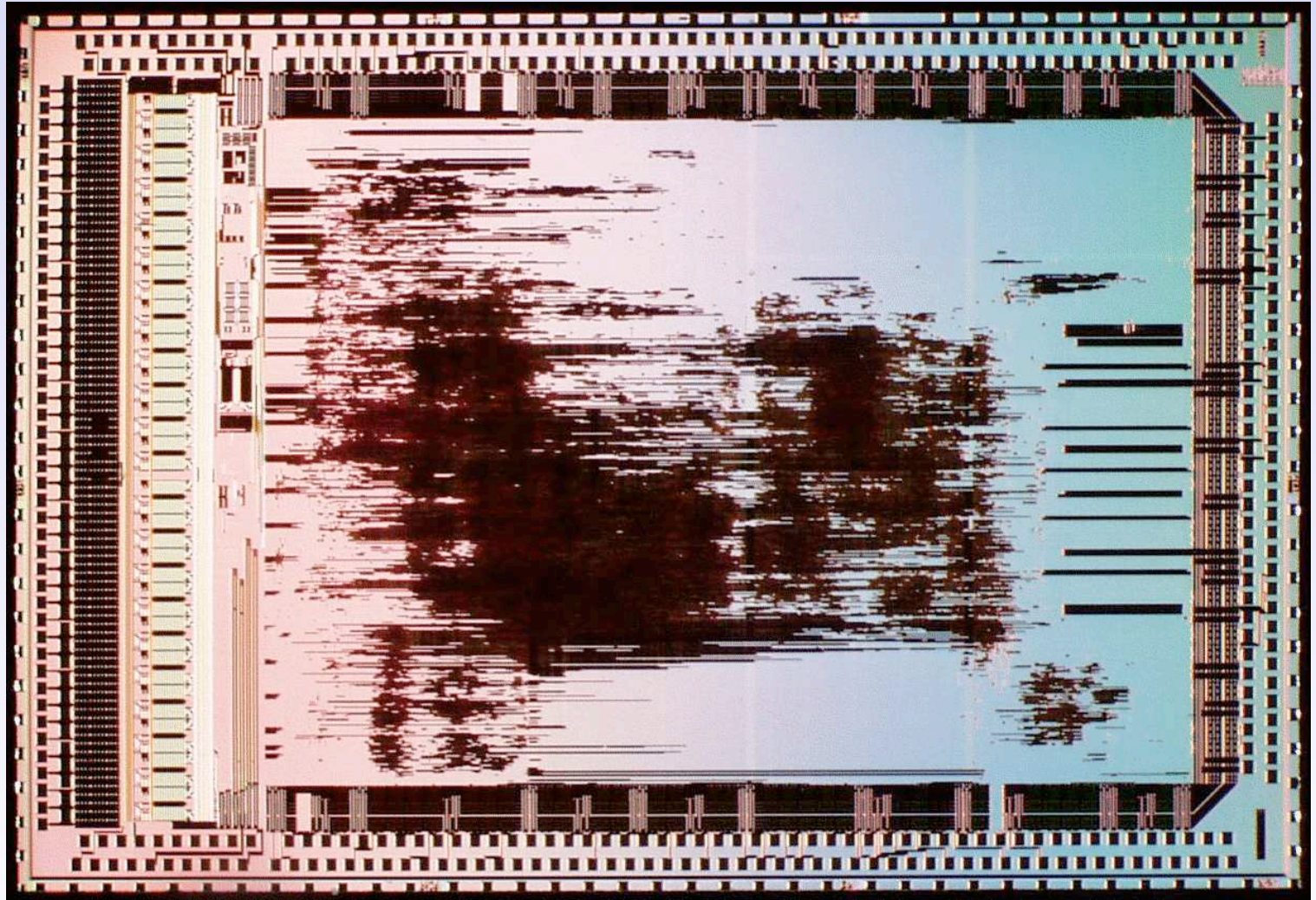


# TRAP3

---

## Eckdaten

- UMC
- 0,18  $\mu\text{m}$  CMOS
- mixed signal
- 120 MHz core
- ~5 MGates
- 5 \* 6,3 mm<sup>2</sup>





# Auslese - Ausleseplatine

