Fakultät für Physik und Astronomie

Ruprecht-Karls-Universität Heidelberg

Diplomarbeit

im Studiengang ***Physik***

vorgelegt von

Kai König

aus ***Heidelberg***

Mai 2005

Entwicklung eines ASICs in Hochspannungstechnologie zur kombinatorischen Microarray – Peptidsynthese

Diese Diplomarbeit wurde von ***Kai König*** *ausgeführt am*

Kirchhoff-Institut für Physik

unter der Betreuung von

Herrn ***Prof. Dr. Volker Lindenstruth***

sowie von

Herrn ***Priv.-Doz. Dr. Ralf Bischoff***

Deutsches Krebsforschungszentrum Heidelberg

Entwicklung eines ASICs in Hochspannungstechnologie zur kombinatorischen Microarray – Peptidsynthese

Arraytechnologien gewinnen zunehmend an Bedeutung in der aktuellen biologischen, medizinischen und pharmazeutischen Forschung. Das „Peptidchip“-Gemeinschaftsprojekt zwischen dem Deutschen Krebsforschungszentrum (DKFZ) und dem Kirchhoff-Institut für Physik der Universität Heidelberg (KIP) hat zum Ziel, Arrays hoher Dichte zu entwickeln, die insbesondere für kombinatorische Peptidsynthese und die zugehörigen Bindungsexperimente geeignet sind.
Im Rahmen dieses Projekts durchgeführt, beschreibt diese Arbeit die Entwicklung eines ASICs in Hochspannungs-CMOS-Technologie, der als Träger für ein solches Peptid-Microarray nutzbar ist. Geladene Partikel, die Aminosäuren oder andere Monomere enthalten können, werden im vom Chip erzeugten elektrischen Feld ortsselektiv auf der modifizierten Oberfläche des Chips abgelagert. Dies erlaubt die parallele Synthese mehrerer Oligomere auf dem Chip. Strukturen mit Spotabständen zwischen 100µm und 45µm und schaltbare Potentiale von bis zu 100V wurden implementiert und getestet. Ein I^2C-Interface wird benutzt, um den Chip mit Partikelablagerungsmustern zu programmieren. Der Chip ermöglicht auch die Untersuchung optischer Methoden zur Detektion von Bindungsereignissen unter Verwendung von integrierten CMOS-Photodioden. Architektur, Design und Simulation des Chips werden in dieser Arbeit beschrieben, ebenso wie experimentelle Ergebnisse des ortsselektiven Transfers von Partikeln auf den Chip.

Development of an ASIC using high-voltage technology for combinatorial microarray peptide synthesis

Array technology is becoming increasingly important in current biological, medical and pharmaceutical research. The “Peptide Chip” joint project between Deutsches Krebs-forschungszentrum (DKFZ) and Kirchhoff-Institut für Physik, Universität Heidelberg (KIP) aims at developing high-density arrays especially suited for combinatorial peptide synthesis and corresponding binding experiments.
Conducted in the framework of this project, this thesis describes the development of an ASIC in High-Voltage CMOS technology to be used as a carrier for such a peptide microarray. Charged particles, that can contain amino acids, are selectively deposited onto the modified chip surface using an electrical field generated by the chip. This allows the synthesis of numerous different oligomers on the chip in parallel. Structures covering spot pitches between 100µm and 45µm and switchable potentials of up to 100V have been implemented and tested. An I^2C interface is used to program particle deposition patterns into the chip. The chip also allows the investigation of optical methods to detect binding events using integrated CMOS photodiodes. Architecture, design and simulation of the chip are described in this thesis, as are experimental results on spatially selective particle transfer onto the chip.

Inhaltsverzeichnis

Einführung **1**

TEIL I GRUNDLAGEN UND METHODEN

1 Biologie der Aminosäuren, Bioarrays, Biochips **7**
1.1. Aminosäuren, Peptide, Proteine 7
1.1.1. Biochemische Einordnung 7
1.1.2. Aminosäuren und die Peptidbindung 7
1.1.3. Von der Peptidbindung zum Protein. 8
1.1.4. Peptidsynthese im Labor 9
1.2. Bioarrays und Biochips 11
1.2.1. Einleitung 11
1.2.2. Anwendungen von Peptidarrays 12
1.2.3. Erzeugung von Peptidarrays und Stand der Technik 13

2 Anwendungsspezifische integrierte Schaltungen **15**
2.1. Elektronische Schaltungen im CMOS-Prozess 15
2.1.1. Einleitung 15
2.1.2. Der MOSFET: Aufbau und Verhalten 16
2.2. CMOS und hohe Spannungen 19
2.2.1. Einleitung 19
2.2.2. Physikalische Grenzen 20
2.2.3. Elektronik 22
2.3. Optische Eigenschaften von CMOS – Bauteilen 30
2.3.1. Einleitung 30
2.3.2. Vermeidung parasitärer Effekte 31
2.3.3. Dedizierte Photodioden 31

3 Übertrag von geladenen Partikeln auf aktive Träger und das Peptidchip-Konzept **35**
3.1. Grundideen der chipbasierten Peptidsynthese 35
3.2. Tonerübertrag im Aerosol 36
3.2.1. Beschaffenheit der Partikel 36
3.2.2. Wirkende Kräfte 37
3.2.3. Bewertung der Beschichtungsqualität 39
3.2.4. Multipolpixel 40
3.3. Nachweis von Bindungsereignissen 41
3.4. Das Peptidchip-Gesamtsystem 41

4 Vorversuche und bisherige Arbeiten am Peptidchip-Projekt 43
4.1. Vorversuche 43
4.2. Konzeption Peptidchip 2 43
4.2.1. Ziele 43
4.2.2. Prozesswahl 43
4.3. Design und Layout Peptidchip 2 44
4.4. Messaufbau Peptidchip 2 47
4.5. Ergebnisse Peptidchip 2 48
4.5.1. Elektronische Tests 48
4.5.2. Versuche zum Tonerübertrag 50

TEIL II DURCHFÜHRUNG

5 Konzeption Peptidchip 3 55
5.1. Gestellte Anforderungen und Schlussfolgerungen aus Peptidchip 2 55
5.2. Prozesswahl 56
5.3. Konzeption der Teilkomponenten 57
5.3.1. Die Hochspannungs-Pixelfelder 57
5.3.2. Der Versorgungsteil 58
5.3.3. Die Teststrukturen 59
5.3.4. Wasserstoffdetektion 59

6 Design und Layout Peptidchip 3 61
6.1. Überblick 61
6.2. Die Pixelfelder 62
6.2.1. Schaltpixel 62
6.2.2. Multipolpixel 72
6.2.3. Photopixel 72
6.2.4. Aufzählung der realisierten Pixeltypen 75
6.3. Der Versorgungs- und Ansteuerungsteil 78
6.3.1. Referenzspannungen 78
6.3.2. Ansteuerung der Pixelfelder 80
6.3.3. Photoausgangsverstärker 85
6.3.4. Bondpads 85
6.4. Teststrukturen 86
6.4.1. Hochspannungstransistoren 86
6.4.2. Test-Photodioden 86
6.4.3. Wasserstoffdetektor 86

7 Messaufbauten Peptidchip 3 87
7.1. Elektronik 87
7.2. Software 90
7.3. Partikelübertrag 91
7.3.1. Aerosolkammer 91
7.3.2. Desorption im Luftstrom 91
7.4. Test der Photodioden und Fluoreszenzmessungen 91
7.5. Wasserstoffdetektion 92

TEIL III ERGEBNISSE UND DISKUSSION

8 Versuche und Messungen mit dem Peptidchip 3 95
8.1. Elektronische Tests 95
8.1.1. Direkte Ansteuerung und Testpixel 95
8.1.2. Beobachtungen zu Ausbeute und Zuverlässigkeit. 96
8.1.3. Das I^2C-Interface 97
8.1.4. Test der Hochspannungstransistoren 97
8.1.5. Test parasitärer Transistoren 97
8.2. Untersuchung des Partikelübertrags 97
8.2.1. Einleitung 97
8.2.2. Allgemeine Feststellungen 98
8.2.3. Einfluss von Pixelgröße, Form, Struktur und Gitterbreite. 100
8.2.4. Einfluss der Pixel- und Gitterspannung. 102
8.2.5. Gitterinversion und Beschichtungsanomalien 103
8.2.6. Einfluss des Verhältnisses beschichteter zu unbeschichteter Pixel . . 105
8.2.7. Ergebnisse der Multipolpixel 108
8.2.8. Vergleich zwischen Adsorptions- und Desorptionsverfahren . . . 109
8.2.9. Partikelübertrag unter Verwendung zweier verschiedenfarbiger Toner 110

9 Zusammenfassung und Ausblick 111
9.1. Zusammenfassung der Ergebnisse 111
9.2. Weitere Arbeiten mit dem Peptidchip 3 112
9.3. Von Peptidchip 3 zu Peptidchip 4 113

Literaturverzeichnis 115

Danksagung 119

ANHÄNGE

A1 Abgrenzung des Peptidchips zur Mikrosystemtechnologie und zu mikroelektromechanischen Systemen (MEMS) 123
A2 Schaltpläne der Hauptplatine. 125
A3 Zusätzliche Bilder zum Tonerübertrag 129
A3.1 Zusätzliche Bilder zum Tonerübertrag bei einheitlicher Spannung 129
A3.2 Bilder zum zweifarbigen Tonerübertrag 133

Einführung

Neben ihrer klassischen Aufgabe als Naturwissenschaft, das menschliche Wissen über die Welt zu mehren, hat die Physik auch schon lange die Aufgabe übernommen, anderen wissenschaftlich-technischen Disziplinen Werkzeuge zur Verfügung zu stellen. Diese dienen sowohl der Gewinnung von Erkenntnis in diesen Disziplinen als auch zum direkten Nutzen für den Menschen.

Gerade in der Medizin und in den Biowissenschaften finden wir zahlreiche Beispiele für Methoden und Geräte, die von der physikalischen Forschung den Weg in die alltägliche Anwendung gefunden haben. Ein inzwischen klassisches Beispiel von vielen ist das physikalische Phänomen der Kernmagnetresonanz, inzwischen routinemäßig eingesetzt in der Medizin als bildgebendes Verfahren im Magnetresonanztomograph (MRT) und in der Biologie zur Strukturbestimmung von Molekülen, besonders bei Proteinen.

Ein anderes Beispiel ist die CMOS-Technologie, durch deren Entwicklung aus der Festkörperphysik die *integrierte Schaltung* (integrated circuit, IC) und damit die Informatik, wie wir sie heute kennen, ermöglicht wurde.

Die CMOS-Technologie wurde seit ihrem Entstehen insbesondere im Hinblick auf ihre Hauptanwendung, schnelle digitale Datenverarbeitung, beständig weiterentwickelt [GEL89]. Zudem wurden neue Anwendungsgebiete durch Erweiterung der Technologie erschlossen:

- die Möglichkeit zu präzisen analogen oder gemischten analog-digitalen Schaltungen (so genannte Mixed-Signal-Schaltungen)
- die Erhöhung der maximal schaltbaren Spannung für Steueranwendungen [BAL99]
- der Einbau von mechanischen Sensoren und Aktuatoren in mikroelektromechanischen Systemen (MEMS), die sich inzwischen zu einer eigenständigen Technologie mit vielen Anwendungen entwickelt haben [MEM04]

Ein zentrales Thema in der biologischen Forschung der vergangenen Jahre war die Entschlüsselung des menschlichen Genoms. Dass dieses Ziel inzwischen weitgehend erreicht ist, verdanken wir aufgrund der großen Menge an zu bearbeitendem Material massiver Automatisierung und Parallelisierung [MÜL04], auch mit Hilfe so genannter „Genchips“.

Unser Wissen über biologische Organismen ist damit aber noch lange nicht vollständig: Wir kennen den vollständigen genetischen Text, aber verstehen derzeit nur wenige Bruchteile des Inhalts. Um zum Beispiel den Unterschied zwischen einer Raupe und dem genetisch identischen Schmetterling erklären zu können, muss die Expression der Gene, und damit die von ihnen codierten Proteine betrachtet werden. Aufgrund der Vielzahl der Gene und der Tatsache, dass ein Gen auch mehrere Proteine codieren kann sowie vieler weiterer Effekte,

werden für die Proteomforschung in gleichem Maße wie für die Genomforschung Werkzeuge benötigt, die für massiv parallele Untersuchungen ausgelegt sind.

Diese Werkzeuge können auch für medizinische Anwendungen eingesetzt werden, besonders für den Nachweis von Antikörpern zur medizinischen Diagnostik, die Suche nach möglichen Wirkstoffen für Medikamente und zur Forschung an Stoffwechselkrankheiten.

Ein Mittel, um solche hohe Parallelität und damit hohen Durchsatz zu erzielen, sind Microarrays, d.h. Träger, auf denen ein regelmäßiges Feld verschiedener Reaktionspartner auf jeweils sehr kleinem, definierten Raum (im µm-Bereich) angeboten werden. DNA-Microarrays verschiedener Techniken sind bereits essenziell für den schnellen und bezahlbaren Vergleich der Genaktivitäten vieler verschiedener Gene. Protein-Mikroarrays stehen trotz kommerzieller Verfügbarkeit einiger erster Produkte noch nicht in dem von der medizinischen und biologischen Forschung gewünschten Maß zur Verfügung.

CMOS–Technologie kann Parallelität auf kleinstem Raum ermöglichen. Kleine Strukturgrößen (von wenigen Mikro- bis einigen hundert Nanometern), eine definierte Oberfläche, sowie die Möglichkeit, über elektrische Felder auf geladene Partikel einzuwirken, lassen CMOS-Chips als ideale Grundlage für bestimmte Biochips erscheinen. Zudem könnten Photodioden an den Halbleiterübergängen zur Detektion von optisch markierten Molekülen benutzt werden.

Um einen Biochip auf CMOS–Basis zu entwickeln, sind Kenntnisse in vielen verschiedenen Bereichen erforderlich. Im Falle des Peptidchip-Projekts, in dessen Rahmen die vorliegende Arbeit entstanden ist, verfügt das Deutsche Krebsforschungszentrum (DKFZ), Abteilung Chipbasierte Peptidbibliotheken, (in Kooperation mit dem Institut für Physikalische Chemie, Universität Heidelberg) über die benötigten Kenntnisse und Ressourcen im Bereich der Biochemie und Oberflächenchemie. Das Kirchhoff-Institut für Physik, Lehrstuhl für Technische Informatik und das ASIC-Labor der Universität Heidelberg bringen die nötigen Kenntnisse und Ressourcen für den Entwurf mikroelektronischer Schaltungen und in der Nutzung von CMOS-Technologie sowie physikalische Kenntnisse ein. Insbesondere die Physik des Übertrags von Partikeln auf CMOS-Chips als aktive Träger erweist sich als überaus anspruchsvoll, so dass dieser Bereich als eines der Hauptthemen einer eigenständigen physikalischen Promotionsarbeit behandelt wird [NES04].

Diese Diplomarbeit konzentriert sich auf die mikroelektronischen Herausforderungen des Peptidchip-Projekts und behandelt in diesem Rahmen folgende Themen:

- Konzeption und Entwurf eines ASICs zur Untersuchung der ortsgenauen Ablagerung von Partikeln im elektrischen Feld
- Implementierung von Strukturen zur Erforschung von Möglichkeiten zum optischen Nachweis markierter Biomoleküle auf demselben ASIC
- Entwicklung einer Schnittstelle für die Programmierung und Auslese des Chips. Diese Schnittstelle soll bereits dafür ausgelegt sein, mit nur geringen Modifikationen auch spätere Peptidchips mit einer viel größeren Anzahl Pixel anzusteuern

- Testaufbauten und erste Test des Chips, insbesondere:
  - Vermessung der Qualität der Tonerablagerung in Abhängigkeit von den Pixeleigenschaften
  - Entwicklung von Messaufbauten, die im Rahmen zukünftiger Arbeiten zur Charakterisierung der elektrischen und optischen Eigenschaften des verwendeten Hochspannungs-CMOS-Prozesses eingesetzt werden

Entsprechend wurde ein Testchip entwickelt, mit dem die wesentlichen Parameter eines Peptidarray-Synthesechips mit Nachweismöglichkeit für bindende Biomoleküle systematisch erforscht werden können. Dieser Chip ermöglicht es, ein Optimum dieser Parameter für einen zukünftigen, anwendungsreifen Peptidchip zu bestimmen.

Erste Versuche, insbesondere zur Beschichtung mit geladenen Partikeln, wurden an diesem Chip bereits im Rahmen der vorliegenden Arbeit durchgeführt. Eine vollständige Vermessung aller Teststrukturen dieses Chips wird zusammen mit der Entwicklung des produktiven Nachfolgechips einer zukünftigen Arbeit vorbehalten bleiben.

TEIL I
METHODEN UND GRUNDLAGEN

1. Biologie der Aminosäuren, Bioarrays, Biochips

1.1 Aminosäuren, Peptide, Proteine

1.1.1 Biochemische Einordnung

Proteine sind neben Nukleinsäuren, Lipiden und Polysacchariden eine der wichtigsten Gruppen der in Lebewesen vorkommenden Biopolymere. Von diesen vier Gruppen sind die Proteine nach heutiger Lehrmeinung am vielseitigsten.

Proteine haben unter anderem folgende Funktionen [ALB99-1]:

- Enzyme katalysieren und regulieren chemische Reaktionen.
- Sensorproteine (z.B. Rhodopsin) wandeln Reize um.
- Strukturproteine (z.B. Actin, Tubulin, Keratin) geben Form.
- Transportproteine erlauben den Transfer von Molekülen durch Zellmembranen (z.B. Poren und Kanäle).
- Motorproteine (z.B. Myosin, Kinesin) ermöglichen Bewegung.
- Fluoreszente Proteine (z.B. Green Fluorescent Protein) strahlen Fluoreszenzlicht aus.

Proteine interagieren selektiv mit anderen Molekülen. Zudem können sie ihren räumlichen Aufbau (Konformation) ändern, was wiederum die Möglichkeiten ihrer Interaktion mit anderen Molekülen verändern oder auch eine Kraft auf andere gebundene Moleküle ausüben kann.

1.1.2 Aminosäuren und die Peptidbindung

Um die enorme Vielfalt an Funktion der Proteine ansatzweise erklären zu können, empfiehlt es sich, die Struktur und den chemischen Aufbau dieser Polymere näher zu betrachten.

Bei Proteinen handelt es sich um lineare *Heteropolymere*[1] oder um Komplexe aus mehreren identischen oder unterschiedlichen linearen Heteropolymeren mit anderen Molekülen oder Ionen. Die Monomere dieser Heteropolymere sind die *Aminosäuren*. Sie verfügen alle über eine Aminogruppe (mit Ausnahme von Prolin, das stattdessen über eine Iminogruppe verfügt) und eine Karbonsäuregruppe. Diese beiden chemischen Gruppen sind über ein Kohlenstoffatom verbunden, an dem auch eine so genannte Seitenkette, auch Rest genannt, mit weiteren chemischen Gruppen gebunden ist (Abb. 1.1).

[1] Heteropolymere sind Polymere, die aus verschiedenen Monomeren zusammengesetzt sind.

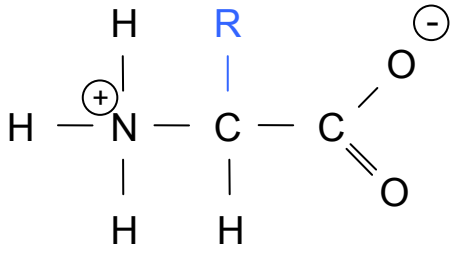

Abb. 1.1: Chemische Grundstruktur der Aminosäuren (bei pH 7): Aminogruppe links, Karbonsäuregruppe rechts, Seitenkette in der Mitte (R)

Proteine werden in der Natur fast ausschließlich aus den zwanzig *biogenen Aminosäuren* aufgebaut. Die biogenen Aminosäuren werden nach den chemischen Eigenschaften ihrer Seitenketten in vier Familien unterteilt:

- saure Aminosäuren
- basische Aminosäuren
- ungeladen polare Aminosäuren
- unpolare Aminosäuren

Weiterhin unterscheiden sich die Seitenketten in ihrer Länge, im Verzweigungsgrad und in den vorhandenen funktionalen Gruppen. Die chemischen Eigenschaften der Seitenketten decken also ein weites Spektrum ab, was zu der enormen Vielseitigkeit der Proteine beiträgt.

Zur Polymerisierung von Aminosäuren kommt es bei der chemischen Reaktion unter Abspaltung von Wasser zwischen der Aminogruppe und der Karbonsäuregruppe zweier Aminosäuren. Die entstehende Bindung wird Peptidbindung genannt, das entstehende Molekül wird als Peptid bezeichnet. Es verfügt über eine freie Aminogruppe an einem Ende der Kette (dem N-Terminus) und einer Karbonsäuregruppe am anderen Ende (dem C-Terminus). In lebenden Organismen katalysieren spezielle Molekülkomplexe, die *Ribosomen*, die Reaktionen der Peptidsynthese. Dabei wird die genaue Abfolge der verschiedenen Aminosäuren von einem weiteren Biopolymer, der *mRNA*[1], bestimmt. Diese bildet mit dem Ribosom und dem entstehenden Peptid vorübergehend eine Einheit[2]. Die mRNA wiederum wird speziell aus der DNA erzeugt, um als Beschreibung oder Blaupause für die Biosynthese eines Proteins zu dienen, sozusagen als „Arbeitskopie“ eines Gens.

1.1.3 Von der Peptidbindung zum Protein

Die typische Länge der Polypeptidkette eines Proteins beträgt etwa 300 Aminosäuren, aber dieser Wert kann für spezielle Proteine auch stark abweichen. Die Abfolge der Aminosäuren in dieser Polypeptidkette wird als *Primärstruktur* des Proteins bezeichnet.

[1] Messenger Ribonucleic Acid oder Boten-Ribonukleinsäure

[2] Tatsächlich können auch mehrere Ribosomen gleichzeitig eine mRNA – jeweils an verschiedenen Stellen – ablesen.

Abhängig von der genauen Sequenz können Teilbereiche eines Proteins die Eigenschaft haben, dass sich dort die Aminosäuren in einer *α-Helix*[1], einem *β-Faltblatt*[2] oder anderen wiederkehrenden Strukturen anordnen. Diese Elemente bilden die *Sekundärstruktur* des Proteins.

Als *Tertiärstruktur* bezeichnet man die stabile Konformation, in die die Aminosäurekette sich schließlich faltet. Diese liegt an einem Energieminimum im Raum aller möglichen räumlichen Anordnungen der Aminosäurekette. Eine treibende Kraft sind hierbei die hydrophoben Wechselwirkungen zwischen den unpolaren Seitenketten, die im wässrigen Medium der Zelle dann meist im Inneren des Proteins enden. Verschiedene Proteine unterstützen diesen Faltungsvorgang. Mit Ausnahme von Disulfidbrücken wird die Struktur eines Proteins fast ausschließlich über nicht kovalente Bindungen wie hydrophobe Wechselwirkung, Ionenbindung, Wasserstoffbrücken und Van-Der-Waals-Wechselwirkungen vermittelt.

Jeder Teilbereich eines Proteins, dessen Aminosäurekette sich unabhängig vom Rest der Aminosäurekette in eine solche stabile Konformation faltet, wird als *Domäne* bezeichnet. Eine Proteindomäne besteht üblicherweise aus zwischen 50 und 350 Aminosäuren.

Besteht ein Protein aus mehreren Aminosäureketten und/oder anderen Bestandteilen, so bezeichnet man die räumliche Anordnung dieser Bestandteile zueinander als *Quartärstruktur*.

Besondere Bedeutung kommt bei fast allen Proteinen den Aminosäuren auf der Oberfläche zu, da diese mit anderen Molekülen interagieren und insbesondere auch hochspezifische Bindungstaschen für andere Moleküle ausbilden können. Als *Epitope* bezeichnet man die kurzen Anordnungen von Aminosäuren, die für diese hochspezifischen Bindungsstellen genutzt werden. Vermittelt wird die bindende Wechselwirkung meist nicht durch kovalente Bindungen, sondern durch Wasserstoffbrücken, elektrostatische oder hydrophobe Wechselwirkungen, Van-der-Waals-Kräfte und natürlich *sterische Effekte*[3] zwischen den Moleküloberflächen.

Kürzere lineare Polypeptide werden einfach als *Peptide* bezeichnet. In Organismen kommen auch viele Peptide mit biologischer Funktion vor, wie zum Beispiel Signalpeptide.

1.1.4 Peptidsynthese im Labor

Für Laboranwendungen ist es inzwischen ein etabliertes Verfahren zur Produktion von Peptiden und Proteinen, mit den Methoden der Gentechnologie die Erbinformation von Mikroorganismen gezielt so zu verändern, dass diese das gewünschte Molekül auf dem üblichen Weg biosynthetisieren. Werden geeignete Lebensbedingungen in einem Bioreaktor zur Verfügung gestellt, können sich diese Organismen so weit vermehren, bis sie in ausreichender Anzahl vorhanden sind, um die gewünschte Menge des Moleküls zu produzieren. Danach werden die Organismen abgetötet, und das Protein wird mit verschiedenen chemischen und physikalischen Methoden aus den anderen Bestandteilen der

[1] rechtsdrehend schraubenförmige Anordnung, mit den Seitenketten nach außen

[2] einer Ebene aus mehreren parallelen geraden Strängen von Aminosäuren, deren Seitenketten jeweils im Wechsel über und unter die Ebene zeigen

[3] sterische Effekte sind, vereinfacht gesagt, Auswirkungen der Tatsache, dass ein Bereich im Raum nur von einem Atom eingenommen werden kann, und dass dadurch die verschiedenen Bereiche der Ketten sich gegenseitig in den ihnen möglichen Bewegungen einschränken.

Organismen abgetrennt. Dieser Weg zur Erzeugung von Peptiden ist sehr aufwändig, vor allem wenn sehr viele verschiedene kurze Peptide isoliert erzeugt werden sollen.

Einfachere Verfahren zur Synthese von Peptiden im Labor wurden also gesucht. Die Hauptschwierigkeit hierbei lag in der Tatsache begründet, dass beim direkten Mischen von Peptiden im Reagenzglas zyklische Dipeptide entstehen. Erstmals 1881 wurde mit der *Azid-Methode* von Th. Curtius ein Verfahren entwickelt, das mit Hilfe von Schutzgruppen den Aufbau eines linearen Polypeptids ermöglichte [JAK73]. Die Verwendung von Schutzgruppen erlaubt es, in einem einfachen Laboraufbau Proteine wie in lebenden Zellen schrittweise aufzubauen. Basierend auf dem Konzept der Verwendung von Schutzgruppen wurden weitere Verfahren zur Peptidsynthese entwickelt.

Das erste technisch nutzbare Verfahren war die 1963 von R. B. Merrifield entwickelte *Festphasen-Peptidsynthese* [MER63]. Bei diesem Verfahren und den darauf aufbauenden Verfahren werden Aminosäuren einer Sorte mit der Karbonsäuregruppe an einen Träger gekoppelt. Die Aminogruppe dieser Aminosäuren ist frei und somit reaktionsfähig. Danach werden Aminosäuren zugegeben, deren Aminogruppe durch Bindung mit einer chemischen Gruppe reaktionsunfähig gemacht wurde. Somit können diese mit den schon am Träger gebundenen Aminosäuren reagieren und eine Peptidbindung bilden. Danach ist aber zunächst wegen der Schutzgruppe keine weitere Reaktion möglich. Überzählige Aminosäuren werden nun abgewaschen, so dass nur die gebundenen Peptide, mit der Schutzgruppe am N-Terminus verbleiben. Die Schutzgruppe ist so gewählt, dass sie sich zuverlässig durch Zugabe geeigneter Reagenzien abspalten lässt. Da diese Schutzgruppe nach jedem Reaktionsschritt entfernt wird, bezeichnet man sie auch als *transiente Schutzgruppe*. Bei der ursprünglichen Merrifield-Synthese wird hierfür eine Carbobenzoxy-Gruppe verwendet, die mit Hilfe von Wasserstoffbromid entfernt wird. Ein schonenderes Verfahren verwendet als Schutzgruppe eine FMOC-Gruppe[1] und zur Abspaltung eine milde Base, in der Regel Piperidin.

Da die Seitenketten einiger Aminosäuren Karbonsäure- oder Aminogruppen enthalten, müssen auch diese mit Schutzgruppen blockiert werden. Diese *permanenten Seitenkettenschutzgruppen* dürfen allerdings erst nach Abschluss der gesamten Peptidsynthese entfernt werden. Sie müssen daher stabil gegen das Reagenz sein, das zur Entfernung der Schutzgruppen der Hauptkette verwendet wird, sich aber mit einem anderen Reagenz, oft einer starken Säure wie Trifluoressigsäure, abspalten lassen.

Mit der Festphasen-Peptidsynthese lassen sich zuverlässig Peptidketten von, je nach Verfahren und Peptid, maximal 15-35 Monomeren herstellen. Längere Peptidketten herzustellen ist schwierig, da benachbarte Peptidketten auf dem Träger bei diesen Kettenlängen beginnen können, miteinander in Kontakt zu geraten und je nach Seitenketten auch sich zu Aggregaten zusammenzulagern. Weiterhin werden bei langen Peptidketten sehr gute Umsetzungsraten für jeden einzelnen Kopplungsschritt nötig, um noch einen akzeptablen Anteil des gewünschten Peptids zu erhalten. Auf diese Problematik wird in Abschnitt 1.2.3.1 eingegangen.

[1] 9-Fluorenylmethyloxycarbonyl

1.2 Bioarrays und Biochips

1.2.1 Der Begriff des Biochips

Wenn von „Genchips“, „DNA-Chips“, „Proteinchips“ oder allgemein „Biochips“ die Rede ist, wird der Begriff des Chips anders verwendet als in der Halbleiterphysik. Trotzdem hat dieser Begriff in beiden Bereichen die gleiche Wurzel: In der englischen Sprache steht „*Chip*“ zunächst ganz allgemein für einen kleinen, handlichen Träger.

So sind *Halbleiterchips* Träger von elektronischen Bauelementen oder ganzen integrierten Schaltungen. Sie sind durch Verwendung eines Gehäuses um den Halbleiterkristall oder andere Techniken zu dessen Schutz handhabbar und von außen elektrisch kontaktierbar. So können sie von außen gestellte Anforderungen erfüllen. Auf Halbleiterchips wird in Kapitel 2 näher eingegangen.

Biochips werden als handliche Träger biologisch relevanter Moleküle an ihrer Oberfläche definiert [MÜL04-1]. Reaktionspartner können mit den an der Oberfläche fixierten Molekülen in Kontakt gebracht werden und Bindungswechselwirkungen zwischen den gebundenen Molekülen auf dem Chip und dem Reaktionspartner können nachgewiesen werden. Biochips existieren als Träger nur einer funktionalen Gruppe pro Chip oder als Träger eines ganzen Bioarrays. Sie sind konzipiert um mit einem System zur Auswertung der Bindungsereignisse zusammenzuarbeiten und können Teile dieses Auswertungssystems mit auf dem Träger unterbringen. Biochips können je nach Anforderungen aus sehr verschiedenen Materialien bestehen. Viele Biochips sind keine Halbleiterchips.

Protein- oder Peptidchips mit nur einer Sorte chemischer Gruppen pro Chip sind für einige Anwendungen gut geeignet und bereits weit verbreitet [KAM05-1]. Für viele Anwendungen ist es dagegen essenziell, die Wechselwirkung einer Substanz mit einer Vielzahl von verschiedenen Bindungspartnern möglichst schnell und kostengünstig zu testen. Um dieses Ziel zu erreichen bietet sich Parallelisierung an, also viele Tests in einem Arbeitsablauf gleichzeitig durchzuführen. Bei einem Weg dies zu erreichen, werden die Bindungspartner in Form von zweidimensionalen *Feldern* (in der biologischen Anwendung mit dem englischen Ausdruck „*Arrays*“ bezeichnet) auf einen Träger aufgebracht. Diese Felder bestehen aus einer zweidimensionalen regelmäßigen Anordnung von verschiedenen Bindungsstellen mit verschiedenen Molekülen. Ausreichend miniaturisiert und auf einen Träger integriert lassen sich viele Bindungsstellen auf kleinem Raum als *Microarray* zusammenfassen. Solche Arrays sind immer aus Punkten identischer Bindungsstellen definierter Größe in regelmäßiger Anordnung aufgebaut. Die Bindungsstellen werden dann mit verschiedenen Molekülen beladen. In der biologischen Anwendung, vor allem bei Druckverfahren, werden diese Punkte „*Spots*“ genannt. Mit geeignetem Werkzeug wie Vielfachpipetten, Pipetierrobotern und automatisierter Auswertung lassen sich so tausende von Bindungsexperimenten parallel in nur einem Arbeitsgang durchführen. Insbesondere im Bereich der Gen- oder DNA-Mikroarrays und „Genchips“ sind hier in den vergangenen Jahren große Durchbrüche erzielt worden.

Seit der erfolgreichen Auslese und Niederschrift des menschlichen Genoms hat sich das Interesse unter anderem zu den Proteinen verschoben. Denn um zu verstehen, wie ein Organismus funktioniert, genügt es nicht, zu wissen welche Proteine durch welche Gene codiert werden. Die Wechselwirkung der Proteine untereinander und mit anderen Biomolekülen muss verstanden werden. Peptide bieten hier einen Ansatzpunkt, weil Proteine sich durch Peptide repräsentieren lassen: Peptidketten, die in ausreichendem Maß überlappend die gesamte Aminosäuresequenz des Proteins abbilden, geben dessen Primärstruktur für viele

Zwecke gut genug wieder. Bindungsstellen an Proteinen mit komplexen Bindungstaschen dagegen lassen sich mit dieser Technik nicht so einfach abbilden, da hier die Tertiärstruktur die Bindungseigenschaften bestimmt: Die Bindungstasche wird hier aus den Seitengruppen von Aminosäuren an verschiedenen, auch weit voneinander entfernt liegenden Stellen der Aminosäuresequenz gebildet. Zudem ist die exakte räumliche Anordnung, also die Tertiärstruktur und Quartärstruktur der Aminosäuren von großer Bedeutung, und diese wird erst durch das vollständige Protein vermittelt. Trotzdem können entsprechend angepasste Peptide auch hier Anhaltspunkte liefern.

1.2.2 Anwendungen von Peptidarrays

1.2.2.1 Antikörpernachweis

Ein in der Medizin üblicher Weg zur Diagnose von vielen Infektionskrankheiten ist der Nachweis von Antikörpern gegen einen Erreger im Blut des Patienten. Die hierfür bisher üblichen Methoden sind jedoch recht teuer und materialaufwändig. Hier kann ein Peptidchip ein kompakteres Format bieten, insbesondere wenn im Rahmen der Diagnostik auf mehrere Moleküle gleichzeitig getestet werden soll.

Für jeden Antikörper muss für diese Anwendung zunächst ein möglichst spezifisches Muster von bindenden und nicht bindenden Peptiden gefunden werden. Die für dieses spezifische Bindungsmuster nötigen Peptide werden dann zu einem Array zusammengefasst. Dieses Array kann nun beliebig oft reproduziert werden und steht dann für zukünftige Tests zur Verfügung.

Für viele Tests würde sogar ein einzelnes, sehr spezifisches Peptid ausreichen, das in einem einfachen Test ohne Arraytechnologie Verwendung finden könnte. Allerdings muss ein solches hochspezifisches Peptid erst einmal gefunden werden, und bei dieser Suche müssen wiederum viele Kandidaten untersucht werden – erneut ein Anwendungsgebiet für Peptidarrays.

Um das Blut eines Patienten zu testen, wird es (verdünnt) auf ein Array des für den Test benötigten Typs aufgebracht, die Bindungsereignisse werden ausgewertet, indem nach dem Muster oder den Mustern auf dem Chip gesucht wird.

1.2.2.2 Peptid-Protein-Bindungen

Die für den Antikörpernachweis beschriebene Methode lässt sich auch auf andere Proteine verallgemeinern. Zum Beispiel könnten sich so Oberflächenproteine von Viren oder anderen Krankheitserregern nachweisen lassen. Medikamente, die diese Proteine inaktivieren, können mit Hilfe der Arraytechnologie gesucht und gefunden werden.

Eine andere medizinische Anwendung ist die systematische Suche nach Wirkstoffen auf Peptidbasis, die an Krankheitserreger oder auch an Krebszellen binden. Damit könnten schneller und leichter Stoffe gefunden werden, die Krankheitserreger inaktivieren, indem zum Beispiel bei Viren die Bindungsstelle für den Eintritt in Zellen gestört wird. Auch könnten zellschädigende Stoffe gezielt an auszuschaltende Zellen wie Krebszellen gebunden werden.

Weiterhin lässt sich mit Hilfe von Peptidarrays auch biologische Grundlagenforschung treiben, indem man qualitativ die Bindung zwischen Peptiden und Peptidsequenzen aus Proteinen zu anderen Proteinen untersucht. So lässt sich zum Beispiel nachweisen, welche

Region eines auf dem Array abgebildeten Proteins mit einem anderen, in Lösung zugegebenen Proteins wechselwirkt.

1.2.2.3 Peptide als Katalysatoren

Proteine haben, besonders in Verbindung mit Metallatomen, in lebenden Organismen oft die Eigenschaft, als *Katalysator* bestimmte chemische Reaktionen durch Herabsetzung der Aktivierungsenergie stark zu beschleunigen (z.B. Metalloproteinasen). Für die chemische Industrie sind maßgeschneiderte Katalysatoren, die dort gewünschte Reaktionen beschleunigen, von großem Wert. Ein besonders wertvolles, aber noch nicht nachgewiesenes Beispiel hierfür wäre ein Enzym, das die Reaktion von Wasser zu Wasserstoff und Sauerstoff unter Energiezufuhr durch Licht katalysiert.

Komplexe Proteine sind schwierig zu synthetisieren – eigentlich sind sie nur durch aufwändige Extraktion aus gezüchteten genetisch veränderten Mikroorganismen zu gewinnen. An Oberflächen fixierte Peptide dagegen wären einfach herzustellen und zu handhaben. Jedoch müssen dafür zunächst geeignete Peptidsequenzen, eventuell mit daran gebundenen Metallatomen, gefunden werden. Peptidarrays bieten eine Möglichkeit, viele kurze Sequenzen parallel auf katalytische Aktivität zu testen. Allerdings wäre es hierzu nötig, möglichst ortsgenau und spezifisch einen Anstieg der Konzentration der gewünschten Reaktionsprodukte auf dem Array nachzuweisen. Gerade der Nachweis von Wasserstoff kann mit Verfahren, die auf der Veränderung der optischen oder elektrischen Eigenschaften von dünnen Metalloxidfilmen unter Wasserstoffeinwirkung basieren, erzielt werden. In den Abschnitten 5.3.4 und 6.4.3 wird hierauf näher eingegangen.

1.2.3 Anforderungen an Peptidarrays und Stand der Technik

1.2.3.1 Anzahl der Aminosäuren pro Peptid

Die Kettenlänge der auf einem Punkt des Arrays angebotenen Peptide ist eine wichtige Größe, um den Wert des Arrays für die Anwendung zu bestimmen. Längere Peptidketten erlauben größeren Überlapp für die Darstellung eines Proteins in Peptidketten. Alternativ können längere Peptidketten untersucht werden für Peptid-Protein-Wechselwirkungsexperimente oder bei der Suche nach peptidischen Katalysatoren. Daher ist es wünschenswert, möglichst lange Peptidketten erzeugen zu können. Stand der Technik bei der Festphasen-Peptidsynthese sind maximale Kettenlängen von 15 bis 35 Aminosäuren, sequenzabhängig auch länger.

Limitierender Faktor ist hierbei die Chemie: Jede einzelne Reaktion, bei der eine weitere Aminosäure an das Ende der Peptidkette gekoppelt wird, hat nur eine endliche Effizienz. Diese Kopplungseffizienz hängt stark von der Sequenz ab. Der Grund hierfür sind sterische Effekte zwischen dem Peptid und der neuen Aminosäure. Einige der Peptidketten auf einem Spot werden also fehlende Aminosäuren aufweisen und dementsprechend anders binden. Diese unerwünschten Peptide können das Ergebnis des Bindungsexperiments verfälschen. Daher muss ihr Anteil an der gesamten Peptidbeladung des Spots minimiert werden.

Der Anteil K der korrekten Peptide der Länge n auf einem Spot errechnet sich aus den Kopplungseffizienzen E_i der insgesamt n Kopplungsschritte[1] zu

$$K = \prod_{i=1}^{n} E_i \,. \tag{F1.1}$$

Für konstante Kopplungseffizienz E können wir dies nähern als

$$K = E^n \,. \tag{F1.2}$$

Diese Näherung ist nur zulässig, wenn sterisch behinderte Aminosäuresequenzen bekannt sind und vermieden werden, für solche Peptide die Kopplungseffizienz stark verringert ist. Für eine erstrebenswerte Peptidkettenlänge von $n = 15$ würde aber selbst eine 95%-ige Kopplungseffizienz nur einen Anteil von etwa 46% korrekten Peptidketten ergeben. Da allerdings alle anderen Peptidketten nur in jeweils sehr kleinen Anteilen vorkommen, wäre selbst ein Spot mit diesem Anteil an korrekten Peptiden noch sehr gut verwendbar.

1.2.3.2 Anzahl der Peptide pro Chip

Eine wichtige Frage bei der Entwicklung von Arrays ist, wie viele verschiedene Felder dieses Array minimal zur Erfüllung der Aufgabe und im besten Falle zur Verfügung stellen sollte. Dabei hängt es stark von der Anwendung ab, wie viele verschiedene Peptide in einem Array benötigt werden.

Grundsätzlich ist natürlich wünschenswert, möglichst viele Peptide auf einem Array unterbringen zu können – vor allem für die „ungezielten“ Anwendungen in der Proteomforschung oder die Suche nach Katalysatoren. Will man zum Beispiel das menschliche Proteom von etwa 40.000 Proteinen (bestehend aus im Mittel 500 Aminosäuren) aus 15-meren Peptiden mit 10 Aminosäuren Überlappung abbilden, benötigt man dafür schon 4.000.000 verschiedene Peptide im Array.

Will man gar alle denkbaren Sequenzen biogener Aminosäuren – ohne Berücksichtigung sterischer Behinderungen – untersuchen, so ergeben sich bei Kettenlänge n dann 20^n mögliche Peptide – für $n = 6$ sind das $6{,}4 * 10^7$, für $n = 15$ bereits über $3{,}2 * 10^{19}$. Nimmt man nicht biogene Aminosäuren hinzu, was z.B. für die Suche nach Katalysatoren sinnvoll sein könnte, kann diese Zahl im Prinzip beliebig weiter wachsen.

Man sieht, dass für die genannten Anwendungen im Prinzip beliebig große Peptidarrays Anwendung finden könnten. Diese Anwendungen sind daher mit heute verfügbarer Technologie nicht wirtschaftlich realisierbar. Weniger anspruchsvoll sind dagegen die Anwendungen im Bereich des Antikörpernachweises. Hier finden heute bereits Arrays auf Glas- und anderen Trägern Verwendung. Ein Beispiel ist das PepSTAR Micro-Array der Jerini AG, das immerhin bis zu 30.000 Peptide auf einem Träger anbieten kann [MÜL04-2].

[1] ein Kopplungsschritt zwischen der ersten Aminosäure und dem Substrat und n - 1 Kopplungsschritte zwischen dem am Substrat wachsenden Peptid und der nächsten Aminosäure

2. Anwendungsspezifische integrierte Schaltungen

2.1 Elektronische Schaltungen im CMOS - Prozess

2.2.1 Einleitung

Elektronische Schaltungen bestehen in der Regel sowohl aus passiven Elementen wie Widerständen, Kondensatoren und Spulen als auch aus aktiven Elementen wie Dioden und Transistoren. Die „klassische“ elektronische Schaltung verbindet separat produzierte, so genannte „diskrete Bauteile“, entweder mit Kabeln oder aufgelötet auf einer gedruckten Schaltungsplatine (auch bezeichnet als Leiterbahnplatine, Printed Circuit Board, PCB) mit entsprechenden Leiterbahnen.

Eine große Platzersparnis lässt sich beim Aufbau einer elektronischen Schaltung erzielen, wenn viele ihrer Komponenten gemeinsam, in für die Funktion der Schaltung hilfreicher Weise verbunden, auf einem kleinen Träger gefertigt werden. Einen solchen Träger bezeichnet man als elektronischen Mikrochip oder *integrierten Schaltkreis* bzw. *Integrated Circuit (IC)*. Die Kantenlänge dieser Chips liegt meist im Bereich von wenigen Millimetern, doch zum Einbau in eine gedruckte Schaltung werden sie in größere, handliche Gehäuse mit Kontaktstiften verpackt oder auch aufgeklebt.

Ermöglicht wird die Integrierte Schaltung durch die Verwendung eines Halbleitersubstrats, auf dem im so genannten CMOS – Prozess Dotierungen eingebracht und Strukturen aufgebracht werden. Besonders Feldeffekttransistoren, aber auch Widerstände, Kapazitäten und bipolare Transistoren können so auf kleinstem Raum miteinander zu elektronischen Schaltungen verbunden werden.

Die Abkürzung CMOS steht für *Complementary Metal-Oxide-Semiconductor*, also einen Prozess, der sowohl NMOS[1]- als auch PMOS[2]-Feldeffekttransistoren auf einem gemeinsamen Substrat zur Verfügung stellen kann. CMOS-Schaltungen bieten bessere Linearität und Kompaktheit sowie deutlich geringere Leistungsaufnahme als Schaltungen, die in Prozessen gefertigt werden, die nur entweder NMOS oder nur PMOS zur Verfügung stellen. Während diese einfachen Prozesse ausreichend waren für viele diskrete Halbleiterbauelemente, wurden andere Anwendungen – wie z.B. moderne Mikroprozessoren in PCs (bei Intel z.B. ab dem 80386-Prozessor) – erst durch die CMOS-Technologie ermöglicht. Bei heute möglichen Strukturgrößen von 90 Nanometern und weniger[3] werden so zum Beispiel in modernen Mikroprozessoren oder Speicherchips Schaltungen mit über $4*10^8$ Transistoren (z.B. Intel Itanium 2 – Prozessorfamilie) auf einem Chip realisiert [INT].

---

[1] NMOS: Negative Conducting Channel Metal Oxide Semiconductor, Feldeffekttransistor: Gate durch Oxid vom Halbleiter getrennt, mit mehrheitlich negativen Ladungsträgern im Kanal

[2] PMOS: Positive Conducting Channel Metal Oxide Semiconductor, Feldeffekttransistor: Gate durch Oxid vom Halbleiter getrennt, mit mehrheitlich positiven Ladungsträgern im Kanal

[3] Als typische Strukturgröße wird in der Halbleitertechnik die Gatebreite verwendet. Die Dicke der Gateoxidschicht ist üblicherweise noch sehr viel geringer als die Gatebreite und liegt bei kleinen Strukturgrößen inzwischen im Bereich weniger Atomlagen.

Man kann integrierte Schaltungen nach ihrer Funktionalität in verschiedene Gruppen unterteilen:

- Allgemein verwendbare Schaltungen. Diese beinhalten einzelne diskrete Bauteile oder logische Gatter, wie zum Beispiel vier separat kontaktierte AND-Gatter auf dem 74HC03-Chip. Solche Chips werden fast wie diskrete Bauteile benutzt. In diese Kategorie fallen aber auch Operationsverstärker oder Analog-Digital-Wandler und auch komplexere Universal-Chips wie Prozessoren, Speicher und *FPGA*s[1].
- *Anwendungsspezifische integrierte Schaltungen (Application Specific Integrated Circuit,* oder *ASIC*). Diese werden speziell für die geplante Anwendung entworfen und können so für ihr Einsatzgebiet ohne Rücksicht auf Flexibilität optimiert werden. Eingesetzt werden sie in vielen Bereichen, zum Beispiel in Triggerschaltungen für die schnelle Auswertung von Experimenten in der Hochenergiephysik oder für speziell optimierte Sensor- oder Steuerchips.

Unterschieden wird auch zwischen rein *digitalen Schaltungen*, die als Bauelemente nur Transistoren benötigen und die für elektrische Signale nur die zwei Zustände „niedrige Spannung“ oder logische 0 und „hohe Spannung“ oder logische 1 kennen und *analogen Schaltungen*, bei denen der exakte Wert der anliegenden Spannung verarbeitet wird. Beispiele für digitale Schaltungen sind Rechenwerke, Prozessoren, FPGAs und Speicher, während Operationsverstärker typische analoge Bauelemente sind. Darüber hinaus gibt es integrierte Schaltungen, die analoge und digitale Signale vereinen, so genannte *Mixed-Signal-Schaltungen*. Wichtigstes Beispiel sind hier die Analog-Digital- und Digital-Analog-Wandler, die Signale von analoger zu digitaler Darstellung, bzw. umgekehrt, umwandeln.

Im folgenden Abschnitt 2.1.2 wird zunächst auf den MOSFET, das grundlegende Bauelemet der CMOS-Technologie eingegangen und sein Aufbau und Verhalten beschrieben. In den Abschnitten 2.2 und 2.3 wird auf die für diese Arbeit wichtigen Möglichkeiten der Erweiterung des CMOS-Prozesses für die Integration von elektronischen Komponenten mit hohen Schaltspannungen und auf die optischen Eigenschaften des CMOS-Prozesses eingegangen.

2.1.2 Der MOSFET: Aufbau und Verhalten

Der MOSFET als zentrales Element des CMOS-Prozesses verdient besondere Beachtung. Sowohl NMOS- als auch PMOS-Transistoren werden im CMOS-Prozess aufgebaut aus

- nahe der Oberfläche des *Substrats*[2] eingebrachten verschieden *dotierten*[3] Halbleiterbereichen und

[1] Field-Programable Gate Array, etwa: programmierbares Feld von logischen Gattern

[2] Als Substrat bezeichnet man das Stück defektarmer Halbleiterkristall von etwa 1mm Dicke, das als Ausgangsmaterial für die folgenden Prozessschritte dient.

[3] Als Dotierung bezeichnet man lokal eingebrachte Fremdatome in der regelmäßigen Struktur des Substrats. Im Falle von p-Dotierung wird dadurch ein lokaler Überschuss an positiven Ladungsträgern erzeugt, im Falle von n-Dotierung entsteht lokal ein Überschuss an negativen Ladungsträgern. Dotierungen können für verschiedene Zwecke verschiedene Tiefen im Substrat und verschiedene Dotierungsstärken (also verschiedene Fremdatomdichten, im Bereich zwischen $10^{10}cm^{-3}$ und $10^{19}cm^{-3}$) aufweisen.

- auf dem Substrat aufgetragene Strukturen aus Metall, polykristallinem Silizium und Siliziumoxid mit Schichtdicken im Bereich 1µm bis 10nm.

Abb. 2.1 zeigt NMOS- und PMOS-Transistor im Querschnitt für einen CMOS-Prozess mit p-dotiertem Substrat.

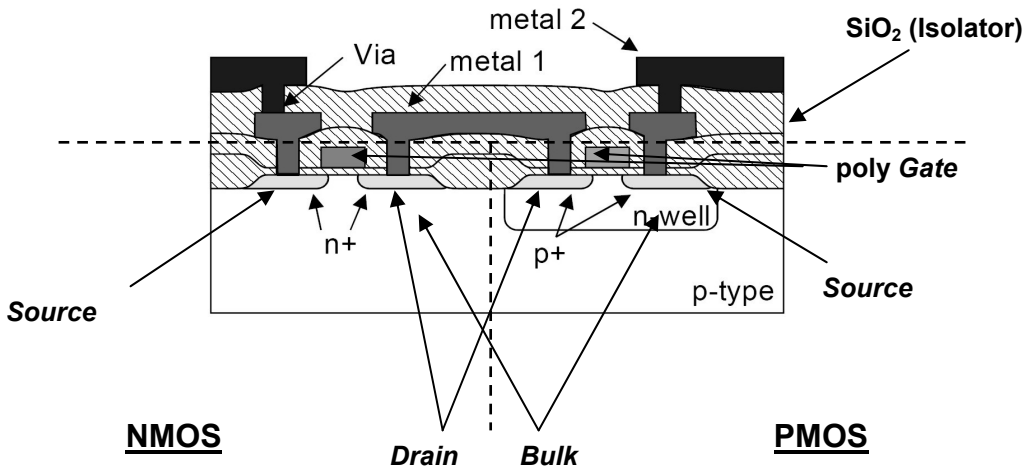

Abb. 2.1: Aufbau von NMOS und PMOS im p-Substrat-CMOS-Prozess. Über den Transistoren sind in zwei Metalllagen verbindende Leiterbahnen (Interconnect) dargestellt. Die schützende *Passivierung* über der obersten Metalllage ist nicht dargestellt. Die stark dotierten Bereiche (mit n+ bzw. p+ bezeichnet) stellen Drain- und Sourcekontakte der MOSFETs dar, das Gate aus polykristallinem Silizium ist mit poly bezeichet. Das mit p-type bezeichnete Substrat und der n-well (n-Wanne) sind schwach dotiert. (Entnommen aus [LIN04])

Ein Feldeffekttransistor verfügt über vier Kontakte:

- Der Eingang des Transistors, über dessen Potential der Stromfluss zwischen Drain und Source gesteuert werden kann, wird als *Gate* bezeichnet. Durch das Gate kann – im Gegensatz zur Basis eines bipolaren Transistors – in guter Näherung kein Strom fließen.
- *Drain* und *Source* sind die beiden Kontakte durch die in einem leitenden Transistor ein Strom fließt. Niederspannungstransistoren sind oft in ihrem Aufbau symmetrisch gegen eine Vertauschung von Drain und Source. Man bezeichnet dann als Source den Kontakt des Transistors, der näher an der zu dem Transistor gehörenden Versorgungsspannung liegt. Beim NMOS ist dies die niedere Versorgungsspannung *Ground (in der Regel 0V)*, beim PMOS die hohe Versorgungsspannung V_{dd}. Der Drain kann dann als Ausgang des Transistors betrachtet werden.
- *Bulk* ist die Bezeichnung für das Substrat oder die Wanne, in dem der Transistor liegt. Das p-Substrat liegt immer auf Ground, n-Wannen meist auf Vdd oder auf dem Potential, das an der Source der PMOS-Transistoren in der Wanne anliegt. Das Bulkpotential hat einen Einfluss auf die analogen Eigenschaften des Transistors. Für digitale Anwendungen werden Bulk und Source kurzgeschlossen und als ein Kontakt betrachtet.

Ein Feldeffekttransistor wird zwischen Drain und Source leitend für einen Strom I_D, wenn die Spannung zwischen Gate und Source V_{GS} die *Thresholdspannung* (Schwellenspannung, V_{th}) überschreitet. Für einen Prozess mit V_{dd}=5V liegt die Schwellenspannung für den NMOS meist bei etwa 0,9V, für den PMOS bei etwa -0,9V. Das bedeutet, dass der NMOS für

Gatespannungen V_{GS} zwischen 0V und $V_{th,NMOS}$ in Näherung nicht leitend ist und bei höheren Gatespannungen dann leitend wird. Der PMOS ist ebenfalls für Spannungen zwischen Gate und Source von 0V bis $V_{th,PMOS}$ nichtleitend und wird leitend für $V_{GS} < V_{th,PMOS}$.[1]

Im Detail wird das Verhalten des MOSFETs durch die Sah-Gleichung (F2.1) beschrieben. In Abb. 2.2 ist diese Gleichung für verschiedene V_{GS} grafisch dargestellt.

$$I_D \approx 0$$ für $V_{DS} < V_T$ (Subthresholdbereich)

$$I_D = \frac{K'W}{2L}\left[2(V_{GS} - V_T)V_{DS} - V_{DS}^2\right]$$ für $V_{DS} \geq V_T$ und $V_{DS} \leq V_{GS} - V_T$ (ohmscher Bereich)

$$I_D = \frac{K'W}{2L}(V_{GS} - V_T)^2(1 + \lambda V_{DS})$$ für $V_{DS} > V_{GS} - V_T$ (Sättigungsbereich) (F2.1)

mit
W = Breite des Gates
L = Länge des Gates
K' = Transkonduktanzparameter, Produkt aus Ladungsträgermobilität und Kapazität zwischen Gate und Kanal
λ = Kanallängenparameter, prozessabhängig

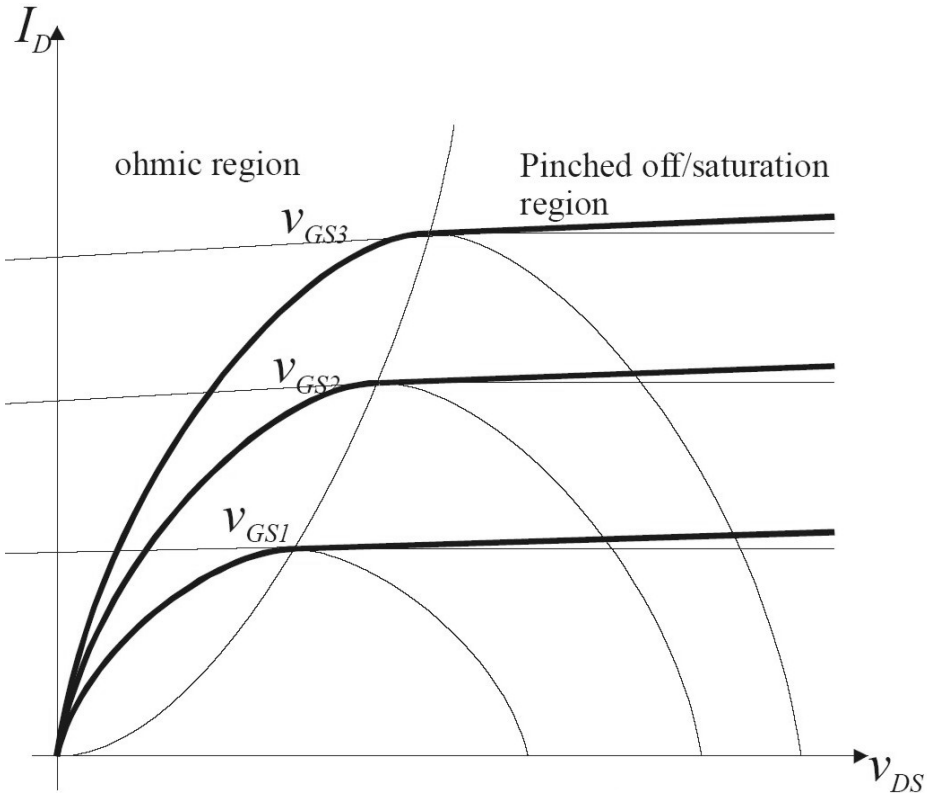

Abb. 2.2: Grafische Darstellung der Sahgleichung. Im ohmschen Bereich (ohmic region) steigt der Strom durch den Drain mit der Drain-Source-Spannung. Im Sättigungsbereich nimmt der Strom bei zunehmender Spannung nur noch sehr wenig zu. (Entnommen aus [LIN04])

[1] Man beachte hierbei, dass $V_{th,PMOS}$ negativ ist. V_{GS} ist beim PMOS auch meist negativ.

Für die theoretische Untersuchung des Halbleiterübergangs, die Herleitung der Sah-Gleichung, eine genauere Betrachtung parasitärer Effekte im MOSFET, für die Beschreibung weiterer in CMOS-Technologie realisierbarer analoger Bauteile und für den genauen Herstellungsprozess von elektronischen Bauteilen in integrierten Schaltungen wird auf die existierende Literatur verwiesen [LIN04, DEM96-1, GRA01, JOH97].

2.2 CMOS und hohe Spannungen

2.2.1 Einleitung

Die für integrierte Schaltungen in CMOS üblichen Betriebsspannungen variieren stark; im Bereich von 0,9V und weniger bis zu über 100V. Die maximal erreichbare Spannung hängt dabei stark von der Strukturgröße und den Dotierungen ab.

Der Trend geht in der Halbleiterindustrie schon immer hin zu kleineren Strukturgrößen, die höhere Integrationsdichten und schnellere Schaltungen ermöglichen. Im Allgemeinen nimmt die Betriebsspannung mit kleineren Strukturgrößen ab. Ein Grund hierfür ist, dass bei Veränderung der Strukturgröße näherungsweise mit konstantem elektrischem Feld skaliert wird. Die Strukturgröße und damit auch die Dicke des Gateoxids sinkt. Um das Feld im Kanal und im Gateoxid konstant zu halten und Durchbruch des Gateoxids zu verhindern, muss dann die Gatespannung und somit die Betriebsspannung sinken. Ein anderer Grund, die Betriebsspannung zu verringern, ist die Minimierung des Stromflusses und damit der entstehenden Wärme.

Als „hohe Spannungen“ werden in diesem Zusammenhang alle Spannungen bezeichnet, die deutlich über der für die Strukturgröße des Prozesses üblichen Schaltspannung liegen.

Da für viele Anwendungen, wie z.B. die Ansteuerung von Motoren, Anzeigegeräten oder mikroelektromechanischen Systemen sowie verschiedene Audio- und Automobilanwendungen hohe Spannungen geschaltet werden müssen, bieten viele CMOS-Prozesse Erweiterungen, die zumindest NMOS-Transistoren oder PMOS-Transistoren für Drain-Source-Spannungen von bis zu 30V bereitstellen. Einige Prozesse wurden auch umfassend zu *Hochspannungsprozessen*[1] erweitert und stellen PMOS und NMOS – Transistoren für verschiedene hohe Spannungen deutlich über 5V zur Verfügung.

In aktuellen *Deep Submicron*[2] – Prozessen mit Betriebsspannungen von 0,9 bis 1,3V werden zudem für die Ein- und Ausgabe Spannungen von 3,3V bis 5V benötigt, um mit den gebräuchlichen Schaltungen außerhalb des Chips kommunizieren zu können. In diesen Prozessen sind 3,3V bis 5V hohe Spannungen, und ähnliche Techniken wie in den Hochspannungsprozessen werden verwendet, um diese Spannungen zu schalten.

Im folgenden Abschnitt werden die physikalischen Effekte erläutert, die die Spannung in CMOS – Prozessen limitieren, während das darauf folgende Unterkapitel auf die Möglichkeiten eingeht, diese Begrenzungen zu umgehen.

[1] Auch als High-Voltage- oder HV-Prozesse bezeichnet

[2] Prozesse mit einer Gate-Länge deutlich unter 1µm. Heute wird damit der Bereich zwischen 0,2µm und 90nm bezeichnet, in dem neue Probleme beim Aufbau der Transistoren erstmals auftreten.

2.2.2 Physikalische Grenzen

2.2.2.1 Abnutzung durch heiße Ladungsträger

In Abhängigkeit von Dotierung und Geometrie begrenzen verschiedene Effekte die maximale Spannung, die an einem Halbleiterbauelement angelegt werden kann. Die erste Gruppe grundlegender Effekte nach [BAL99] ist die Abnutzung durch heiße Ladungsträger.

Als *hot carrier* oder heiße Ladungsträger werden Elektronen oder Löcher bezeichnet, die im elektrischen Feld auf kinetische Energien E_{kin} beschleunigt werden. Diese Energien entsprechen nach $E_{kin}=k_B T_e$ einer effektiven Temperatur T_e, die viel größer als die Temperatur des Substrats ist. Heiße Ladungsträger entstehen zum Beispiel im Feldeffekttransistor beim Übergang der Ladungsträger vom Kanal in die Drain-Region. Die im Feld des Kanals beschleunigten Elektronen werden in der stark dotierten Drain-Region durch Kollisionen mit dem Siliziumgitter abgebremst (die Effekte der Abbremsung durch Kollisionen mit dem Gitter bereits im Kanal werden in Abschnitt 2.2.2.2 beschrieben). Wenn ihre Energie bei der Kollision mit dem Gitter groß genug ist, um durch Ionisation neue Elektron-Loch-Paare zu erzeugen (in Silizium ab 1,3eV), treten unerwünschte Effekte in Form von zusätzlichen Substratströmen und, falls die Energie hoch genug ist um das Gateoxid zu durchdringen, auch Gateströmen auf. Einige der Ladungsträger dringen in das Gateoxid ein, haben aber nicht genug kinetische Energie um es zu durchdringen, werden darin gefangen und reichern sich dort an. Durch diese zusätzlichen fixierten Ladungsträger ändern sich die Thresholdspannung und andere elektrische Eigenschaften wie die Steilheit des Transistors.

Die Effekte heißer Ladungsträger sind abnutzend, d.h. ein Transistor kann bei entsprechenden Spannungen einige Zeit betrieben werden, bis die Effekte sich so weit akkumuliert haben, dass die ordnungsgemäße Funktion des Transistors gefährdet ist. Je nach Bedingungen tritt dieser Effekt nach unter einer Sekunde bis hin zu mehreren Jahren durchgehenden Betriebs ein.

2.2.2.2 Durchbruchspannungen

Im Gegensatz zu den abnutzenden Effekten heißer Ladungsträger sind die schädigenden Effekte beim Überschreiten der Durchbruchspannung, die zweite Gruppe von Effekten die die schaltbaren Spannungen in Halbleiterbauteilen begrenzt, sofort zerstörend. Vier Arten des Durchbruchs sind zu unterscheiden. Bei dreien davon, Avalance-, Surface- und Snapback Breakdown fließen dabei Ströme durch einen als Diode in Sperrrichtung wirkenden Halbleiterübergang, während beim Gate-Oxide Breakdown ein Strom durch ein Isolatormaterial fließt.

<u>Avalance Breakdown (lawinenartiger Durchbruch)</u>
Beim *Avalance Breakdown* erzeugt, wie bei den Effekten heißer Ladungsträger beschrieben, ein Elektron an einem Halbleiterübergang Elektron-Loch-Paare durch Ionisation. Hier jedoch erreichen diese bereits im starken Feld im Kanal im Mittel wieder ausreichend hohe Energien bis zur nächsten Kollision, um ihrerseits neue Ladungsträgerpaare zu erzeugen, die ebenfalls im Feld beschleunigt werden. Der Strom zwischen Drain und Source wächst lawinenartig an, bis thermische Effekte in kürzester Zeit das Bauteil zerstören [BAL99], [BLI81-1].

Surface Breakdown (Oberflächendurchbruch)

Surface Breakdown ist ein Sonderfall des Avalance Breakdown. Surface Breakdown beschreibt die Eigenschaft des Avalance Breakdown, zuerst im zylindrischen Bereich eines Halbleiterübergangs aufzutreten, da dort aufgrund der Krümmung der Verarmungszone das stärkste Feld vorliegt. Ladungen an der Oberfläche können diesen Effekt abschwächen oder verstärken, indem sie die Krümmung am Rand der Verarmungszone beeinflussen (Abb. 2.3a). Durch die Verlängerung des Transistor-Gates um eine Feldplatte (field plate) (Abb. 2.3b) lässt sich die Krümmung der Verarmungszone verringern. Damit wird der Effekt reduziert und der Transistor wird spannungsfester.

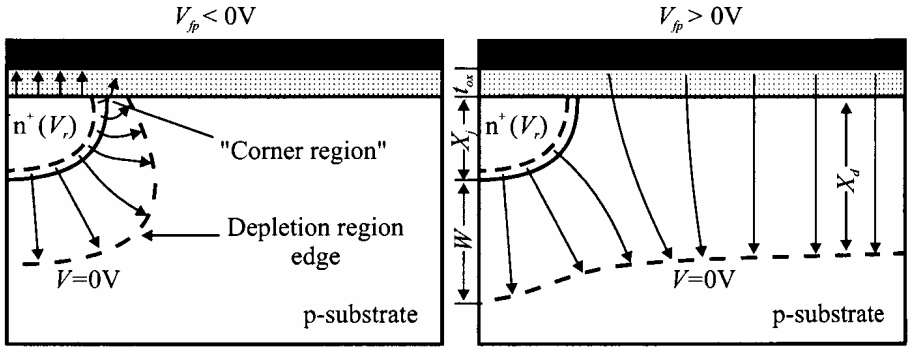

Abb. 2.3a: Verlauf der Verarmungszone (Bereich zwischen den gestrichelten Linien) und des elektrischen Feldes (Pfeile) am Rand eines gekrümmten n-p-Übergangs. Links: unter negativ geladener Leiterplatte. Rechts: unter positiv geladener Leiterplatte. (Entnommen aus [BAL99])

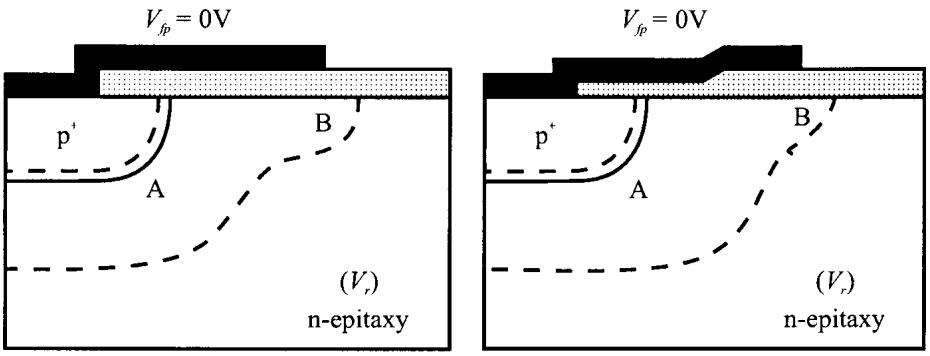

Abb. 2.3b: Verlauf der Verarmungszone unter unterschiedlich geformten Feldplatten. (Entnommen aus [BAL99])

Snapback Breakdown (Durchbruch durch Zurückschnappen)

Snapback Breakdown entsteht beim Durchbruch des parasitären bipolaren Transistors parallel zum MOSFET (Abb. 2.2).Voraussetzung dafür ist, dass das Substrat, d.h. die Basis des bipolaren Transistors unter dem MOSFET durch am Drain erzeugte und ins Substrat injizierte Elektron-Loch-Paare auf eine höhere Spannung gehoben wird. Dann wird dieser parasitäre Transistor leitend und große Ströme sorgen für thermische Zerstörung des MOSFETs (Abb. 2.4).

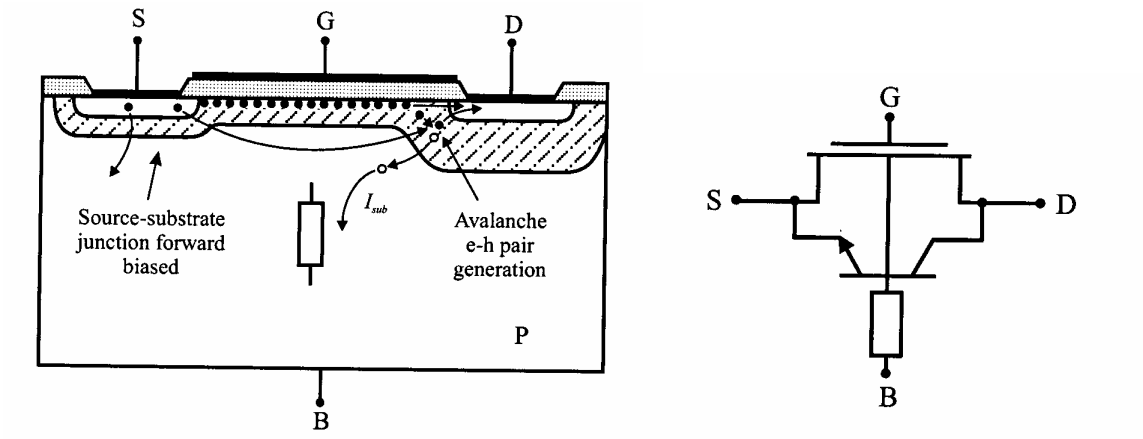

Abb. 2.4: Links: Querschnitt eines MOSFETs beim Snapback Breakdown. Rechts entstehen Lawinen aus Elektron-Loch-Paaren. Rechts: Zugehörige Schaltskizze des MOSFETs mit parallelem bipolaren Transistor. (Entnommen aus [BAL99])

Gate-Oxide Breakdown (Durchbruch des Gateoxids)
Defektfreies Siliziumoxid kann elektrischen Feldern bis 12 MV/cm widerstehen; Defekte senken je nach ihrer Ausprägung diese maximale Feldstärke. Wird diese Feldstärke überschritten, führt dies zu einem Stromfluss durch das Oxid und zu dessen Zerstörung. Gateoxiddicken in CMOS-Prozessen liegen im Bereich einiger zehn Nanometer und sind üblicherweise so gewählt, dass sie gerade ausreichen, um die Betriebsspannung des Prozesses sicher schalten zu können. Bei einer Betriebsspannung von 4,5 bis 5,5 Volt wird zum Beispiel üblicherweise eine Spannungsfestigkeit des Gateoxids bis 7,0 Volt garantiert. Typische Gateoxiddicken liegen in solchen Prozessen im Bereich von 10nm bis 20nm.

2.2.3 Elektronik

2.2.3.1 HV-Prozesstechnologie und HV-MOSFETs

Viele Möglichkeiten, die Probleme beim Betrieb von MOSFETs unter hohen Spannungen zu umgehen, wurden gefunden. Hochspannungstaugliche Transistoren, basierend auf verschiedenen Prinzipien, stehen in CMOS-Prozessen zur Verfügung [BAL99].

Bipolare Transistoren
In jedem CMOS – Prozess ist es prinzipiell auch möglich, bipolare Transistoren zu realisieren. Dabei werden die unterschiedlich dotierten Halbleiterzonen von Diffusion, Wanne und teilweise Substrat wie in Abb.2.5 gezeigt angeordnet. Diese Strukturen weisen die nötigen Halbleiterübergänge auf [LIN04]. Allerdings ist im unmodifizierten CMOS – Prozess immer nur ein Typ bipolarer Transistor mit den möglichen Anordnungen der Dotierungsregionen sinnvoll möglich. Für n-Well – CMOS-Prozesse ist das der PNP-Transistor.

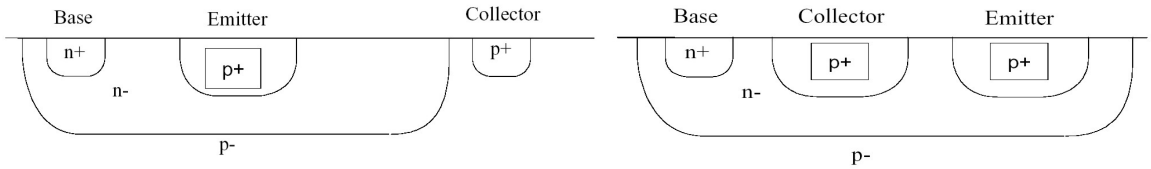

Abb 2.5: Bipolare PNP-Transistoren im n-Well - CMOS-Prozess. Links: vertikaler PNP, rechts: lateraler PNP. (Entnommen aus [LIN04])

Die Abwesenheit eines Gates und damit von Gateoxid löst die Probleme des Gateoxiddurchbruchs und der abnutzenden Effekte am Gate. Auch Snapback Breakdown kann so nicht auftreten. Avalance Breakdown und Surface Breakdown betreffen jedoch bipolare Transistoren in ähnlicher Weise wie MOSFETs. Ähnliche Gegenmaßnahmen wie für Hochspannungs-MOSFETs (beschrieben weiter unten) sind für bipolare Hochspannungstransistoren nötig. Zusätzlich ist in der Regel unerwünscht, dass im eingeschalteten Zustand durch die Basis des bipolaren Transistors immer ein nicht vernachlässigbarer Strom fließen muss. Überdies ist der Platzbedarf eines bipolaren Hochspannungstransistors in der Regel größer als der eines vergleichbaren Hochspannungs-MOSFETs. Auch die Schaltgeschwindigkeit eines hochspannungstauglichen bipolaren Transistors ist geringer als die eines vergleichbaren MOSFETs. Diese Umstände motivierten die Entwicklung von verschiedenen Hochspannungs-MOSFETs.

Vermeidung der lawinenartigen Ladungsträgergeneration in Hochspannungs-MOSFETs

Im elektrischen Feld des Kanals im MOSFET bewegen sich elektrische Ladungsträger mit der *Driftgeschwindigkeit* v_d, die sich aus der Ladungsträgermobilität im Festkörper μ und der elektrischen Feldstärke E errechnet zu:

$$v_d = \mu * E \quad \text{mit} \quad E = V / d \tag{F2.2}$$

Die elektrische Feldstärke hängt wiederum für die Näherung des konstanten elektrischen Feldes von der anliegenden Spannung V und dem Abstand d ab. Die Idee liegt nahe, das elektrische Feld und damit die Driftgeschwindigkeit zu senken, indem man einfach den Abstand zwischen Drain und Source vergrößert. Dies ist jedoch nicht ausreichend, da das elektrische Feld beim MOSFET in Sättigung nicht konstant ist. Im *pinch-off*[1] Bereich ist der elektrische Widerstand und damit die Spannungsdifferenz und das elektrische Feld viel größer als im restlichen Kanal. Eine andere Lösung muss also gefunden werden.

Eine solche Lösung ist die Verwendung eines *schwach dotierten Drainbereiches* oder *Lightly Doped Drain (LDD)* als *Driftregion*, die im Folgenden für den Fall des NMOS diskutiert werden soll. In einem gewöhnlichen Hochspannungstransistor wird für den Kanal schwach positiv dotiertes Silizium verwendet, für die Drain- und Sourcekontakte stark negativ dotiertes Silizium. Die Verarmungszone ist somit eher klein. Bringt man am Drain zwischen den stark negativ dotierten Bereich und den schwach positiv dotierten Bereich einen zusätzlichen schwach negativ dotierten Bereich ein, so vergrößert sich die Verarmungszone erheblich. Damit vergrößert sich auch der Bereich hohen Widerstands, die Spannung fällt über einen größeren Bereich ab und das elektrische Feld wird geringer.

Als zusätzliche Maßnahme kann der schwach dotierte Bereich zwischen Drainkontakt und Kanal vergrößert werden. Dieser Bereich dient dann als mit dem MOSFET in Serie geschalteter Widerstand, der die Spannung über dem Kanal weiter reduziert. Allerdings erhöht diese Vorgehensweise auch den Widerstand des MOSFETs im eingeschalteten Zustand. Da sich über diesem Bereich Feldoxid befindet und das Gate erst im Bereich der Verarmungszone beginnt, erhöht diese Technik auch die maximal mögliche Gate-Drain-Spannung, aber nicht die maximale Gate-Source-Spannung.

[1] Als pinch-off region oder Abschnürungsbereich bezeichnet man bei einem MOSFET in Sättigung den kleinen Bereich nahe dem Drain, in dem der Kanal vom elektrischen Feld zwischen Drain und Source von der Verarmungszone abgeschnürt wird, d.h. der Kanal wird von Source zu Drain schmaler.

Man kann dann die über dem MOSFET abfallende Spannung V_{ds} unterteilen in:

$$V_{ds} = V_R + V_{depl} + V_{Ch}$$

mit

V_R = Spannungsabfall am Widerstand (schwach dotierter Bereich) (F2.3)

V_{depl} = Spannungsabfall in der Verarmungszone

V_{Ch} = Spannungsabfall am Kanal

MOSFETs mit schwach dotiertem Drain und ähnlichen Techniken werden als *DMOS* bezeichnet, diese Abkürzung steht für *Double-diffused MOSFET*. Der Begriff ist abgeleitet von der Tatsache, dass der Drain des MOSFETs über zwei verschiedene Diffusionsbereiche, nämlich den hoch dotierten Drainkontakt und den schwach dotierten LDD-Bereich verfügt. DMOS ist die dominante Technologie bei der Herstellung von Hochspannungs-MOSFETs.

Der laterale DMOS (LDMOS)

Im lateralen DMOS wird sowohl die Technik des Lightly Doped Drain als auch ein angemessen großer schwach dotierter Bereich als Widerstand verwendet. Beide Strukturen werden dabei aus einer Dotierungszone gebildet. Das Gate des Transistors wird über die Verarmungszone bis aufs Feldoxid verlängert und bildet eine Feldplatte. Zusätzlich kann eine Isolation des Transistors zum Substrat mit einer stark dotierten begrabenen Schicht erfolgen. Das Aufbauprinzip des lateralen DMOS wird am Beispiel des NDMOS in Abb. 2.6 gezeigt.

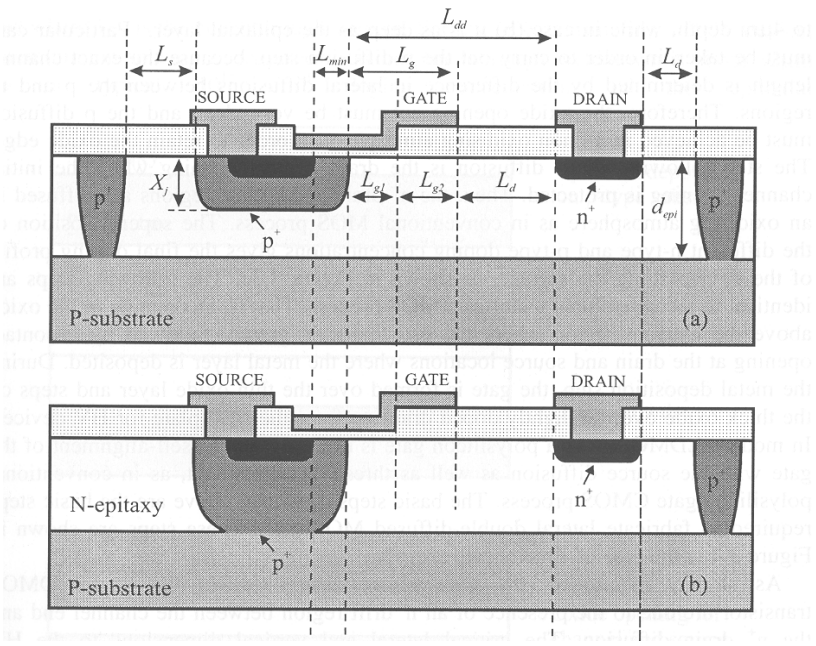

Abb. 2.6: Prinzipieller Aufbau verschiedener Varianten des lateralen NDMOS. Die tiefen positiv dotierten Bereiche links oben und rechts dienen als Substratkontakte und zur Isolation. Anzumerken ist, dass beim unteren LNDMOS Source immer auf Substratpotential liegen muss, während beim oberen Beispiel, das auch als isolierter NDMOS oder floating NDMOS bezeichnet wird, die Sourcespannung auch auf höhere Spannungen gelegt werden kann. (Entnommen aus [BAL99])

Im Ersatzschaltbild lässt sich die Verarmungszone als ein weiterer MOSFET modellieren, da sie vollständig unter dem Gate liegt. Als Ersatzschaltbild erhalten wir also am Drain einen Widerstand, danach zwei MOSFETs in Serie mit verbundenen Gates zur Source, sowie von der genauen Implementierung abhängige parasitäre Bauteile, insbesondere Dioden,

Widerstände und bipolare Transistoren, zwischen den Drain-, Source- und Bulkterminals der MOSFETs und dem Substrat (Abb. 2.7).

Praktische Realisierungen von NDMOS- und PDMOS-Transistoren bis 100V aus dem Hochspannungsprozess AMIS I2T100 [AMIS02] sind in Abb. 2.8 dargestellt.

Hochspannungserweiterungen von Niederspannungsprozessen

Man sieht in Abbildung 2.8, dass der PDMOS sowie zwei der drei abgebildeten NDMOS spezielle Lagen, die begrabene stark negativ dotierte Lage BLN (in der Abbildung schwarz eingezeichnet zwischen p-Substrat und p-Epitaxie) und die sehr schwach negativ dotierte Lage n-tub sowie die positiv dotierte Lage p-body benötigen. Entsprechende Lagen stehen in Niederspannungs-CMOS-Prozessen nicht zur Verfügung. Die als „Medium-voltage NDMOS“ bezeichnete Struktur benötigt allerdings keine dieser speziellen Lagen. Als Lightly Doped Drain wird hier der nwell benutzt, der bei jedem CMOS-Prozess mit p-Substrat zur Verfügung steht. Tatsächlich werden so viele Niederspannungsprozesse wie zum Beispiel [AMS99] um Transistoren für höhere Spannungen erweitert.

Mit zusätzlichem Aufwand lassen sich sowohl NMOS- als auch PMOS-Transistoren für mittlere Spannungen in Niederspannungsprozessen realisieren. Die nötigen Schritte werden in [BAL99] unter der Bezeichnung *Smart Voltage Extension* (SVX) beschrieben.

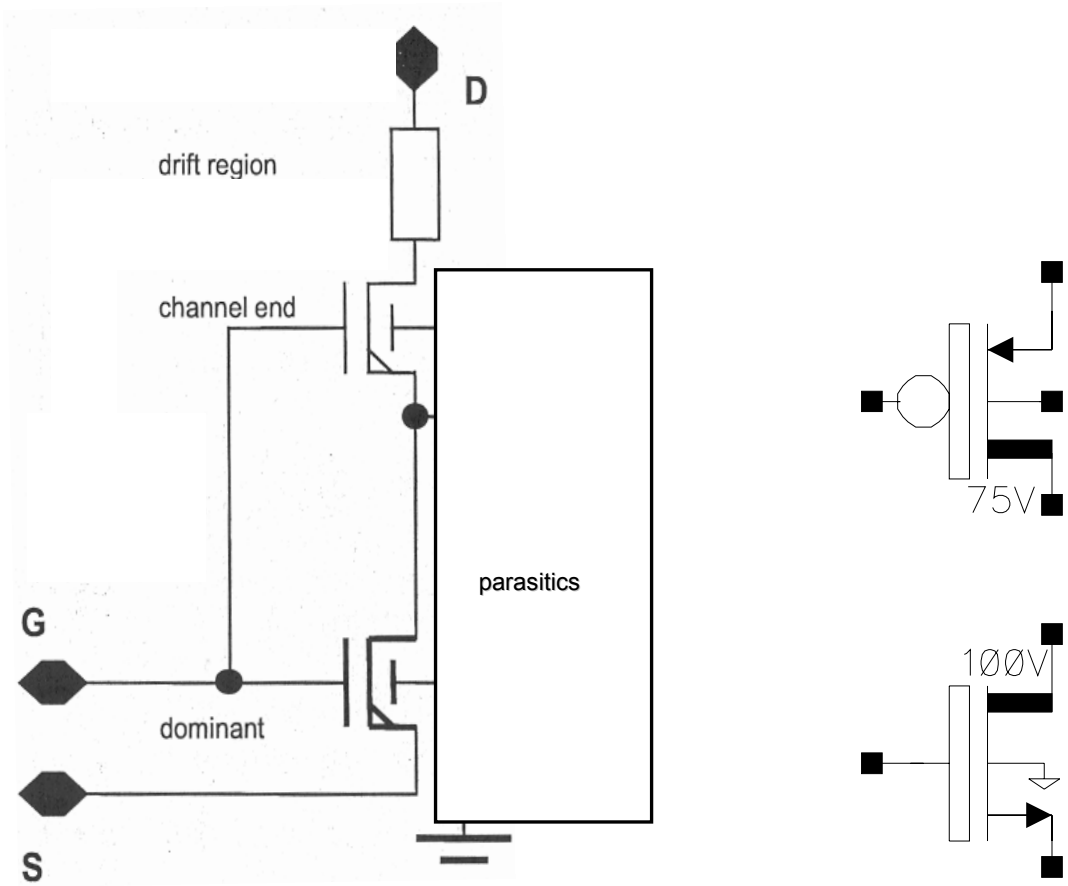

Abb. 2.7: Links: Allgemeines Ersatzschaltbild des lateralen NDMOS. Rechts: Schaltplansymbole eines 75V-PDMOS und eines 100V-NDMOS (nach [AMI02])

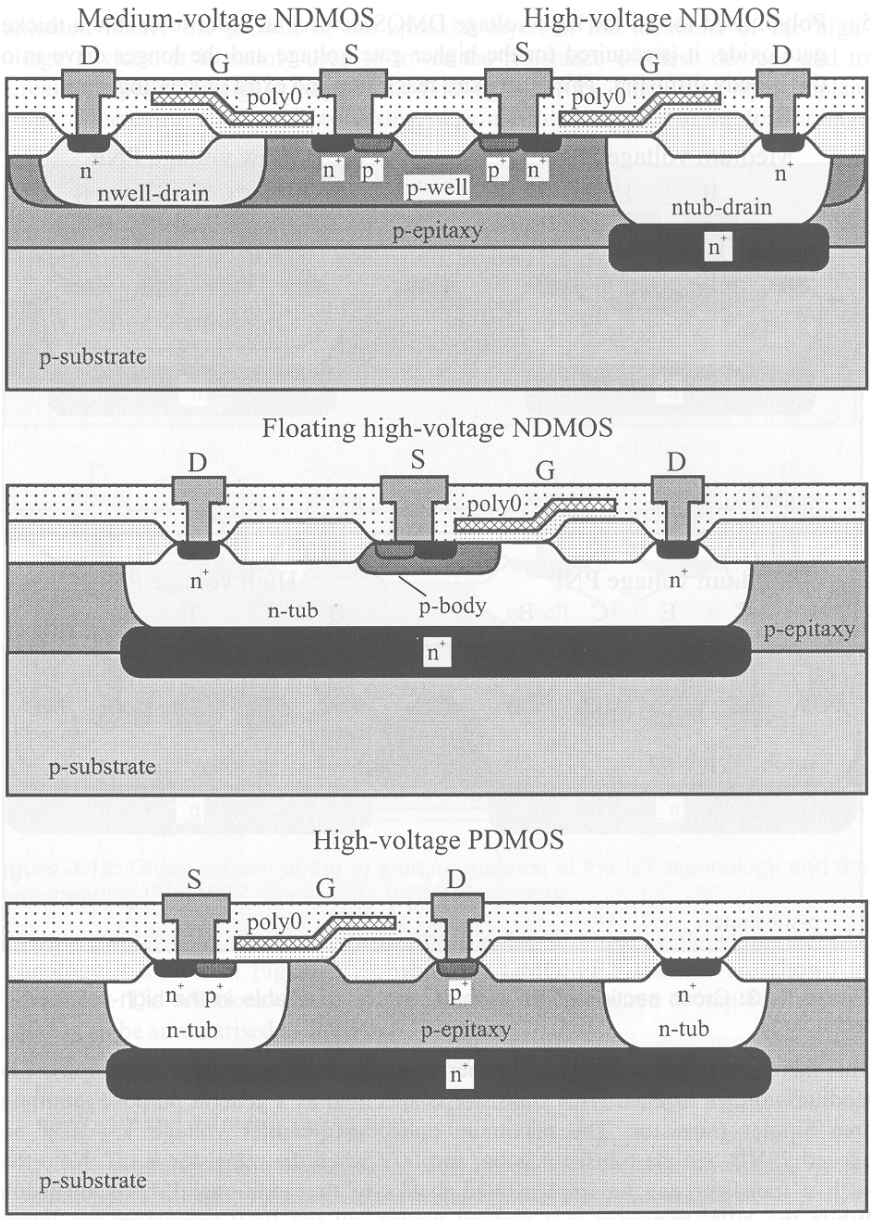

Abb. 2.8: Einige der Hochspannungs-MOSFETs des in dieser Arbeit verwendeten AMIS I2T100-Prozesses ([Entnommen aus BAL99])

Der vertikale DMOS (VDMOS)

Der *vertikale DMOS* ist eine weitere, ältere Möglichkeit, einen Hochspannungs-Feldeffekttransitor zu realisieren. Bei diesem Transistor sind Drain und Source nicht nebeneinander, sondern übereinander angeordnet. Für die Diskussion des vertikalen DMOS wird auf die Literatur verwiesen [BAL99].

2.2.3.3 HV-Designtechniken

Hochspannungsprozesse und um Hochspannungsbauteile erweiterte Niederspannungsprozesse stellen die Mittel zur Verfügung, um Hochspannungsfunktionalität in ICs zu integrieren. Doch auch beim Aufbau von Schaltungen aus diesen neuen Bauteilen entstehen neue Probleme, die im Folgenden angesprochen werden sollen.

Vermeidung von Latch-up

Mehr noch als bei Transistoren in niederer Spannung besteht bei Hochspannungstransistoren die Gefahr von *Latch-up*[1] [BAL99]. Daher ist es für viele DMOS-Strukturen nötig, diese mit zusätzlichen, auf ein festes Potential (Ground oder Versorgungsspannung) gelegten Abschirmungen, so genannten *Guardringen,* vollständig zu umschließen, sofern die Strukturen nicht ohnehin bereits als isolierte DMOSFETs realisiert sind. Die Gefahr von Latch-up kann die maximalen Spannungen, vor allem die maximalen Drain-Bulk und Source-Bulk-Spannungen sowie bei vom Substrat getrenntem Bulk die maximale Source-Bulk-Spannung an Hochspannungsbauteilen weiter einschränken. Guardringe und Isolation vergrößern die Hochspannungsbauteile erheblich, nachdem diese bereits aufgrund des ausgedehnten schwach dotierten Bereichs um den Drain im Vergleich zu Niederspannungstransistoren ein Vielfaches des Platzes benötigen.

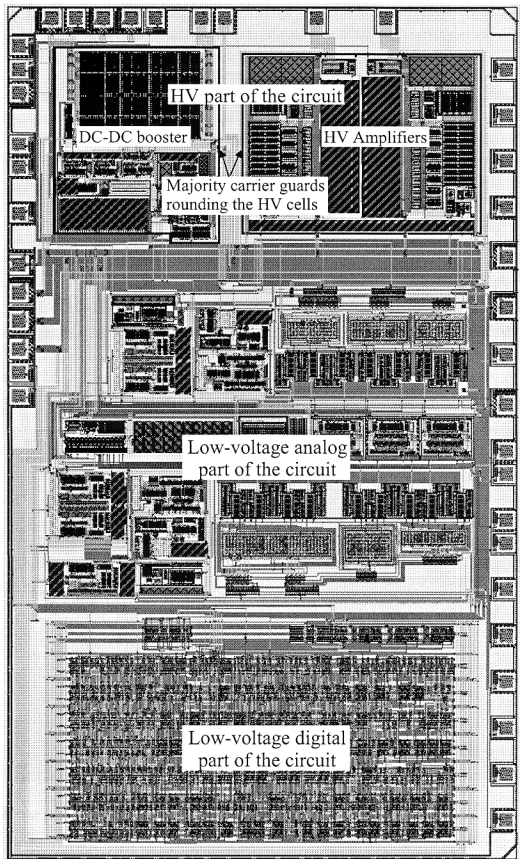

Abb. 2.9: Beispiel für das Layout einer integrierten Schaltung mit räumlich getrennten digitalen, analogen und Hochspannungskomponenten. Die Schaltung dient als Treiber eines piezo-elektrischen Wandlers. (Entnommen aus [BAL99])

Platzierung von Hochspannungsbauteilen

Genau wie in Mixed-Signal-Schaltungen in der Regel digitale und analoge Teile einer integrierten Schaltung in getrennten Bereichen auf dem Chip untergebracht werden, ist es üblich, Hochspannungs- und Niederspannungsbauteilen getrennte Bereiche zuzuweisen. Vereinfacht wird dies in den meisten Schaltungen dadurch, dass fast alle Berechnungs-

[1] Beim Latch-up schalten parasitäre Thyristoren, also Strukturen aus PNPN-Übergängen, unerwünscht permanent in einen leitenden Zustand. Dadurch entsteht ein großer Stromfluss zwischen Versorgungsspannung und Substrat, der den Chip zerstören kann.

vorgänge in niederen Spannungen ausgeführt werden, während die Hochspannungsbauteile nur verwendet werden, um die Ausgänge der Schaltung zu treiben. Gleichartige Hochspannungs-MOSFETs können sich so teilweise einen Guardring teilen und Leiterbahnen auf hohen Spannungen können weit weg vom Niederspannungsbereich geführt werden. In Abb. 2.9 ist ein Beispiel für die Platzierung der Komponenten in einer solchen Schaltung gezeigt.

Routing von Leiterbahnen, die hohe Spannungen führen

Für einige Anwendungen ist es schwieriger, den Niederspannungsteil vom Hochspannungsteil räumlich zu trennen, vor allem wenn eine sehr große Anzahl von Hochspannungsoutputs auf kleiner Fläche geschaltet werden muss. Insbesondere, wenn Leiterbahnen auf hoher Spannung in der Nähe von Niederspannungs-Transistoren geroutet werden müssen, sind zusätzliche Maßnahmen nötig.

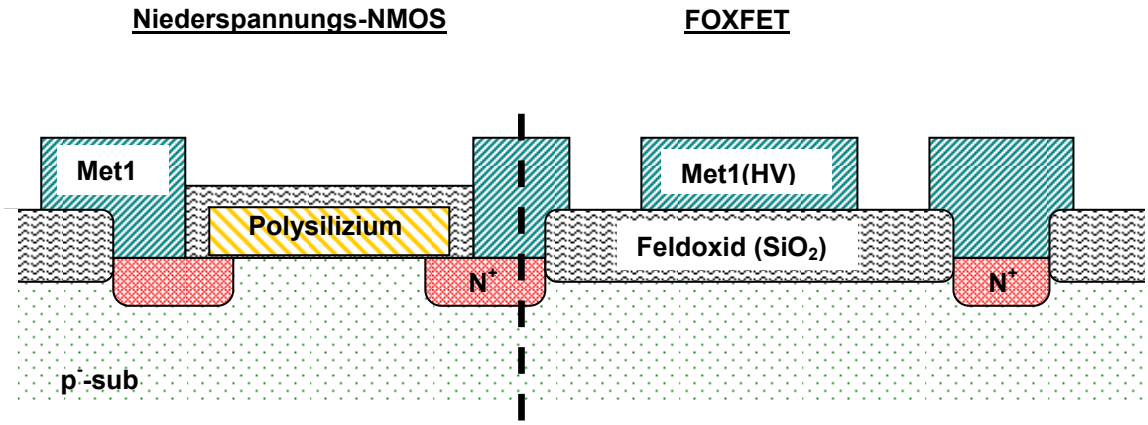

Abb. 2.10: FOXFET-Struktur (rechts) neben Niederspannungs-NMOS (links). Die stark negativ dotierten Bereiche links und rechts der rechten Metalllage (N^+) bilden Drain und Source, die Metalllage (Met1 – HV) bildet das Gate.

In Abb. 2.10 ist ein Beispiel für einen *Feldoxid-Feldeffekttransistor* (FOXFET) neben einem gewöhnlichen NMOS gezeigt. Beide Strukturen sind einander ähnlich, wobei Drain und Source bei beiden Transistoren durch die N^+-dotierten Bereiche gebildet werden. Dem Gate aus Polysilizium über dem sehr dünnen Gateoxid beim linken MOSFET entspricht beim FOXFET rechts die mittlere Metall-Leiterbahn auf der untersten Metalllage (Met1) über dem dicken Feldoxid. Die Thresholdspannung eines Transistors ist auch die Spannung, ab der das vom Gate ausgehende elektrische Feld im Kanalbereich stark genug ist, um dort *Inversion*[1] auszulösen. Der Transistor wird dann leitend. Die um die kritische Feldstärke im Kanal zu verursachen nötige Spannung im Gate hängt vom Abstand der Leiterbahn zum Kanal (also von der Feldoxiddicke) und natürlich von der Dotierung des Kanalbereiches ab. Bei dünnem Oxid und schwach dotiertem Halbleitermaterial im Kanal ist die Thresholdspannung klein, für gewöhnliche MOSFETs im Bereich unter 1V. Die Feldoxiddicke wird in Niederspannungsprozessen so gewählt, dass unter dem Feldoxid bei maximaler Betriebsspannung keine Inversion entstehen kann. In diesen Prozessen kann der Designer die Feldoxidtransistoren vernachlässigen, da sie immer ausgeschaltet bleiben. Im Hochspannungsprozess dagegen können die hohen Spannungen durchaus ausreichen, um im schwach dotierten Substrat Inversion herbeizuführen, und damit einen leitenden Kanal

[1] Umkehr der Ladungsträgerverhältnisse im Halbleiter. In einem Inversionsbereich wird zum Beispiel eine p-dotierte Zone im Halbleiter n-leitend.

entstehen zu lassen. Je nach Spannung können sogar FOXFETs mit Leiterbahnen auf einer höheren Metalllage als der untersten als Gate geschaltet werden. Der Designer einer Hochspannungsschaltung muss daher Maßnahmen ergreifen, um das Durchschalten dieser parasitären Feldeffekttransistoren zu verhindern.

Müssen Hochspannungs-Leiterbahnen über schwach dotierte Bereiche des Halbleitermaterials geführt werden, gibt es zwei Möglichkeiten, Inversion zu verhindern:

- Die erste Möglichkeit ist, zu verhindern, dass das starke elektrische Feld einer Leiterbahn unter hoher Spannung das Substrat erreicht. Zu diesem Zweck muss zwischen der Leiterbahn unter hoher Spannung und dem Substrat ein geerdeter Leiter untergebracht werden. Eine Möglichkeit, dies mit Hilfe einer Metallabschirmung zu erreichen, ist in Abb. 2.11 dargestellt.
- Als zweite Möglichkeit kann die Dotierung des Halbleiters unter der Leiterbahn erhöht werden, zum Beispiel indem dort in einem Guardring oder einem Guardstreifen das Halbleitermaterial stark dotiert wird. Die Spannungen, die zum Beispiel zur Inversion von N- oder P-Diffusionsbereichen nötig wären, überschreiten selbst in vielen Hochspannungsprozessen weit die maximal schaltbaren Spannungen.

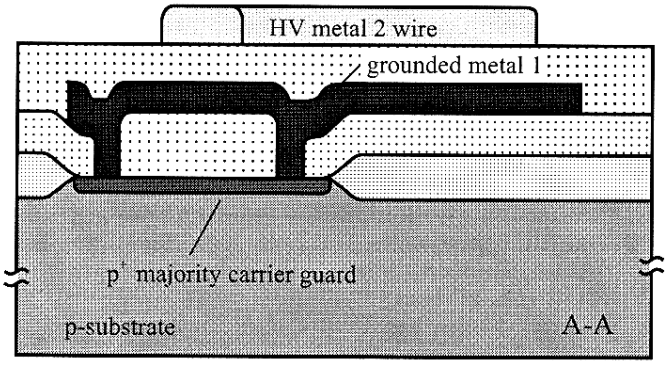

Abb. 2.11: Abschirmung von HV-Leiterbahnen: Die hohe Spannungen führende Leiterbahn auf der Met2-Ebene wird von der auf Groundpotential gelegten, mit dem Substrat verbundenen Leiterbahn auf Met1 abgeschirmt. (entnommen aus [BAL99])

Design von Schaltungen mit digitalem Hochspannungs-Output

Beim Aufbau von Schaltungen aus Hochspannungsbauteilen treten über die oben beschriebenen Layoutprobleme hinaus weitere Schwierigkeiten beim Aufbau von Schaltungen auf.

Wie oben beschrieben verfügen ohne zusätzliche Prozessschritte erweiterte Niederspannungsprozesse oft nur über einen Typ HVMOSFET. Will man mit diesen Prozessen logische Gatter, wie zum Beispiel einen Inverter, in Hochspannung realisieren, muss man diese aus einem Transistor und einem Pull-up- oder Pull-down-Widerstand aufbauen. Die Folgen sind hoher Platzbedarf und langsame Schaltzeiten, falls der Widerstand groß gewählt wird. Wird dagegen ein kleiner Widerstand gewählt, entstehen große Querströme durch den Inverter bei leitendem Transistor. Liegt der Widerstand sogar in derselben Größenordnung wie der Widerstand des Transistors im leitenden Zustand, dann wirkt die Schaltung als Spannungsteiler. Eine erhöhte Spannung am Ausgang des Bauteils ist die Folge. Gerade um diese Probleme zu vermeiden wurde der Übergang vom reinen NMOS- oder PMOS-Prozess zum CMOS-Prozess vollzogen.

Echte Hochspannungsprozesse stellen NMOS- und PMOS-Transistoren für hohe Spannungen zur Verfügung. Trotzdem ist es in der Regel auch mit diesen Prozessen nicht möglich, zum Beispiel ein Signal auf niederer Spannung nur unter Verwendung eines HV-NMOS und eines HV-PMOS auf hohe Spannung umzusetzen, denn mit den oben beschriebenen Techniken werden die maximalen Gate-Source-Spannungen V_{GSmax} im Vergleich zu Niederspannungstransistoren nicht erhöht. Nun sind aber zum Beispiel im Inverter die Source des HV-NMOS mit Ground (0V), und die Source des HV-PMOS mit der hohen Versorgungsspannung (V_{DDH}) verbunden. Damit ergeben sich folgende erlaubte Bereiche für die Gatespannungen V_{GS} der Transistoren:

$$\begin{aligned} &\text{HV-NMOS:} && 0\text{V} < V_{GS} < V_{GSmax} \\ &\text{HV-PMOS:} && (V_{DDH} - V_{GSMAX}) < V_{GS} < V_{DDH} \end{aligned} \qquad \text{(F 2.4)}$$

Für einen typischen Hochspannungsprozess mit V_{GSmax} im Bereich von 5V und V_{DDH} im Bereich zwischen 30V und 100V ist sofort zu erkennen, dass kein Potential auf einem eventuellen verbundenen Gate eines HV-NMOS und eines HV-PMOS diese Bedingungen erfüllen kann. Ohne weitere Hilfsmittel kann also mit Niederspannungslogik auch in solchen Hochspannungsprozessen nur der HV-NMOS geschaltet werden.

Ein mögliches Hilfsmittel um den HV-PMOS zu schalten ist ein *Pegelkonverter* (Level Shifter). Als Pegelkonverter bezeichnet man eine Schaltung, die zur Spannung eines Eingangssignals eine konstante positive oder negative Spannung addiert. Ein Signal kann so in einen anderen Spannungsbereich verschoben werden. Es ist möglich, unter Verwendung von mindestens zwei HV-NMOS und vier isolierten Niederspannungstransistoren einen solchen Pegelkonverter zu realisieren. Dieser generiert, zum Preis des Platzaufwandes für die zusätzlichen Transistoren und eines je nach Designvariante erheblichen Stromverbrauchs, das benötigte Signal zur Ansteuerung des HV-PMOS aus einem Eingangssignal in niederer Spannung. Zur Diskussion dieses Hochspannungs-Pegelkonverters wird auf die Literatur verwiesen [BAL99].

Die Diskussion des Entwurfs von Schaltungen mit analogem Hochspannungs-Output überschreitet bei weitem den Rahmen dieser Diplomarbeit. Auch hier muss auf die Literatur verwiesen werden [BAL99], [BLI81].

2.3 Optische Eigenschaften von Photodioden im CMOS – Prozess

2.3.1 Einleitung

Neben der bekannten Eigenschaft der Halbleiterübergänge, als Dioden in verschiedenen Richtungen für elektrischen Strom sehr stark unterschiedlich durchlässig zu sein, zeigen diese Übergänge auch eine Reaktion auf einfallendes Licht. Am auffälligsten ist diese Reaktion, wenn an der Diode eine Spannung in Sperrrichtung anliegt, d.h. nur ein sehr geringer Strom durch die Diode fließt. Einfallendes Licht ausreichend hoher Energie hebt Elektronen aus dem Valenz- ins Leitungsband und erzeugt so Elektron-Loch-Paare, die im elektrischen Feld abfließen und so einen Photostrom erzeugen, der deutlich größer als der Sperrstrom sein kann. Einfallendes Licht kann störende Effekte auf eine analoge integrierte Schaltung haben, aber die gezielte Integration von dedizierten Photodioden ermöglicht auch, integrierte Schaltungen aufzubauen, die auf von außen einfallendes Licht reagieren oder dessen Intensität messen.

2.3.2 Vermeidung parasitärer Effekte

Die meisten integrierten Schaltungen sind im Betrieb von einem Gehäuse oder von Glob-Top[1] vollständig eingeschlossen. Somit kann praktisch kein Licht bis zum Chip durchdringen und parasitäre Effekte können ausgeschlossen werden.

Eine Ausnahme bilden Chips, die bereits vor dem Einbau in eine Schaltung, zum Beispiel an einem Waferprober getestet werden, sowie selbstverständlich Chips, die zur Lichtmessung gedacht sind und die daher im Betrieb unbedeckt bleiben.

Einfallendes Licht erzeugt überall in Silizium Paare von freien Ladungsträgern. Werden die freien Ladungsträger in unberührtem Substrat weit entfernt von Kontakten oder anderen Strukturen erzeugt, rekombinieren sie dort wieder ohne weitere Auswirkungen. Befindet sich am Ort des Lichteinfalls eine parasitäre Diode – zum Beispiel von Drain oder Source eines MOSFET zum Substrat oder zur Wanne – kann auch dort ein Photostrom fließen. Besonders in den elektronischen Bauteilen, die analoge Signale, zum Beispiel die Signale dedizierter Photodioden, schalten oder verstärken wäre der Effekt dieser parasitären Photodioden eine unerwünschte Störquelle. Es wurde jedoch in [LOO96-1] gezeigt, dass Metalllagen, wie sie für Leiterbahnen verwendet werden, eine Dämpfung um etwa zwei Größenordnungen bewirken können. Daraus ergibt sich die Möglichkeit, durch Abschirmung mit möglichst vielen Metalllagen über den betreffenden Bauteilen diese Störquelle auszuschalten.

Bei den üblichen Lichtstärken der Laborbeleuchtungen werden nur für empfindliche analoge Schaltungen merkliche parasitäre Effekte durch einfallendes Licht erwartet.

2.3.3 Dedizierte Photodioden

Ladungsträger, die in der Sperrschicht an einem Halbleiterübergang entstehen, werden im elektrischen Feld getrennt. So entsteht der Photostrom. Die Breite d der Sperrschicht berechnet sich zu

$$d = \sqrt{\frac{2\varepsilon_{Si}\varepsilon_0}{e}\left(V_{ext} - V_{Grenz}\right)\left(\frac{1}{N_A} + \frac{1}{N_D}\right)}$$

mit
N_A = Dichte der Elektronen-Akzeptor-Dotierungsatome
N_D = Dichte der Elektronen-Donnator-Dotierungsatome (F2.5)
ε_{Si} = dielektrische Zahl des Halbleiters
ε_0 = dielektrische Konstante
e = Elementarladung
V_{ext} = von außen angelegte Spannung
V_{Grenz} = Grenzschichtpotential.

[1] Als Glob-Top bezeichnet man eine Klebemasse aus Epoxydharz, die auf direkt auf eine Leiterbahnplatte geklebte Chips aufgetropft wird, um diese vollständig einzuschließen und sie somit vor mechanischer und elektrostatischer Belastung zu schützen.

Dabei gilt für das Grenzschichtpotential:

$$V_{Grenz} = \frac{k_B T}{e} \ln\left(\frac{N_A N_D}{n_i^2}\right)$$

mit (F2.6)
n_i = intrinsische Ladungsträgerdichte des Siliziums[1]
k_B = Boltzmannkonstante
T = Temperatur des Halbleiters

Neben den direkt in der Sperrschicht erzeugten Ladungsträgern tragen zum Photostrom noch die Ladungsträger bei, die in der Nähe der Sperrschicht erzeugt werden und in die Sperrschicht diffundieren.

Ein Maß für die Fähigkeit einer Photodiode, mit absorbiertem Licht messbare Ladungen zu erzeugen, ist die Quanteneffizienz. Als von der Wellenlänge abhängige spektrale Quanteneffizienz $Q(\lambda)$ ist sie definiert als

$$Q(\lambda) = \frac{n_q}{n_{phot}(\lambda)}$$

(F2.7)

mit
$n_{phot}(\lambda)$ = Anzahl der einfallenden Photonen der Wellenlänge λ
n_q = Anzahl der messbaren erzeugten Ladungen.

Die Quanteneffizienz und damit der Photostrom wachsen mit größerer Sperrschicht und nach Formel (F2.1) also mit abnehmenden Dotierungen und mit zunehmender Spannung.

Weiterhin wird die spektrale Quanteneffizienz einer Photodiode durch ihre Tiefe im Substrat beeinflusst. Die Empfindlichkeit nimmt mit zunehmender Tiefe ab, da im Silizium über der Sperrschicht bereits Photonen absorbiert werden. Die Absorptionslänge, also die Strecke nach der die Anzahl der Photonen auf das e^{-1}-fache reduziert ist, hängt dabei stark von der Wellenlänge ab. Die Absorptionslängen für die Wellenlängen des sichtbaren und nahinfraroten Lichts sind in Abb. 2.12 dargestellt.

Im gewöhnlichen n-well CMOS-Prozess können drei Halbleiterübergänge als Photodioden verwendet werden:

- der Übergang zwischen stark negativ dotierter n^+ -Diffusion und dem schwach positiv dotiertem p^- -Substrat
- der Übergang zwischen stark positiv dotierter p^+ -Diffusion und n^- -Wanne
- der Übergang zwischen n^- -Wanne und p^- -Substrat

In Prozessen, die über zusätzliche Halbleiterschichten verfügen, sind zusätzliche Photodioden möglich. Beispiele hierfür sind insbesondere BiCMOS-Prozesse[2] und Hochspannungs-prozesse.

---

[1] Durch Stöße von *Phononen* (Gitterschwingungen) mit Elektronen werden bei ausreichender Phononenenergie freie Ladungsträgerpaare in Halbleitern gebildet, wodurch eine gewisse kleine Leitfähigkeit auch ohne jede Dotierung oder Lichteinfall besteht. n_i ist daher auch temperaturabhängig.

[2] CMOS-Prozesse, die durch zusätzliche Prozessschritte auch für die Verwendung bipolarer PNP- und NPN-Transistoren optimiert wurden.

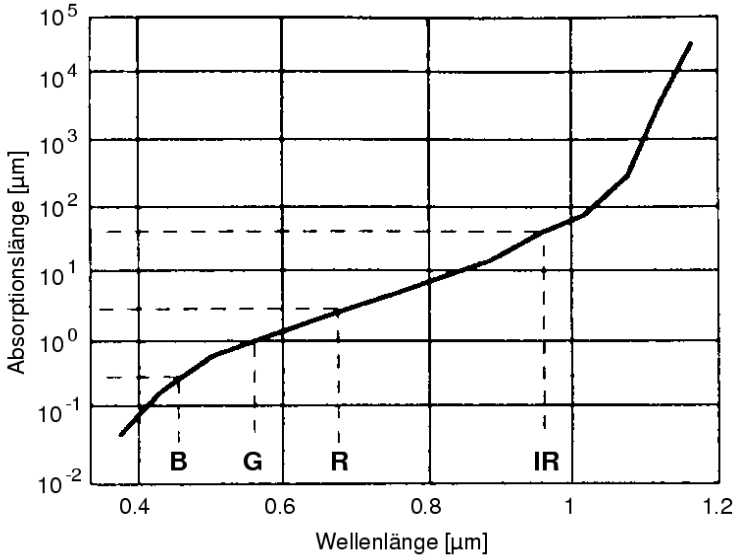

Abb. 2.12: Spektrale Absorptionslängen in Silizium bei 300K. Der Wellenlängenbereich der Farben Blau, Grün und Rot, sowie Infrarot sind markiert. (Entnommen aus [DAS55])

Der exakte Verlauf der spektralen Empfindlichkeitskurven in den verschiedenen Photodioden ist abhängig von den jeweiligen Prozessparametern. Es ist jedoch zu erwarten, dass die Empfindlichkeit der Wanne-Substrat-Diode am höchsten ist, da hier durch Verwendung zweier schwach dotierter Halbleiterbereiche die größte Sperrschicht vorliegt. Andererseits sollte sich bei dieser Photodiode im Blaubereich die größere Tiefe im Substrat in verringerter Empfindlichkeit für blaues Licht bemerkbar machen. Weiterhin ist zu berücksichtigen, dass in Silizium die Energie der Bandlücke 1,3eV beträgt, was einer Wellenlänge von etwa 0,95µm entspricht. Daher wird in jedem Fall die Quanteneffizienz für größere Wellenlängen gegen null tendieren.

3. Übertrag von Partikeln auf aktive Träger und das Peptidchip-Konzept

3.1 Grundideen der chipbasierten Peptidsynthese

Will man auf engem Raum kombinatorische Chemie betreiben, benötigt man eine Methode, um ortsgenau mit hoher Präzision das Reagenz auf ein geeignetes Substrat zu bringen. Eine heute gebräuchliche Technik ist das Mikropipettieren [MÜL04], doch der Miniaturisierung dieser Technik sind Grenzen gesetzt: Zum einen ist es nötig, Pipetten und Träger mechanisch exakt auszurichten, um bei jedem Reaktionsschritt wieder denselben Bereich zu treffen. Zum anderen muss zwischen den Spots ein gewisser Abstand eingehalten werden, um Zusammenfließen der Reagenzientropfen zu vermeiden. Auch die Alternativen, wie zum Beispiel verschiedene Druckverfahren, haben alle diese Einschränkung. Ein selbstausgerichtetes Verfahren dagegen hätte keine Positionierungsungenauigkeiten. Ein solches Verfahren kann realisiert werden, indem das Substrat selbst durch darauf deckungsgleich mit den Spots untergebrachte Aktuatoren selektiv auf die Reagenzien einwirkt und bestimmt, wo im aktuellen Reaktionsschritt Reagenz abgelagert wird und wo nicht. Voraussetzung für einen aktiven Träger ist, dass frei wählbar und zwischen verschiedenen Reaktionsschritten veränderbar die einzelnen Spots Reagenz aufnehmen oder abstoßen.

Mikrochips können auf kleinstem Raum elektrische Potentiale schalten und somit bei Verwendung geeigneter Gegenelektroden auch elektrische Felder. Geladene Teilchen in diesen Feldern erfahren je nach Richtung des Feldes eine anziehende oder abstoßende Kraft.

Einzelne Aminosäuremoleküle sind schwer zu handhaben. Ein gezielter Übertrag von einzelnen Molekülen auf einen Träger würde enormen Aufwand erfordern. Daher ist eine „Verpackung“ für die Aminosäuren nötig.

Ein erprobtes System, in dem mit Hilfe elektrostatischer Kräfte selektiv Moleküle auf einen Träger gebracht werden, ist der Laserdrucker. Hier sind die Farbstoffmoleküle in größeren *Toner*partikeln eingebettet, die außer dem Farbstoff (*Chromophoren*) noch Stoffe enthalten, die es ermöglichen, die Partikel definiert aufzuladen (*Charge Control Agents*), sowie einem „Klebstoff“ (der *Matrix*, meist aus Polystyrol), der diese Partikel zusammenhält. Mit geladenen Partikeln, die sich wie Tonerpartikel eines Laserdruckers unter bestimmten Bedingungen elektrisch aufladen lassen und die anstelle von Farbstoffmolekülen Peptide beinhalten, sollte sich auch aktiv auf einen Chip „drucken“ lassen.

Die Handhabung von Flüssigkeiten wird mit geringer werdender Menge immer schwieriger, unter anderem, da Verdunstungseffekte kaum noch kontrollierbar sind. Das Risiko besteht, dass aufgetragene Flüssigkeitstropfen auf dem Träger oder bei vom Tintenstrahldrucker abgeleiteten Drucktechniken bereits beim Transport auf den Träger verdunsten, bevor die Reaktion der gelösten Moleküle mit den Bindungsstellen auf dem Träger erfolgt ist. Falls dies eintritt, kann oft keine Kopplung der Moleküle stattfinden, da die Reaktionen zur Synthese von Biomolekülen, insbesondere die Peptidsynthese, nur in Flüssigkeit stattfinden können. Auch dieses Problem lässt sich durch die Verwendung von festen Partikeln als Träger lösen, wenn man den Schmelzpunkt dieser Partikel so wählt, dass diese nach dem Druckvorgang

durch Erhitzen in einen dickflüssigen, gelartigen Zustand gebracht werden können. Diese gelartigen Tropfen dienen dann als Reaktionsräume für die Kopplungsreaktion. Die Reste der Tropfen müssen mit geeigneten Lösungsmitteln nach dem Kopplungsvorgang abwaschbar sein, um die Oberfläche für einen folgenden Beschichtungsschritt vorbereiten zu können.

Wenn ein geeignetes Verfahren zum Tonerübertrag unter Ausnutzung selektiver elektrischer Kräfte gefunden werden kann, lassen sich die Spots eines Mikroarrays gezielt auf einem entsprechenden Array aus für diesen Zweck entwickelten Strukturen eines Mikrochips erzeugen. In Anlehnung an das Vokabular der Drucktechnologie und der Computertechnik werden im Peptidchip-Projekt diese Strukturen auf dem Chip *Pixel* oder Bildpunkte genannt. Auf jedem Pixel des Chips wird also ein Spot des Peptidarrays erzeugt.

In [JAC02] werden drei Verfahren beschrieben, mit denen Tonerpartikel auf einem aktiven Träger abgelagert werden können: Abscheidung aus Lösung, „Sprung“ von einer geladenen, dem Träger gegenüberliegenden Platte und Abscheidung aus dem Aerosol.

Von diesen Verfahren ist Abscheidung aus Lösung aufgrund der Beschaffenheit des im DKFZ entwickelten Toners nicht verwendbar. Auch ist das Arbeiten mit einem elektrisch kontaktierten Chip in Flüssigkeit schwierig.

Untersuchungen [NES05] haben ergeben, dass beim Tonerübertrag von einer gegenüberliegenden Platte sehr starke Adhäsionskräfte der Partikel an der Platte und aneinander überwunden werden müssen – stärkere Kräfte als die erzielbaren selektiven elektrostatischen Kräfte. Dieses Verfahren hat sich daher als nicht verwendbar erwiesen. Daher wurde für den Peptidchip das Verfahren des Tonerübertrags im Aerosol gewählt. Eine Kammer wurde hierfür konstruiert, in der die Teilchen triboelektrisch aufgeladen werden. Zudem wird ein Verfahren entwickelt, bei dem der Chip zunächst gleichmäßig mit Partikeln bestäubt wird und diese dann im Luftstrom selektiv desorbiert („abgepustet“) werden [NES05]. Beide Verfahren werden im Folgenden kurz erörtert, der genaue verwendete Aufbau wird in Abschnitt 7.3 beschrieben.

3.2 Tonerübertrag im Aerosol

3.2.1 Beschaffenheit der Partikel

Partikel aminosäurehaltiger Biotoner wurden am DKFZ entwickelt (BEY05). Diese bestehen aus einer Matrix aus Diphenyl-Sulfoxid, Charge Control Agents und weiteren Reagenzien für die Kopplungsreaktion. Sie enthalten jeweils einen Typ Aminosäuren, die am C-Terminus aktiviert und somit reaktionsfähig sind. Der N-Terminus der Aminosäuren ist mit einer FMOC-Schutzgruppe reaktionsunfähig gemacht. Dabei wurden die Partikel in ihrem Aufladungsverhalten einem handelsüblichen Laserdruckertoner nachempfunden. Als Vorbild dienten hier die vier verschiedenfarbigen Toner der OKI C 7000-Reihe. Damit eignet sich der Laserdrucker als kostengünstiges und leicht verfügbares Modellsystem für den Partikelübertrag. Die Partikelgröße der Aminosäurepartikel kann durch Verwendung verschiedener Mühlen in gewissen Grenzen frei gewählt werden. Für die aktuellen Versuche wurden meist ähnliche Größenverhältnisse wie beim Laserdruckertoner gewählt, bei denen die Partikeldurchmesser um 10µm verteilt sind (Abb.3.1).

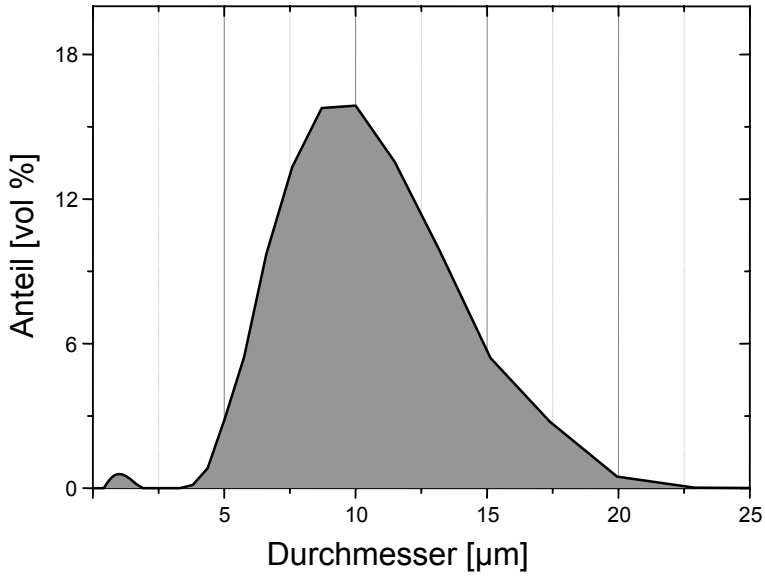

Abb. 3.1: Größenverteilung von Laserdruckertoner Oki Magenta (entnommen aus [NES05])

Die Aufladbarkeit des Laserdruckertoners und des Biotoners wurden in [NES05] bestimmt. Die Messung mit einem auf einer elektrisch isolierten Faradayzelle basierenden Q/m-Meter ergab für den Laserdruckertoner ein Ladungs-Masse-Verhältnis von etwa -3µC/kg. Eine Abschätzung und experimentelle Bestimmung der Ladungsverteilung ist in [NES05] zu finden.

3.2.2 Wirkende Kräfte

Beim Tonerübertrag im Aerosol wirken in statischer Abschätzung folgende Kräfte auf einen Tonerpartikel [NES05]:

Kraft	**Abschätzung**
Gravitationskraft	$F_g = m\,g$
Bildkraft	$F_b = Q^2 / (16\,\pi\,\varepsilon\,x^2)$
Strömungskraft	$F_D = c_w\,A\,\rho_L\,v_L^2 / 2$
Elektrostatische Kraft	$F_E = E\,Q$
Adhäsionskräfte	F_P experimentell bestimmt

mit
x = Abstand des Partikels von der Elektrode
Q = Elektrische Ladung des Partikels
ε = Dielektrizitätskonstante des Raumes zwischen Partikel und Elektrode
c_w = Luftwiderstandsbeiwert des Partikels
A = Querschnittsfläche des Partikels im Luftstrom
v_L = Strömungsgeschwindigkeit des Luftstromes
ρ_L = Dichte von Luft
m = Partikelmasse
g = Erdbeschleunigung
E = Elektrisches Feld

Adhäsionskräfte wirken zwischen verschiedenen Partikeln und insbesondere zwischen einem Partikel und der Substratoberfläche. Sie treten in der Regel erst bei Berührung auf. Sie wurden in [NES05] näher bestimmt.

Die Gravitationskraft ist vorhanden aufgrund der Masse des Partikels im Gravitationsfeld der Erde.

Die Bildkraft bezeichnet die anziehende Kraft, die auf geladene Teilchen in der Nähe von elektrischen Leitern wirkt. Ursache sind von dem geladenen Teilchen im Leiter influenzierte Ladungen. Bei obiger Formel für die Bildkraft wird das Teilchen genähert als Punktladung betrachtet und der Leiter als unendlich ausgedehnte geladene Platte. [GER89]

Die Strömungskraft ist die Kraft mit der ein Tonerpartikel vom Luftstrom in der Aerosolkammer mitgerissen wird. Sie lässt sich für laminare Luftströmung, die beim Tonerübertrag angestrebt wird, mit der Formel für die Luftwiderstandskraft abschätzen.

Von den elektrischen Feldern zwischen den Pixeln, Blenden und Gegenelektroden wird die elektrostatische Kraft erzeugt. Diese Kraft lässt sich zerlegen in einen nicht selektiven und einen selektiven Anteil. Der nicht selektive Anteil wird durch die Potentialdifferenz zwischen dem Massepotential des Chips und der Blende bestimmt, während der selektive Anteil aus der Spannungsdifferenz zwischen Pixeln auf Masse und auf positiver Spannung resultiert.

Der nicht selektive Anteil der elektrostatischen Kraft lässt sich verwenden, um andere nichtselektive Kräfte auszugleichen. Aber nur der selektive Anteil dieser Kraft kann genutzt werden, um das Partikelmuster zu erzeugen.

Die Kräfte in Abhängigkeit von der Geschwindigkeit des Luftstroms sind für Pixel mit der Kantenlänge 100µm in Abb. 3.2 dargestellt.

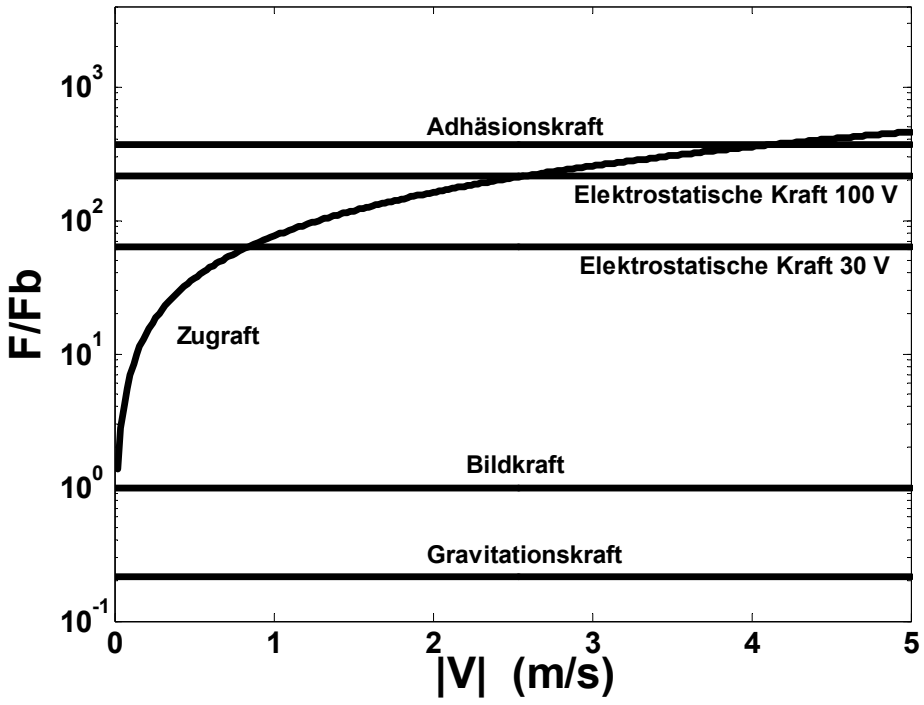

Abb 3.2: Auf Tonerpartikel im Aerosol wirkende Kräfte auf Pixeln der Kantenlänge 100µm. Die Kräfte sind auf die Bildkraft normiert (Entnommen aus [NES05]).

Daraus ergeben sich zwei mögliche Aufbauten, in denen selektive Beschichtung mit Partikeln erzielt werden kann. Dabei sind die Gravitationskraft und die Bildkraft klein gegen die anderen Kräfte und können vernachlässigt werden.

Selektive Partikeladsorption aus dem Aerosol
Bei der selektiven Partikeladsorption aus dem Aerosol wird die Geschwindigkeit des Luftstroms so gewählt, dass die Zugkraft kleiner ist als die elektrostatische Kraft. Die Partikel werden im Luftstrom über den Chip getragen. Die elektrostatische Kraft wirkt auf den entsprechend programmierten Pixeln abstoßend und da sie stärker ist als die Zugkraft, können die betreffenden Pixel nur von schnellen Partikeln getroffen werden. Diese werden allerdings aufgrund der Impulserhaltung quasielastisch wieder ins Aerosol reflektiert. Auf die auf anziehendes Potential programmierten Pixel dagegen werden Partikel abgelagert, die dann aufgrund der Adhäsionskräfte dort verbleiben.

Selektive Partikeldesorption in den Luftstrom
Bei der selektiven Partikeldesorption in den Luftstrom wird der Chip zunächst großflächig mit ungeladenem Toner bestäubt. Danach wird das Ladungsmuster angelegt, aber die selektiven elektrostatischen Kräfte können die geladenen Partikel nicht ablösen. Diejenigen Pixel, auf denen kein Toner zurückbleiben soll, werden auf Groundpotential gelegt, die zu beschichtenden Pixel auf hohe Spannung. Auf die aufladbaren Partikel über Pixeln auf hoher Spannung wirkt im elektrischen Feld eine anziehende Kraft durch induzierte Ladungen in den Tonerpartikeln. Mittels geeigneter Gegenelektroden, z.B. geerdeten Leiterbahnen zwischen den Pixeln, wird das elektrische Feld an den Pixeln auf Groundpotential viel kleiner gehalten, als an den Pixeln mit anliegender hoher Spannung. An den Pixeln auf Groundpotential wirkt daher eine viel kleinere anziehende Kraft auf die Partikel. Nun wird ein unbeladener Luftstrom über den Chip geblasen, wobei die Geschwindigkeit so gewählt wird, dass die Zugkraft auf die Partikel ausreicht, um sie vom Chip zu lösen. Ist die Kraft geeignet gewählt, dann ist die Zugkraft gerade stark genug, um Partikel von den nicht zu beschichtenden Pixeln abzulösen. Diese Partikel werden im Luftstrom davongetragen. Anziehende elektrostatische Kraft und Adhäsionskraft sind dagegen auf den Pixeln, die beschichtet bleiben sollen stark genug, um Tonerpartikel dort zu halten. Die Menge der zurückbleibenden Partikel kann über die Strömungsgeschwindigkeit des Luftstroms beeinflusst werden. So wird auch bei diesem Verfahren eine selektive Beschichtung erzielt.

Beide Verfahren wurden im Rahmen von [NES05] entwickelt und werden dort theoretisch und im Experiment ausführlich beschrieben.

3.2.3 Bewertung der Beschichtungsqualität

Die Qualität einer nach dem Tonerübertrag aufgebrachten Partikelschicht lässt sich nach folgenden Gesichtspunkten bewerten:

Kontaminationen
Da, wie in Kapitel zwei erörtert, möglichst nur Peptide einer Sorte auf einem Pixel vorkommen sollen, müssen Fehlbeschichtungen oder Kontaminationen minimiert werden. Es sollen nach dem Tonertransfer möglichst gar keine Partikel auf den nicht zu beschichtenden Pixeln zu finden sein.

Ein einfaches Maß für Fehlbeschichtungen ist der Mittelwert der Anzahl der unter dem Mikroskop zu erkennenden Partikel pro nicht beschichtete Pixel. Hier sind Werte deutlich unter eins anzustreben.

Gleichmäßige dünne Beschichtung eines Pixels
Wünschenswert ist es, wenn eine dichte, aber möglichst dünne Schicht aus Tonerpartikeln auf den zu beschichtenden Pixeln verbleibt, die insbesondere die Mitte der Pixel zuverlässig ausfüllt. Eine gleichförmige Beschichtung der Pixel bis zum Rand und auch in die Ecken wäre wünschenswert, aber nicht notwendig, solange eine ausreichend große Fläche in der Mitte bei jedem Beschichtungsschritt gleichermaßen gut mit Reaktionspartnern versorgt wird. Die Schicht aus Tonerpartikeln muss dick genug sein, damit der beim Schmelzen entstehende gelartige Reaktionsraum lückenlos das Pixel überdeckt und genug Aminosäuren enthält, um einen ausreichenden Überschuss an Reaktionspartnern für die Peptidsynthese zu liefern. Eine zu dicke Beschichtung ist dagegen unerwünscht, da unnötig Toner verbraucht wird und beim Schmelzen die Gefahr der Kontamination von Nachbarpixeln besteht.

Die Qualität der Beschichtungsdicke zu quantifizieren ist schwierig. Auch da die ideale Beschichtungsdicke noch zu ermitteln ist, kann hier nur eine Beschreibung der Verhältnisse gegeben werden. Größere Lücken in der Beschichtung sind auf jeden Fall zu vermeiden, insbesondere, wenn selbst nach dem Anschmelzen der Partikel noch Teile der Pixelmitte nicht mit Partikelschmelze bedeckt sind. Negativ wirkt ebenso eine Überbeschichtung von Pixeln, bei der die Nachbarpixel vor oder nach dem Anschmelzen kontaminiert werden.

Saubere Trennung verschiedener Pixel
Um Kontaminationen benachbarter Pixel zu vermeiden, sollten auch unabhängig vom Beschichtungszustand der Nachbarpixel die Zwischenräume zwischen den Pixeln unbeschichtet bleiben. Auch diese Größe ist schwer zu quantifizieren. Eine Zählung der in den Zwischenräumen abgelagerten Partikel erscheint die am besten realisierbare Methode.

3.2.4 Multipolpixel

Eine Alternative zu den gewöhnlichen Schaltpixeln stellen möglicherweise so genannte *Multipolpixe*l dar. Die Theorie der Multipolpixel wurde im Rahmen von [NES05] entwickelt und durch Simulation der elektrischen Felder verifiziert. Sie wird dort ausführlich beschrieben und daher hier nur sehr verkürzt wiedergegeben. Die Grundidee besteht darin, anstatt einer massiven Metallfläche zwei kammartige, verzahnte Strukturen als Potentialfläche zu verwenden. Eine dieser kammartigen Elektroden wird mit allen anderen entsprechenden Elektroden der selben Zeile verbunden, die andere mit allen entsprechenden Elektroden der selben Spalte. Jede Potentialfläche kann so drei Zustände annehmen:

1. doppelt negativ, d.h. beide Elektroden liegen auf Massenpotential
2. doppelt positiv, d.h. beide Elektroden liegen auf hoher Spannung
3. positiv-negativ, d.h. eine der beiden Elektroden liegt auf Massenpotential, die andere Elektrode liegt auf hoher Spannung

Für letztere Pixel soll der Theorie zufolge die Gesamtladung (das Monopolmoment) null betragen, so dass nur die Multipolelemente höherer Ordnung verbleiben. Diese fallen aber im Gegensatz zum linear abfallenden Monopolelement quadratisch oder in noch höherer Ordnung mit dem Abstand zum Pixel ab, und sollen daher schon in sehr kurzem Abstand bedeutungslos werden. Somit sollen nur doppelt positiv geladene Pixel Toner adsorbieren. Vorteil der Methode ist die Möglichkeit, deutlich kleinere Pixel zu verwenden, da pro angesteuerter Spalte und Zeile nur jeweils eine Ansteuerungszelle mit HV-Inverter und Speicher nötig sind. Dafür erhöht sich die Anzahl der Beschichtungsschritte, da immer nur

eine Zeile gleichzeitig beschichtet werden kann. Bei der Verwendung dieser Pixel wird also noch wichtiger, die Beschichtung frei von Kontaminationen durchzuführen. Durch die gemeinsame Unterbringung von Multipol- und Schaltpixeln auf einem Chip ist es erstmals möglich, diese beiden Konzepte hinsichtlich der Beschichtungsqualität direkt zu vergleichen.

3.3 Nachweis von Bindungsereignissen

Um in den Bindungsexperimenten gebundene Moleküle nachzuweisen, bietet sich als einfachstes Verfahren der optische Nachweis mittels Fluoreszenz- oder Chemoluminiszenzmarkern an. Bei den meisten Biochips findet der Nachweis von Fluoreszenzlicht extern mit Hilfe von digitalen Kameras oder ähnlichen Systemen oder auch mit dem bloßen Auge statt. Beim Peptidchip ist eine externe Auswertung mit Hilfe von digitaler Fotografie problemlos denkbar.

Für diesen Nachweis, kann die CMOS-Technologie Werkzeuge bereitstellen. Durch Photodioden unter den Pixeln kann möglicherweise die Funktionalität für die Analyse dieser Bindungsereignisse in den Chip integriert werden. Die nötigen Abschätzungen für die Empfindlichkeit der Photodioden und die sich daraus ergebenden Nachweisgrenzen für markierte Biomoleküle können in dieser Arbeit nicht erörtert werden und müssen späteren Arbeiten vorbehalten bleiben.

3.4 Das Peptidchip-Gesamtsystem

Ein Gesamtsystem „Peptidchip“, von dem der eigentliche CMOS-Chip zwar das Herzstück, aber doch nur eine Komponente bildet, muss um seine Aufgaben zu erfüllen, dem Anwender die folgenden Möglichkeiten zur Verfügung stellen:

1. Eingabe und Speicherung eines Peptidarrays
2. kombinatorische Peptidsynthese des angeforderten Arrays
3. Bereitstellung eines Reaktionsraums und Nachweis von Bindungsereignissen
4. Auswertung der Bindungsereignisse

Die Aufgaben 1 und 4 sind von einer Software zu erfüllen, die auf einem Labor-PC von dem aus der Peptidchip angesteuert werden kann, betrieben wird. Der Peptidchip muss die Ansteuersignale interpretieren und daraus als Teil eines Systems zur kombinatorischen Peptidsynthese ein Ladungsmuster für jeden Beschichtungsschritt generieren. Das genaue Beschichtungsschema zur kombinatorischen Peptidsynthese ist für den Tonerübertrag im Aerosol in Abb. 3.3 dargestellt.

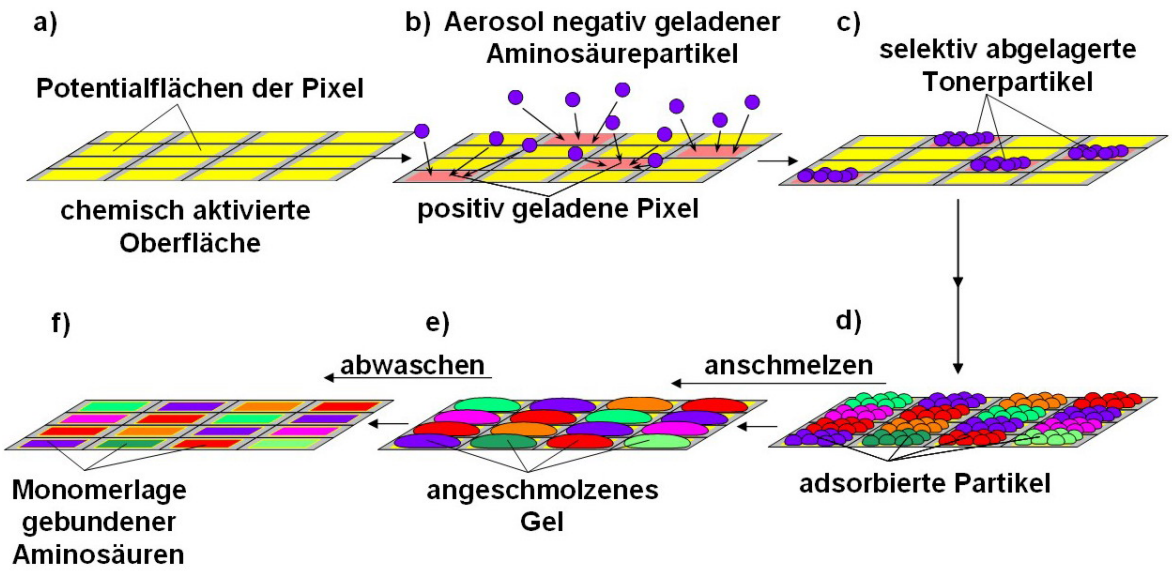

Abb 3.3: Die einzelnen Schritte der Peptidsynthese auf dem Chip (Erklärung siehe Text)

In Bild a) ist ein Ausschnitt der Chipoberfläche mit den Potentialflächen der Pixel an der Oberfläche zu sehen. Die Oberfläche des Chips ist chemisch aktiviert und weist freie Aminogruppen auf. In Bild b) wurde das erste Ladungsmuster generiert. Einige der Potentialflächen sind auf positives Potential geschaltet. Der Chip wird dem Aerosol ausgesetzt und im elektrischen Feld werden die Tonerpartikel selektiv auf den positiv geladenen Pixeln abgelagert (Bild c)). Schritt b) wird für jeden Typ Aminosäuretoner (hier durch verschiedene Farben dargestellt) wiederholt, bis in Bild d) jedes Pixel genau einmal beschichtet wurde. Der Chip wird erhitzt, worauf der Toner gelartig wird und zu tropfenförmigen Reaktionsräumen über den Pixeln zusammenfließt. In diesen Reaktionsräumen findet die Kopplung der Aminosäuren an den Träger statt (Bild e)). Danach wird der restliche Toner abgewaschen und die Schutzgruppen werden abgespalten. Eine Lage Aminosäuren ist nun über eine Peptidbindung an den Träger gebunden (Bild f)).

Für die folgenden Lagen werden dann die Schritte b) bis f) wiederholt. Für Peptide der Kettenlänge 20 und bei Verwendung von 20 verschiedenen Aminosäuren werden dann insgesamt 20 * 20 = 400 Beschichtungsdurchgänge benötigt. Nach abschließender chemischer Behandlung, wie dem Entfernen der Seitenkettenschutzgruppen, kann der Chip nun gelagert oder transportiert werden, bis er zum Einsatz kommt.

Auf einem solchen Chip können die in Kapitel 1 beschriebenen Bindungsexperimente durchgeführt werden.

4. Vorversuche und bisherige Arbeiten am Peptidchip-Projekt

4.1 Vorversuche

Vorversuche mit dem ersten Peptidchip zum selektiven Tonerübertrag aus dem Aerosol oder von einer Gegenelektrode auf Pixel auf einen Mikrochip bei einer Spannung von 5V zu übertragen blieben erfolglos. Daraufhin wurden Versuche auf einer modifizierten gedruckten Schaltung mit fest verdrahteten Pixeln und mit einem Hilfschip ohne Transistoren, bestehend nur aus Leiterbahnen, die schachbrettartig verbundene Pixel an äußere Spannungen kontaktieren, durchgeführt. Diese ergaben, in Übereinstimmung mit theoretischen Überlegungen (siehe Kapitel 3 und [NES05]), dass erst ab etwa 30V Potentialdifferenz zwischen den Pixeln ein selektiver Tonerübertrag aus dem Aerosol stattfinden konnte.

Für die Peptidchip-Anwendung ist es daher unverzichtbar, hohe Spannungen direkt auf dem Chip zu schalten.

4.2 Konzeption Peptidchip 2

4.2.1 Ziele

Ziel des zweiten Peptidchips war es, die prinzipielle Möglichkeit des selektiven Tonerübertrags nachzuweisen (*proof of principle*).

Eine Matrix aus quadratischen Pixeln mit 80µm Kantenlänge und 25µm Abstand zwischen den Pixeln (also einem Raster von 105µm) sollte einen Chip von $10mm^2$ ausfüllen. Es wurde für diesen Chip auf Variation der Pixelgröße und auf integrierte Detektion verzichtet. Die einzelnen Pixel sollten zeilenweise direkt angesteuert werden. Die Pixel sollten in beliebigen Mustern auf Massenpotential oder auf eine hohe Spannung von mindestens 30V geschaltet werden können. Konzeption und Entwurf des Chips hatte ich bereits im Rahmen meiner vorherigen Tätigkeit am Kirchhoff-Institut und am DKFZ ausgeführt.

4.2.2 Prozesswahl

Zu diesem Zeitpunkt (Mai 2003) stand über Europractice[1] [EUR] nur ein dedizierter Hochspannungsprozess für den Chipentwurf zur Verfügung. Dieser Prozess verfügte zwar über NMOS und PMOS – Transistoren für Spannungen bis 50V, aber nur über 2 Metalllagen. Beim Peptidchip wird die oberste Metalllage vollständig als Potentialfläche für die Pixel benötigt. Es wäre dann mit diesem Prozess nur noch eine Metalllage für Versorgungs- und Steuerleitungen verfügbar. Da dies für zeilen- und spaltenweise Ansteuerung der Pixel mit notwendig sich kreuzenden Leitungen nicht ausreicht, musste ein geeigneter Prozess mit

[1] Europractice ist Programm der EU, der den Mitgliedern aus Universitäten, Forschungseinrichtungen und mittelständischen Unternehmen kostengünstigen Zugang zu IC-Designsoftware und *Multi-Project-Wafer-Runs* (MPW-Runs) zur Fertigung von Prototypen bietet.

mindestens drei Metalllagen gefunden werden. Ein Prozess mit kleinster Strukturgröße 0,6µm von Austriamicrosystems, genannt AMS 0,6µ CUP, mit Option auf 30V-NMOS-Transistoren wurde als am besten geeignet ausgemacht [AMS99]. Dieser Prozess wird mit einer Spannung von 5V betrieben, verfügt über 3 Metalllagen, aber über keine 30V-PMOS-Transistoren. Andere damals verfügbare Prozesse mit drei oder mehr Metalllagen verfügten nur über Hochspannungserweiterungen mit noch geringerer Maximalspannung.

4.3 Design und Layout Peptidchip 2

Abzüglich der für die Kontaktierung verbrauchten Fläche konnte auf dem Chip eine Matrix von 22 x 24 Pixeln untergebracht werden.

Jedes dieser Pixel wurde in 5V – Technologie mit einem S-R-Latch als Speicherzelle ausgestattet, die durch Anlegen einer Spannung an den entsprechenden Zeilen- und Spaltenauswahlleitungen `X[0..21]` und `Y[0..23]` gesetzt werden konnte (Abb. 4.1).

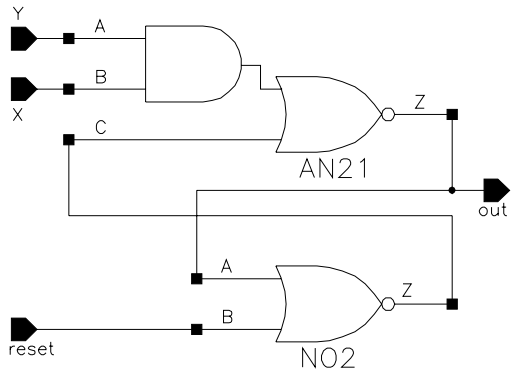

Abb. 4.1: Schaltplan der Speicherzelle

Alle Speicherzellen können durch Anlegen des globalen Resetsignals `reset` zurückgesetzt werden. Der Ausgang `out` der Speicherzelle ist über einen Hochspannungsinverter mit der Potentialfläche des entsprechenden Pixels verbunden.

Der HV-Inverter besteht aus einem 30V-NMOS (NMOSH6), dessen Gate mit der Speicherzelle verbunden war und einem Pull-Up-Widerstand von ca. 500kΩ in Form eines meanderförmigen Polysiliziumwiderstands, der bei gesperrtem NMOS das Pixel auf 30V zieht (Abb. 4.2a und b). Zwei Varianten des Inverters mit diesem Widerstand wurden implementiert. Zusätzlich wurde eine Variante unter Verwendung einer Reihenschaltung von uns entwickelter zum Substrat bis 30V isolierter PMOS-Transistoren in Schaltung als aktiver Widerstand erprobt (Abb. 4.3a und b). Nachteil beider Varianten war ein hoher Stromverbrauch bei leitendem 30V-NMOS von etwa 60µA pro eingeschaltetem Pixel und die damit verbundene hohe Wärmeproduktion. Der maximale Stromverbrauch des Chips wurde bei 31,7mA erwartet, was bei 30V einer Flächenleistungsdichte von 95,1W/mm^2 entspricht.

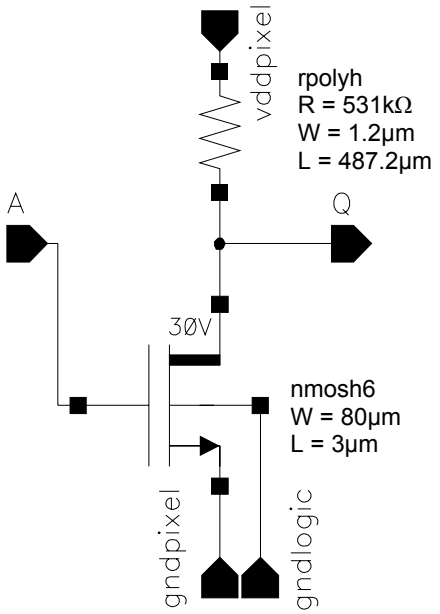

Abb. 4.2a: Schaltplan des HV-Inverters mit Polysiliziumwiderstand

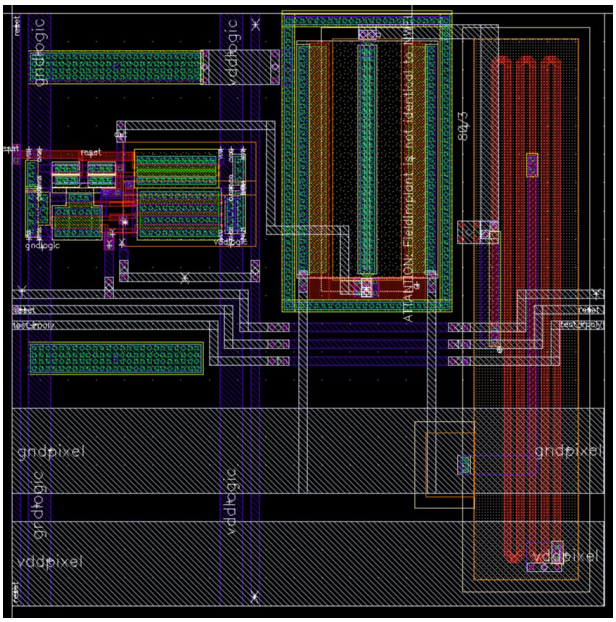

Abb. 4.2b: Layout eines Pixels mit HV-Inverter mit Polysiliziumwiderstand. Links oben: Speicherzelle. Oben Mitte: HV-NMOS. Rechts: Polysiliziumwiderstand. Die Potentialfläche auf der dritten Metalllage ist nicht gezeigt.

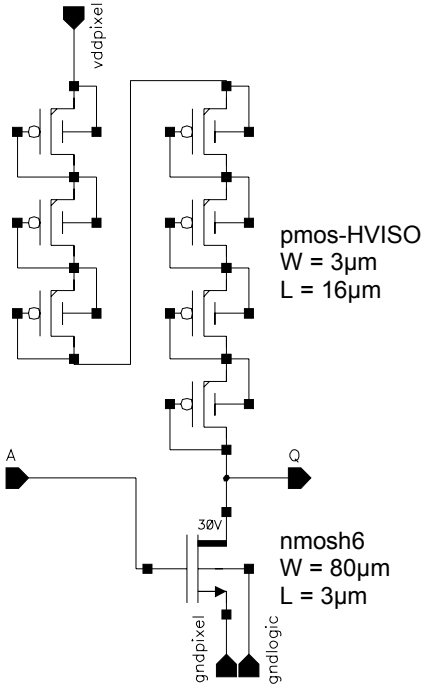

Abb. 4.3a: Schaltplan des HV-Inverters mit hochspannungsisolierten PMOS-Transistoren als aktivem Widerstand

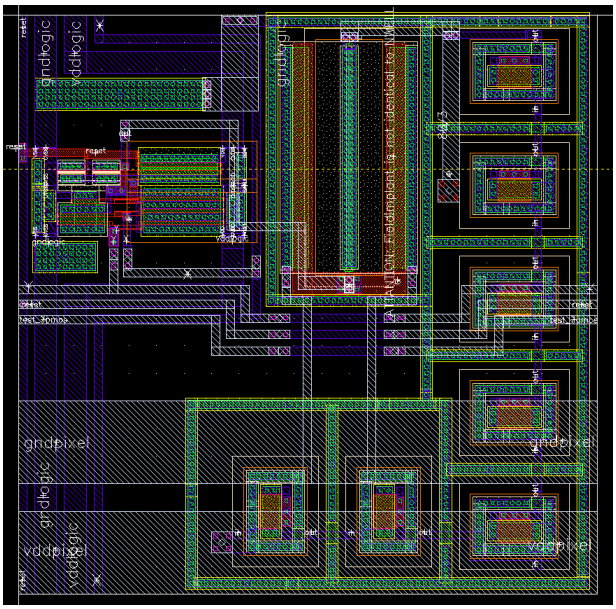

Abb. 4.3b: Layout eines Pixels mit HV-Inverter mit hochspannungsisolierten PMOS-Transistoren als aktivem Widerstand. Links oben: Speicherzelle. Oben Mitte: HV-NMOS. Rechts und unten: Reihenschaltung von 7 hochspannungsisolierten PMOS als Widerstand.

An den Pixeln anliegende Spannungen und Stromverbrauch wurden in CADENCE simuliert. Es ergaben sich für eine hohe Versorgungsspannung von 30V eine Pixelspannung von >29V bei einem Stromverbrauch von <65µA für die Pixel mit Polywiderstand und eine Spannung an den Pixeln von >23V bei einem Stromverbrauch von <75µA an den Pixeln mit isolierten PMOS-Transistoren als aktiven Widerständen. Aufgrund unserer vom Halbleiterhersteller nicht unterstützten Modifikationen waren jedoch die Simulationsergebnisse für diese isolierten PMOS-Transistoren nur unter Vorbehalt zu akzeptieren.

Die Potentialflächen von neun Pixeln wurden direkt mit *Bondpads*[1] verbunden, um direkt die Funktion der Hochspannungsbauteile überwachen zu können.

Über den Potentialflächen ist wie bei einem Bondpad die *Passivierung*[2] entfernt, so dass die Leiterbahnebene aus Aluminium frei zugänglich ist.

Das Layout der Pixel wurde so gestaltet, dass sich die gesamte Matrix durch Nebeneinandersetzen von identischen Blöcken aus 2x2 jeweils spiegelsymmetrisch angeordneten Pixeln aufbauen ließ. Dabei wurde ein Drittel der Matrix aus Pixeln mit aktiven isolierten PMOS – Widerständen aufgebaut. Für die verbleibenden zwei Drittel wurden Pixel mit Polysiliziumwiderstand gewählt.

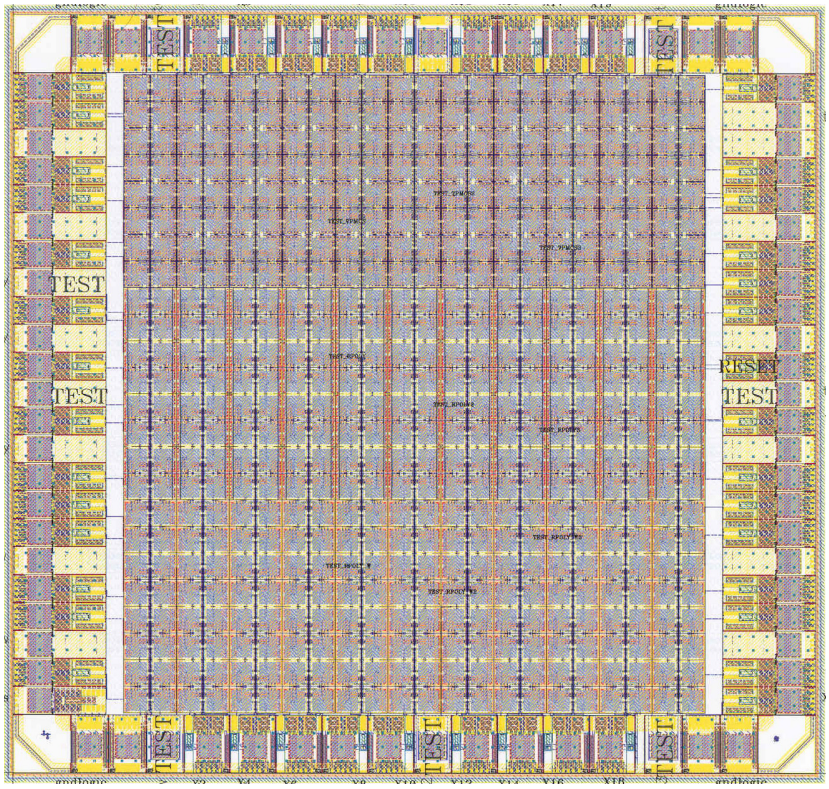

Abb. 4.4: Gesamtlayout des Chips: Pixelfeld aus 22x24 Pixeln in der Mitte, umgeben von einem Bondpadring

[1] Unter „bonden“ versteht man das elektrische Verbinden des Chips mit einer Leiterbahnplatine. In unserem Fall wurde hierfür das sogenannte „Drahtbonden“ verwendet: Feine Drähte aus Aluminium oder Gold werden bei diesem Verfahren von dafür vorgesehenen Stellen (Bondpads) auf dem Chip zu entsprechenden Stellen auf der Platine gezogen.

[2] Die Passivierung eines Chips ist eine schützende Schicht aus Siliziumoxid und/oder Siliziumnitrid, die über der obersten Leiterbahnebene aufgetragen wird. An den Bondpads sind Löcher in der Passivierung vorgesehen, um den Chip dort elektrisch kontaktieren zu können.

4.4 Messaufbau Peptidchip 2

Für die Ansteuerung des Chips und die Spannungsversorgung wurde ein Ring aus Bondpads um die Pixelfelder herum gelegt. Die X- und Y-Signale der Spalten und Zeilen, das Resetsignal und die neun Testpixel können über diese Pads von außen zugeführt werden. Weiterhin wurden Bondpads für die Zuführung der hohen und niederen Versorgungsspannung realisiert. Das Layout des gesamten Chips ist in Abb. 4.4 gezeigt.

Die etwa 70 gelieferten Chips wurden auf quadratische Platinen geklebt und gebondet. Sie werden im Folgenden als Trägerplatinen bezeichnet (Abb 4.5). Zum Schutz wurden die Bonddrähte mit einem Epoxidharzkleber (*Glob-Top*) überzogen. Diese Trägerplatinen wurden so gestaltet, dass sie genau in Sockel des Typs PGA-84 [1] passen. Mit Hilfe von Klemmsockeln dieses Typs ist es möglich, in Versuchsreihen schnell zwischen verschiedenen Chips zu wechseln.

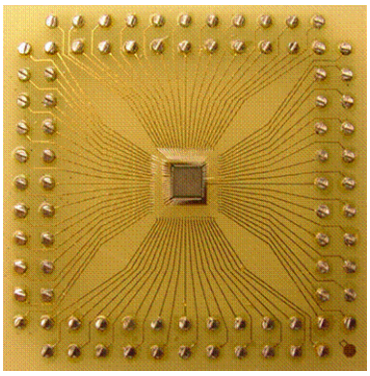

Abb. 4.5: Peptidchip 2, auf Trägerplatine gebondet, ohne Glob-Top

Zwei Versuchsaufbauten wurden entworfen und im DKFZ und im Kirchhoff-Institut konstruiert: Eine Testplatine mit Klemmsockel erlaubt es, die elektrischen Eigenschaften der Chips mit Hilfe der Testpixel zu überprüfen, und die Tonertransfer-Steuerplatine ermöglicht es, die Chips für den Tonertransfer in der Aerosolkammer anzusteuern. Der Klemmsockel wurde hier mit einem Kabel verbunden und konnte direkt in der dafür vorgesehenen Öffnung in der am DKFZ entwickelten Aerosolkammer [NES05] angebracht werden.

Mit dem Aufbau für den Test der elektrischen Eigenschaften konnten pro Chip neun Pixel auf Funktion geprüft werden. Auf der Platine können durch Umlegen von Schaltern Zeilen- und Spaltensignale und das Resetsignal aktiviert werden. Allerdings wurden hier nur diejenigen Zeilen und Spalten kontaktiert, in denen sich auch mindestens ein Testpixel befindet. Die Signale der Testpads werden auf der Platine zu Kontaktpunkten für den Anschluss eines Spannungsmessgeräts geführt. Mit diesem Aufbau können gebondete Chips mit und ohne Glob-Top auf Funktion überprüft werden. Neben der Kontrolle der tatsächlich auf der Potentialfläche erreichten Spannung wurde mit diesem Aufbau die Auswahl defektarmer Chips für die Tonertransfer-Versuche ermöglicht.

Die geprüften Chips wurden in der im DKFZ konstruierten Tonerkammer beschichtet (Abb. 4.6a und b). In dieser Tonerkammer wurden auch die Experimente an den Hilfschips (Kap. 3) durchgeführt. Eine zweite Platine wurde konstruiert, um den Chip für die Beschichtung

[1] Pin Grid Array, eine bestimmte genormte Anordnung von Kontaktstiften auf einem Gehäuse für integrierte Schaltungen beziehungsweise von Buchsen auf einem Sockel dazu. Die Zahl gibt die Anzahl der Stifte an.

anzusteuern. Diese Platine verfügt über mehr Möglichkeiten zur Ansteuerung des Chips als die erste Platine, da hier alle Zeilen und Spalten angesteuert werden können. Dazu erfolgt die Ansteuerung nicht über Schalter auf der Platine, sondern durch Verwendung einer in einen Labor-PC eingebauten und über LabView [NAT] angesteuerten Messkarte. Es wurde bei dieser Platine auf die Möglichkeit zur Auslese der Testpixel verzichtet.

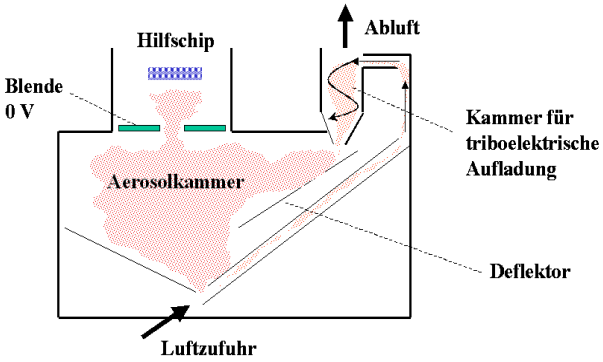

Abb. 4.6a: Schematischer Aufbau der Tonerkammer (entnommen aus [NES05])

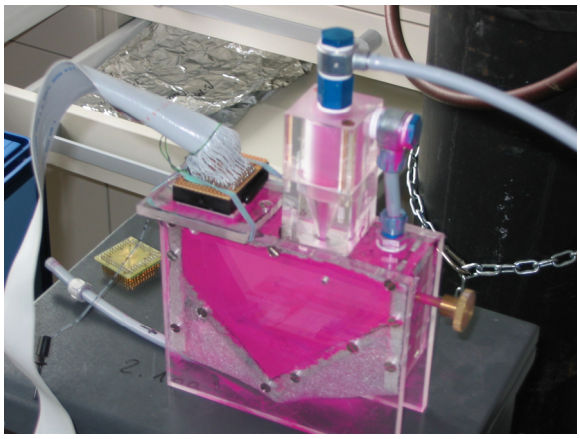

Abb. 4.6b: Tonerkammer für Beschichtung im Aerosol mit montiertem Peptidchip 2 auf Klemmsockel

4.5 Ergebnisse Peptidchip 2

4.5.1 Elektronische Tests

Wichtigster Punkt bei den elektronischen Tests war die Überprüfung der Funktionsfähigkeit des Chips, insbesondere der Hochspannungs-Inverter. Dieser Test war Voraussetzung für die Durchführung von Beschichtungsexperimenten. Weiterhin wurde die Ausbeute (Yield) an funktionierenden Chips überprüft, da jeder Chip vor den Tonerübertragungsversuchen auf Funktion getestet wurde. Aufgrund des ungewöhnlichen, vergleichsweise ungeschützten Umfelds beim Betrieb des Chips war auch die Frage nach der Lebensdauer des Chips bei den durchgeführten Versuchen in der Aerosolkammer von Interesse.

<u>Funktionstest der Hochspannungsinverter</u>
Mit Hilfe der Versuchsplatine und der Testpixel wurde festgestellt, dass die Hochspannungsinverter beider Typen funktionieren. Der Stromverbrauch des Chips für sämtlich auf niedriges Potential geschaltete Pixel lag bei einer Hochspannung von 30V im erwarteten Bereich zwischen 30mA und 40mA. Bei einer Versorgungsspannung von 30V lag an den Potentialflächen der Pixel mit Polysiliziumwiderstand die erwartete Spannung von nahezu 30V an. Für die Pixel mit aktiven PMOS-Widerständen lagen nur zwischen 21V und 23V an, also nahe genug an den erwarteten 23V aus der Simulation. Die Testpixel reagierten auf das Resetsignal und Ansteuerung wie erwartet. Damit war das Design der Chips in ausreichendem Maß für Tonerübertragsversuche verifiziert.

Ausbeute

Nachdem ein Bondprogramm mit geeignet erscheinenden Parametern etabliert war, wurden 19 Chips gebondet und getestet. Chips mit offensichtlich fehlerhaften Bonds wurden nicht getestet. Die Ergebnisse dieses Tests sind in Tab. 4.1 dargestellt. Dabei zählte ein Pixel als „defekt“, wenn bei Ansteuerung die Ausgangsspannung nicht mindestens 90% des üblichen, oben angegebenen Wertes erreichte. Bei den Chips mit Ausfall von einem oder zwei Testpixeln waren die Ausfälle innerhalb der Erwartungen über die Pixelvarianten verteilt. Auf einem Chip war nur der Bereich mit isolierten PMOS-Transistoren ausgefallen. Ein Chip zeigte über alle Testpixel das Verhalten, dass diese zwar bei Ansteuerung reagierten, aber nach Wegnahme des Ansteuersignals sofort wieder in den ausgeschalteten Zustand zurückfielen. Bei diesem Chip lag wahrscheinlich ein Kurzschluss beim Bonden oder auf dem Chip zwischen dem Resetsignal und einer 5V führenden Leitung vor.

Testergebnis	**Anzahl Chips**
Alle 9 Testpixel voll funktionsfähig	10
Ausfall von einem oder zwei Pixeln	5
Ausfall von drei bis acht Pixeln, über den Chip verteilt	-
Ausfall genau aller Testpixel mit isolierten PMOS-Transistoren	1
Pixel reagieren auf Ansteuerung, aber halten die Spannung nicht	1
Totalausfall aller Pixel oder Kurzschluss	2

Tab. 4.1: Ergebnisse des Zuverlässigkeitstests. Ein Kurzschluss wurde festgestellt, wenn die Stromaufnahme des Chips das Zehnfache des erwarteten Wertes überschritt.

Die Ausbeute an verwertbaren Chips nach allen Verarbeitungsschritten lag damit unter den Erwartungen. Der Anteil der funktionierenden Chips verringerte sich beim Auftragen von Glob-Top[1] nochmals um etwa ein Drittel. Das Auftragen des Glob-Top wurde durch die ungünstige Anordnung der Bondpads in einem den ganzen Chip umschließenden Ring stark erschwert, da die Mitte des Chips mit den Pixeln ja frei von Glob-Top bleiben musste. Es wurde hierfür auch zum Teil mit einer an der Platine fixierten Schablone gearbeitet, bei deren Befestigung Bonddrähte beschädigt worden sein könnten.

Lebensdauer bei Beschichtung und Reinigung

Eine mehrmalige Verwendung von Chips bei Tonerübertragsexperimenten erwies sich als schwierig. Aufgrund der hohen Leistungsdichte heizt sich der Chip bei Beschichtungsexperimenten sehr schnell zu Temperaturen von etwa 80°C (gemessen mit der Infrarotkamera) auf. Bei diesen Temperaturen schmilzt der verwendete Toner und ist nur durch Reinigen mit Lösungsmitteln wie Aceton wieder abwaschbar. Da die entsprechenden Aufbauten für die vorgesehene Reinigung des Chips zwischen Beschichtungsschritten noch nicht zur Verfügung standen, und da der Laserdruckertoner im Gegensatz zum Peptidtoner nicht für gute Abwaschbarkeit entwickelt wurde, war dieses Problem bei den Versuchen zum Tonerübertrag störender, als dies bei der späteren Anwendung zu erwarten wäre. Meist wurden Chips nur für ein Beschichtungsexperiment verwendet. Die angeschmolzenen „Tonertropfen“ sind in den Fotos der beschichteten Chips (Abschnitt 4.5.2) deutlich zu erkennen. Alle verwendeten Chips fielen spätestens nach zwanzig Tonertransferexperimenten und Reinigungen total aus.

[1] „Glob-Top“ ist eine Technik, um einen Chip und die empfindlichen Bonddrähte vor mechanischer Belastung zu schützen. Ein Epoxidharz wird bei dieser Methode über dem Chip und den Drähten aufgetragen und ausgehärtet.

4.5.2 Versuche zum Tonerübertrag

Die ersten Versuche zum Tonerübertrag wurden nicht mit Peptidtoner, sondern mit dem als Modell verwendeten, besser sichtbaren und um mehrere Größenordnungen kostengünstigeren Laserdruckertoner (Oki 7000 Magenta, Oki Mat No 41304210) durchgeführt. Wie bereits erwähnt, hat dieser Toner ähnliche elektrische Eigenschaften wie der Peptidtoner [NES05].

Für die Versuche zum Tonerübertrag wurden nur mit Glob-Top versehene Chips verwendet. Alle Chips wurden vor der Durchführung von Tonerübertragsexperimenten auf ihre elektronische Funktion getestet und nur einwandfreie Chips wurden verwendet.

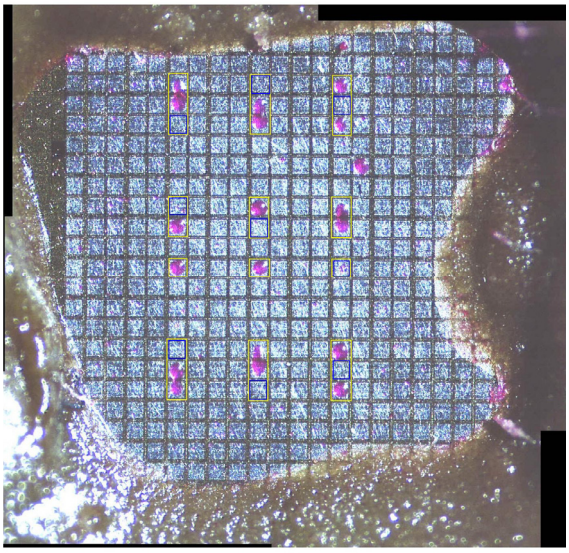

Abb. 4.7a: Chipoberfläche nach Beschichtung weniger Pixel

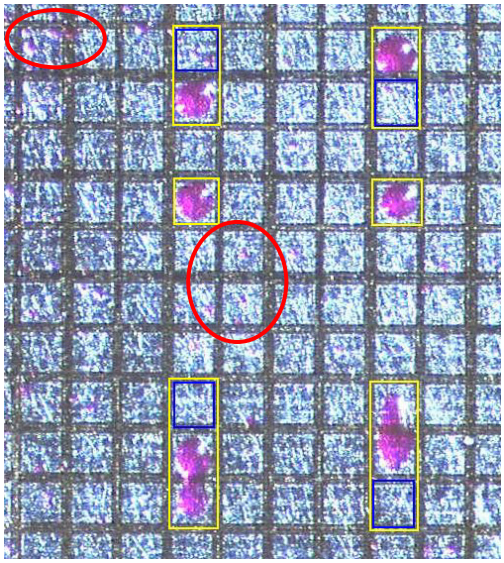

Abb. 4.7b: Vergrößerung der beschichteten Pixel. Deutlich zu erkennen ist, wie die Tonerpartikel angeschmolzen und zusammengeflossen sind. Angeschmolzene Kontaminationen auf Nachbarpixeln sind zu erkennen (rote Kreise).

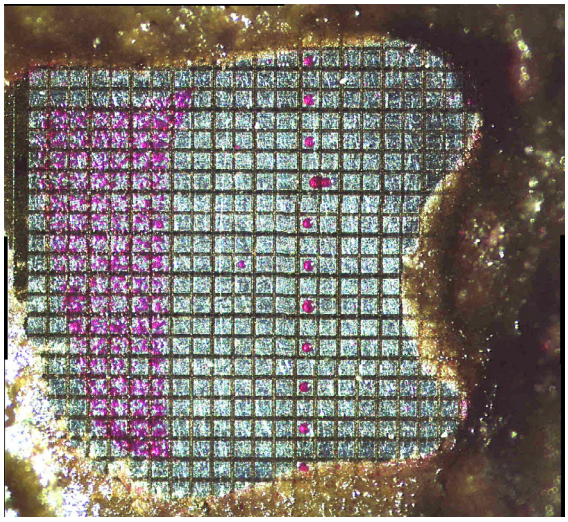

Abb. 4.8a: Chip mit großflächig beschichtetem Bereich

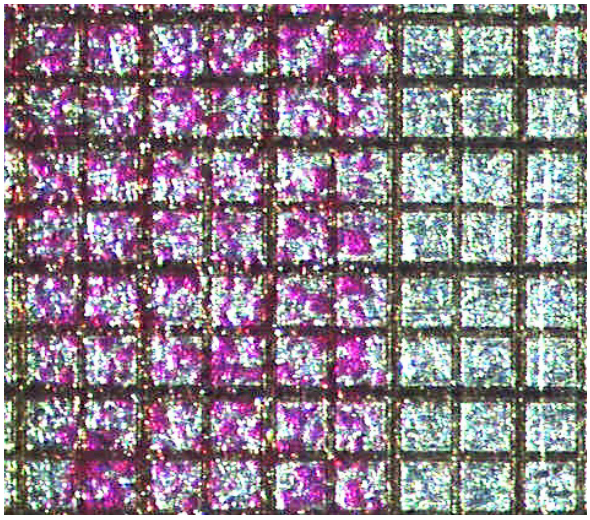

Abb. 4.8b: Vergrößerung. Die einzelnen Pixel sind hier nicht dicht mit Toner beschichtet.

In (Abb. 4.7 und 4.8) sind die Ergebnisse zweier Tonerübertragsexperimente gezeigt. Die Bilder weisen erfolgreichen Tonerübertrag nach. Es ist kein Unterschied in der Qualität des Tonerübertrags für Pixelspannungen von 30V oder ca. 23V festzustellen. Es verbleiben folgende Probleme:

- Durch die Erhitzung des Chips schmilzt der Toner sofort nach dem Auftreffen an der Oberfläche an. Dies erschwert die Wiederverwendung von Chips bei Tonerübertragsexperimenten erheblich. Weiterhin wird auch der Nachweis von Kontaminationen erschwert, da einzelne Partikel in angeschmolzenem Zustand schwerer zu erkennen sind.
- Es entstehen noch zu viele Kontaminationen durch auf falschen Pixeln absorbierte Partikel.
- Pixel werden nicht immer dicht mit Partikeln beschichtet. Es bleiben selbst nach dem Anschmelzen noch unbeschichtete Bereiche auf dem Pixel.
- Werden benachbarte Pixel gleichzeitig beschichtet, wird auch der Zwischenraum mit beschichtet, oder der verflüssigte Toner fließt nach dem Kontakt mit der Oberfläche zusammen.

Weiterhin trat mehrmals, aber nicht gezielt reproduzierbar, ein Phänomen auf, das wir als *Beschichtungsmusterinversion* oder kurz *Inversion* bezeichnen. Chips wurden mit einem Muster entgegengesetzt dem erwarteten Muster beschichtet, so als ob die Partikel im Luftstrom entgegengesetzt aufgeladen gewesen wären. Ein Chip mit invertierter Beschichtung ist in Abb. 4.9 gezeigt.

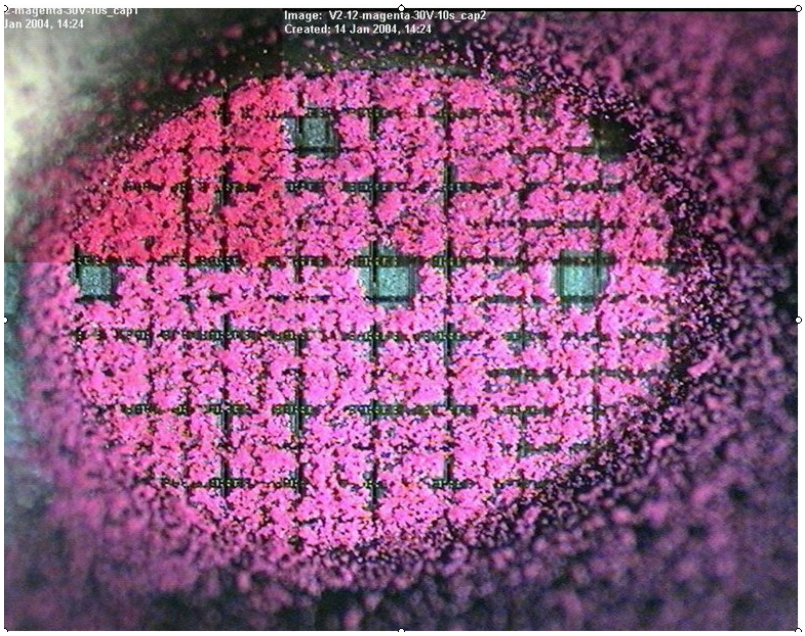

Abb. 4.9: Chip mit invertiertem Beschichtungsmuster

Inversion trat mit dem Peptidchip 2 nicht mehr auf, nachdem in die Aerosolkammer, etwa 2cm unter der Chipoberfläche, eine zweite Elektrode eingebaut wurde. Zur gleichen Zeit wurde allerdings auch der Toner ausgetauscht. Als Ursachen für die Inversion wurden vermutet:

- Veränderung des Aufladungsverhaltens des Toners aufgrund von äußeren Einflüssen wie Luftfeuchtigkeit, Temperatur, Lagerdauer
- Einflüsse von äußeren elektrischen Feldern, verursacht durch die geladenen Partikel im Aerosol oder durch diese Felder ausgelöste Probleme mit der elektrischen Schaltung auf dem Chip

Eine Vertauschung der Hochspannungsanschlüsse am Chip kann aus physikalischen Gründen ausgeschlossen werden, da in diesem Falle die parasitären Dioden der Wannen der Hochpannungs-Feldeffekttransistoren leitend würden. Der Chip wäre dann durch den sich daraus ergebenden Kurzschluss mit sehr hohen Strömen zwischen Hochspannung und Masse und entsprechender Erwärmung zerstört worden.

Eine Variante der Inversion trat auch bei Versuchen mit dem Peptidchip 3 auf. Mögliche Ursachen für die Inversion werden in [NES05] und in Abschnitt 8.2.5 diskutiert.

TEIL II
DURCHFÜHRUNG

5. Konzeption Peptidchip 3

5.1 Gestellte Anforderungen und Schlussfolgerungen aus Peptidchip 2

Mit dem Peptidchip 2 gelang es den Nachweis für die Möglichkeit selektiver Toneradsorption auf einem CMOS-Chip zu erbringen (Kapitel 4). Weiterhin waren seit den Experimenten mit diesem Chip theoretische Untersuchungen und Versuche mit Hilfschips mit fest verschaltetem Pixelmuster durchgeführt worden (Kapitel 3) [NES05].

So ist es das Ziel des dritten Chips, erstmals im Peptidchip-Projekt eine umfassende experimentelle Untersuchung der Einflüsse verschiedener Pixeleigenschaften auf den Tonertransfer durchzuführen. Auch Pixel mit Kantenlängen von 50µm und weniger sind im Hinblick auf zukünftige weitere Miniaturisierung und die Entwicklung dafür geeigneten Toners zu testen.

Darüber hinaus soll bereits ein Großteil der für einen produktiven Chip nötigen oder hilfreichen Elemente integriert werden, um diese zu erproben.

Zusätzlich werden verschiedene Teststrukturen zur genaueren Untersuchung des verwendeten Prozesses und für Tests möglicher weiterer Funktionalität, insbesondere beim integrierten Nachweis von Bindungsereignissen, auf dem Chip untergebracht. Dieser Nachweis von Bindungsereignissen soll nur mit in CMOS zur Verfügung stehenden Mitteln erfolgen, also insbesondere keine beweglichen Teile, wie sie nur in MEMS-Prozessen (siehe Anhang 1) verfügbar sind, benötigen. Ein Verfahren mit akzeptablem Aufwand an physikalischen Vorarbeiten und in der Mikroelektronik ist die optische Detektion. Daher werden Strukturen für die notwendigen Tests zur Untersuchung der Eignung dieser Verfahren entworfen.

Weiterhin werden für eine potentielle Anwendung bei der Suche nach katalytischen Enzymen erste Versuche, mit einem oberflächenmodifizierten Chip Wasserstoff optisch oder resistiv zu detektieren, ermöglicht.

Es wurde ein Konzept erarbeitet, um alle Anforderungen mit diesem dritten Peptidchip zu erfüllen. Eine logische Unterteilung der Komponenten des Chips in drei Teile wird den Anforderungen gerecht:

1. die verschiedenen Hochspannungs-Pixelfelder, einige davon mit integrierten Photodioden und Vorverstärkern, in möglichst vielen Varianten, insbesondere in verschiedenen Größen zur Untersuchung des Tonerübertrags
2. ein Versorgungs- und Ansteuerungsteil, der die Pixel ansteuert und Versorgungs- und Biasspannungen zur Verfügung stellt sowie ausgelesene Photospannungen über die Pads treibt
3. Teststrukturen, insbesondere einzelne Hochspannungstransistoren, wie sie in den Hochspannungspixeln verwendet werden, um deren genaue Kennlinien aufnehmen zu können, die verschiedenen im Prozess möglichen Photodioden und eine Teststruktur zum resistiven Wasserstoffnachweis

5.2 Prozesswahl

Fertigungsprozesse stehen der Universität Heidelberg im Rahmen des Europractice-Programms [EUR] zur Verfügung. Zum geplanten Submissionszeitpunkt waren folgende Hochspannungsprozesse verfügbar:

Anbieter	Prozessname	Strukturgröße [µm]	max. Spannung [V]	max. Metalllagen
austriamicrosystems [1]	0.8µ CXZ	0,8	50	2
AMIS [2]	C07M I2T100	0,7	100	3
AMIS	C035M I3T80	0,35	80	5

Tabelle 5.1: Verfügbare Hochspannungsprozesse für Peptidchip 3

Wünschenswert sind aufgrund der oben genannten Ziele eine möglichst hohe maximale Spannung der Hochspannungstransistoren sowie die Möglichkeit zu kleinen Hochspannungs-pixeln.

Mindestens 3 Metalllagen sind erforderlich, da die Potentialflächen der Pixel in jedem Fall die oberste Metalllage belegen und danach noch mindestens 2 Metalllagen für kreuzende elektrische Verbindungen zur Verfügung stehen müssen. Damit entfällt der Prozess austriamicrosystems 0.8µ CXZ für den Chip als Wahlmöglichkeit.

Die Betrachtung der Layoutregeln ergab, dass die minimalen Abmessungen der Hochspannungstransistoren die bestimmende Größe für den Flächenbedarf eines Pixels sind, da ein einzelner Hochspannungstransistor minimaler Größe unter Umständen einen höheren Platzbedarf als eine Speicherzelle in Niederspannung hat (die genauen Größenverhältnisse sind in Abschnitt 6.2.1 dargestellt).

Entgegen der nahe liegenden Vermutung, dass auch die Hochspannungsbauteile mit schrumpfender Strukturgröße weniger Platz brauchen, zeigt sich für die AMIS-Prozesse, dass der ältere 0,7µm – Prozess kleinere Hochspannungspixel ermöglicht als der neu entwickelte 0,35µm - Prozess. Insbesondere sind in diesem Prozess nicht nur Feldeffekttransistoren zum Schalten der Niederspannung von 5V und der maximalen Hochspannung von 100V, sondern auch kleinere Hochspannungstransistoren für den Betrieb bis 60V beziehungsweise 30V verfügbar, so dass bei diesen mittleren Spannungen auch kleinere Pixel bis unter 50µm Kantenlänge möglich werden.

Die zu erwartenden deutlich größeren Abmessungen des Digitalteils mit I^2C-Interface werden in einem späteren Chip mit mehreren Quadratzentimetern Fläche als vernachlässigbar erachtet, da die hierfür nötige Fläche anhand von vergleichbaren im ASIC-Labor gefertigten Digitalschaltungen auf wenige Quadratmillimeter abgeschätzt wird.

Entsprechend wurde AMIS C07M I2T100 für den Peptidchip 3 ausgewählt.

[1] auch AMS, Austria Micro Systeme International AG
[2] AMI Semiconductor Belgium BVBA

5.3 Konzeption der Teilkomponenten

5.3.1 Die Hochspannungs-Pixelfelder

Das Konzept für die Hochspannungs-Pixelfelder berücksichtigt die mit dem Vorgängerchip gewonnenen Erfahrungen. Verstandene Probleme werden behoben oder umgangen, und die weitere Erforschung unverstandener Probleme wird ermöglicht:

1. Um die Erhitzung des Chips zu vermeiden, werden die in diesem Prozess verfügbaren HV-PMOS-Transistoren genutzt (siehe Abschnitt 6.2.1.3).
2. Es kann bei Spannungen bis 100V untersucht werden, ob sich durch Verwendung solcher hohen Spannungen die Kontaminationen verringern lassen.
3. Eine Gegenelektrode in Form eines Gitters zwischen allen Pixeln, im Folgenden als *Gitterelektrode* oder *Gitter* bezeichnet, wird implementiert, um die Feldbereiche benachbarter Pixel besser zu trennen. Dies stellt auch eine Möglichkeit dar, die elektrischen Felder zu beeinflussen und Kontaminationen zu verringern.
4. Pixel mit Potentialflächen unter Passivierung werden erprobt. Theoretische Überlegungen ergeben einen praktisch vernachlässigbaren Effekt der ca. 1µm dicken Passivierung auf die elektrischen Felder. Dafür bietet diese Passivierung deutlich verbesserten Schutz vor äußeren Einwirkungen wie Reinigung oder Chemikalien und erlaubt komplexere Geometrien der Potentialfläche.
5. Sowohl die Parameter zukünftiger Chips als auch die Eigenschaften der Tonerkammer können unter Verwendung des dritten Peptidchips optimiert werden, um eine möglichst dichte, aber dünne Beschichtung der Pixel zu erzielen. Es kann untersucht werden, ob auch mit diesem Chip noch Beschichtungsmusterinversion auftritt und unter welchen Bedingungen dies geschieht.

Darüber hinaus werden auf dem Chip erstmals Multipolpixel (Abschnitt 3.2.4) erprobt.

Für Schaltpixel mit darunter befindlichen Photodioden werden „löchrige“ Potentialflächen erprobt. Die Löcher sind klein gegen die Größe der Tonerpartikel, da auch über diesen Löchern eine dichte Tonerdecke entstehen soll, aber groß gegen die Wellenlänge des einfallenden Lichts. Daher werden vor allem Löcher mit Kantenlängen zwischen 3µm und 10µm bei verschiedenen Löcherdichten auf den Pixeln erprobt. Solche Potentialflächen werden erst durch die Beibehaltung der Passivierung ermöglicht, da Passivierungsöffnungen in den verfügbaren CMOS-Prozessen immer vollständig mit Metall auf der obersten Metalllage ausgefüllt sein müssen und Mindestgrößen von 15µm aufwiesen.

Die Signale der Photodioden in den Pixeln müssen dort vorverstärkt werden, um über die Zuleitungen getrieben werden zu können. Aufgrund der verschiedenen Anwendungsgebiete - und damit verschiedenen benötigten Empfindlichkeiten - beim Einsatz von Floureszenz- und Chemoluminiszenzmarkern oder beim Wasserstoffnachweis mit transmittiertem Licht wird ein generischer Verstärker zur Wandlung des Photostroms in eine Ausgangsspannung mit über eine Biasspannung einstellbarem Verstärkungsfaktor eingesetzt. Damit können Daten über die Empfindlichkeit der Photodioden gewonnen werden und bereits Experimente mit den Markern durchgeführt werden. Diese Experimente erlauben es dann, ein angepasstes Verstärkerkonzept für den Folgechip zu entwickeln, das über eine speziell auf die Anwendung abgestimmte Empfindlichkeit verfügt.

5.3.2 Der Versorgungsteil

Der Versorgungsteil hat vier Aufgaben zu erfüllen:

1. Ansteuerung der Pixel
2. Erzeugung der Biasspannungen
3. Verstärkung der Signale von den Photodioden in den Pixeln, um diese über Bondpads aus dem Chip treiben zu können
4. Kontakt mit der Außenwelt über Bondpads

Als Grundlage für die Ansteuerung der Pixel wird der I^2C-Standard ausgewählt, ein serielles Protokoll zur Kommunikation zwischen Mikrochips [PHI00]. Vorteile der Verwendung dieses Standards sind:

- serielles Protokoll mit nur zwei Leitungen
- einfaches Übertragungsprotokoll
- Verfügbarkeit von bereits entwickelten Mastern, die sich direkt an einen Labor-PC anschließen lassen
- etablierter Standard, über den auch andere Geräte angesteuert werden können

Der Peptidchip kann hier als Slave betrieben werden, der nur die Anforderungen des vom Labor-PC gesteuerten Masters verarbeitet.

Es wird existierender Verilog-Code eines I^2C-Interfaces von Daniel Baumeister [BAU99] als Grundlage dieser Ansteuerung verwendet. Dieser existierende Code wird im Rahmen dieser Arbeit um die nötigen Komponenten für eine Ansteuerung der Pixelfelder des Peptidchips erweitert. Zusätzlich dient eine einfache direkte Ansteuerung der Pixel als Rückfalllösung und für erste Tonerübertragsversuche. Zwischen den Ansteuerungsmodi kann durch externe Signale ausgewählt werden. Die Ansteuerung wird in Abschnitt 6.3.2 näher beschrieben.

Die Biasspannungen werden mit Hilfe von Stromspiegeln erzeugt, da sich von außen zugeführte Ströme leichter als Spannungen mit der benötigten Genauigkeit einstellen und messen lassen. Insbesondere wird so Unabhängigkeit von den Prozessparametern, insbesondere der Thresholdspannung, erreicht. In Abschnitt 6.3.1 werden die Überlegungen zum Entwurf dieser Stromspiegel erläutert.

Die Verstärkung der Signale von den Photodioden wird in Abschnitt 6.3.3 beschrieben.

Die Bondpads sind so angeordnet, dass nur eine oder zwei gegenüberliegende Seiten mit Bonddrähten versehen sind. So wird das Zusammenfließen des Glob-Tops durch seine Oberflächenspannung beim Abkleben der Bonddrähte verhindert beziehungsweise vom Bereich der Pixelfelder ferngehalten. Insbesondere die während der Beschichtung nötigen Bondpads liegen ausschließlich auf einer Seite, so dass bei reinen Beschichtungsexperimenten auf die anderen Bonddrähte verzichtet werden kann.

5.3.3 Die Teststrukturen

Folgende Teststrukturen werden auf dem Chip untergebracht:

- alle im gewählten Prozess möglichen Photodioden, davon die für den Einsatz in späteren Chips wahrscheinlich bestgeeigneten in verschiedenen Größen. Anhand von einer ausgewählten Photodiode kann die Abschwächung einfallenden Lichts durch die Photodiode bedeckende Metalllagen überprüft werden
- eine Teststruktur für resistiven Wasserstoffnachweis
- sämtliche verwendete Hochspannungstransistoren als an allen Terminals kontaktierbare Einzelbauteile sowie ein parasitärer FOXFET, wie er unter der Potentialfläche vorkommen würde, mit einer Abschirmung, wie sie auch im Pixel genutzt wird

Um Bondpads zu sparen, werden die einzelnen Hochspannungstransistoren nicht mit Bondpads verbunden. Anstatt dessen werden kleinere Pads verwendet, die so angeordnet sind, dass sie mit einer vorhandenen *Nadelkarte*[1] kontaktiert werden können.

Für die Test-Photodioden müssen Bondpads verwendet werden, da eine Nadelkarte bei Versuchen, die Chipoberfläche zu beleuchten, unvermeidlich im Weg wäre.

5.3.4 Wasserstoffdetektion

Wie bereits in Abschnitt 1.2.2.3 beschrieben, ist eine mögliche Anwendung von Peptidarrays die Suche nach katalytischen Peptiden. Für katalytische Reaktionen, bei denen Wasserstoff frei wird, wurden zwei Detektionsverfahren auf der Basis der Veränderung der optischen beziehungsweise elektrischen Eigenschaften von Wolframoxid (WO_3) vorgeschlagen. Aus den Ergebnissen von [NAK03], [SEK00] und [LEE00] folgt, dass eine dünne Schicht aus Wolframoxid, die Wasserstoff aufnimmt, vom Isolator zum Leiter wird (Änderung der elektrischen Leitfähigkeit um sechs Größenordnungen bei einprozentigem Wasserstoffgehalt in Stickstoffatmosphäre). Die Transparenz eines Wolframoxidfilms nimmt in Wasserstoffatmosphäre im Wellenlängenbereich zwischen 600nm und 1000nm ab. Die Möglichkeit der Abscheidung von geeigneten Filmen auf der Chipoberfläche wird in der Abteilung „Chipbasierte Peptidbibliotheken“ am DKFZ untersucht. Ist diese Abscheidung möglich, so kann ein Wasserstoffnachweis basierend auf der Messung der Abschwächung von durch die Wolframoxidschicht auf den Chip eingestrahltem Licht bei Verwendung der Pixel mit Photodioden erreicht werden.

Zusätzlich wird eine Teststruktur zur Vermessung des elektrischen Widerstandes der Wolframoxidschicht auf dem Chip untergebracht.

[1] Eine Nadelkarte ist ein PCB, das in einem Bereich eine Gruppe von biegsamen Metallnadeln aufweist. Diese Karte kann mit Hilfe eines Waferprobers so über einem Chip positioniert und abgesenkt werden, dass diese Metallnadeln genau die für sie vorgesehenen Pads auf der Chipoberfläche treffen und kontaktieren.

6. Design und Layout Peptidchip 3

6.1 Überblick

Den drei konzeptionellen Teilen (Abschnitt 5.3) des Peptidchips entsprechen drei Bereiche im tatsächlichen Layout des Chips. Abb. 6.1 zeigt die Layout-Ansicht des Peptidchips 3. Die regelmäßigen Strukturen in dem mit 1 bezeichneten Bereich sind Felder verschiedener Pixelarten. Sie werden in Abschnitt 6.2 näher beschrieben und Abschnitt 6.2.4 einzeln aufgelistet.

Die Strukturen im Bereich 2 dienen der Erzeugung der verschiedenen Biasspannungen. Sie werden in Kapitel 6.3.1 im Detail erläutert. Zusammen mit dem im Bereich 3 lokalisierten I^2C-Interface mit den typischen kleinen Strukturen digitaler Schaltungen bilden sie den Versorgungs- und Ansteuerungsteil des Chips. Auf die ebenfalls dem Versorgungsteil zuzurechnenden Bondpads, d.h. die quadratischen Strukturen rechts und links am Rand des Chips und auf ihre Anordnung wird in Kapitel 6.3.4 eingegangen.

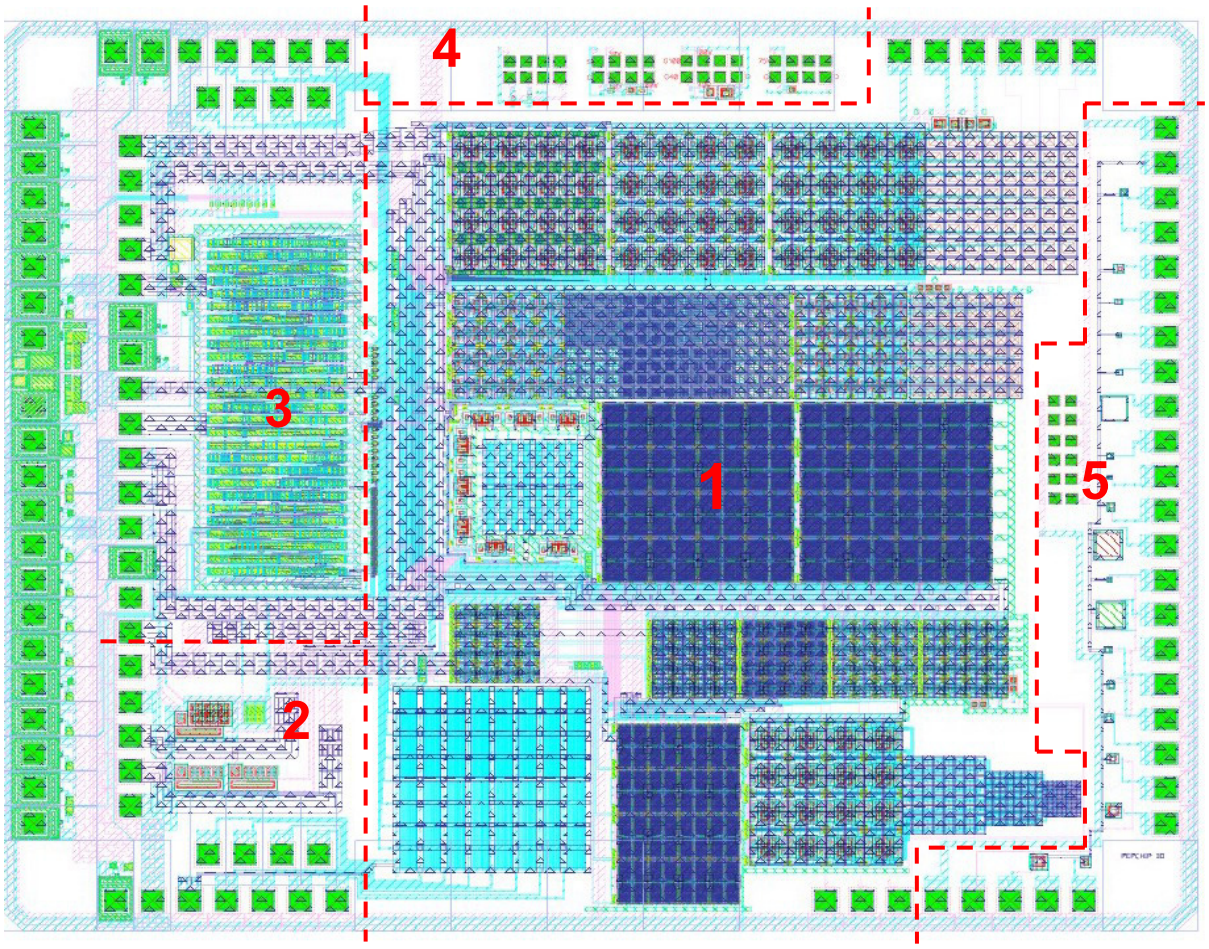

Abb 6.1: Layout des Peptidchip 3. Die Zahlen bezeichnen verschiedene funktionale Bereiche des Chips (siehe Text).

Am oberen und am rechten Rand des Chips sind die Teststrukturen untergebracht. Bei 4, am oberen Rand des Chips befinden sich einzelne Hochspannungstransistoren. Diese werden nicht über Bondpads, sondern mit Hilfe einer Nadelkarte kontaktiert. Sie sind in Kap. 6.4.1 beschrieben. Am rechten Rand, zwischen Bondpads und Pixelfeldern befinden sich näherungsweise quadratische Strukturen verschiedener Größe in linearer Anordnung. Es handelt sich um die Test-Photodioden, beschrieben in Kap. 6.4.2. Im selben Bereich, bei 5, findet sich die Teststruktur für den resistiven Wasserstoffsensor, auf die in Kap. 6.4.3 eingegangen wird.

6.2 Die Pixelfelder

6.2.1 Schaltpixel

6.2.1.1 Übersicht

Jeder Schaltpixel ist aus drei Komponenten aufgebaut (Abb. 6.2):

1. Einer Speicherzelle in Niederspannungstechnologie, die sich über einen Datenbus programmieren und auslesen lässt. Sie wird zeilenweise adressiert.
2. Einem Hochspannungsinverter, der den in der Speicherzelle in niederer Spannung gespeicherten Wert in das gegenteilige Signal in Hochspannung umsetzt. Dabei existieren abhängig von der Pixelgröße verschiedene Hochspannungsinverter mit Ausgangsspannungen von 30V, 60V und 100V.
3. Der Potentialfläche, bestehend aus einer das Pixel überdeckenden Metallplatte auf der obersten Metalllage des Prozesses, die für den Aufbau des elektrischen Feldes auf der Pixeloberfläche genutzt wird. Aus elektronischer Sicht ist die Potentialfläche ein Kondensator mit einer Kapazität im Bereich von einigen zehn bis einigen hundert Femtofarad. Die Potentialfläche ist mit dem Ausgang des Hochspannungsinverters verbunden.

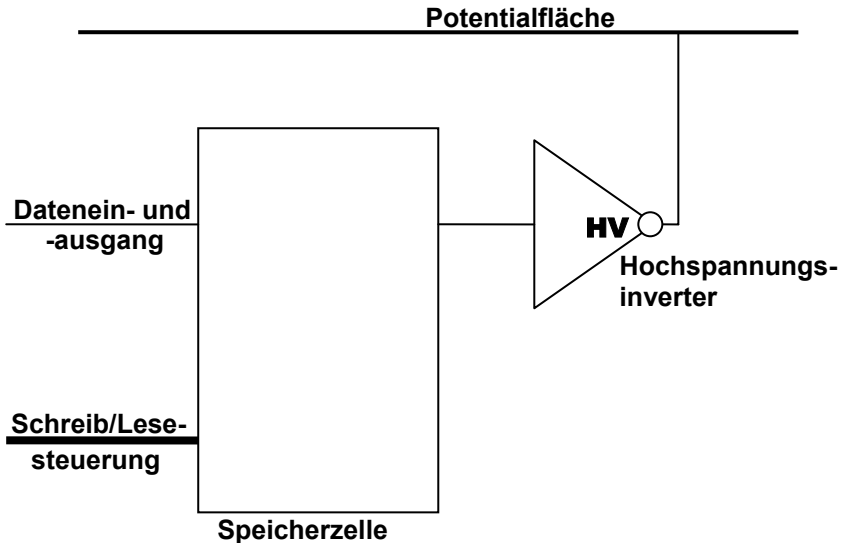

Abb. 6.2: Verschaltung der Komponenten eines Schaltpixels

6.2.1.2 Die Speicherzelle

Die Speicherzellen werden vom Digitalteil zum Lesen und zum Schreiben immer in Bytes von acht Zellen parallel angesteuert. Diese acht Zellen liegen nebeneinander in einer Zeile. Ein Pixelfeld von 64 Pixeln besteht aus acht solchen Zeilen. Dies wurde ausgenutzt, um in einem einzelnen Pixel möglichst wenig Platz zu verbrauchen: Die Speicherzellen wurden unterteilt in einen gemeinsamen Ansteuerungsbereich, in dem für alle acht Zellen bestimmt wird, ob diese gerade einen Lese- oder Schreibzugriff erhalten. Damit verbleibt in jeder Zelle nur noch der Speicher selbst, alle Steuersignale werden gemeinsam über einen lokalen Datenbus von außen geliefert.

Die äußeren Steuersignale, die im I^2C–Interface erzeugt werden, sind `RnotW`, `X` und `Y`.

`RnotW` ist ein globales Signal, das also an allen Pixeln identisch anliegt. Dieses Signal liegt auf Massepotential (logische 0), wenn Pixel beschrieben werden und auf Versorgungsspannung (logische 1) bei Lesezugriffen auf Pixel.

`X` und `Y` geben die Spalte und Zeile eines angesteuerten Bytes an, sind also für verschiedene Pixelbytes verschieden. Demzufolge wird ein Pixelfeld mit acht Pixelbytes über ein `RnotW`-Signal, ein `X`-Signal und acht `Y`-Signale angesteuert. Weiterhin ist jedes Pixelfeld an den acht Spalten breiten globalen Datenbus `Data[0..7]` angeschlossen.

Abb. 6.3 zeigt das Verhältnis zwischen gemeinsamem Ansteuerungsbereich und den Speicherzellen in den Pixeln, während die genauen Schaltpläne des gemeinsamen Ansteuerungsbereiches und der Speicherzellen in jedem Pixel in Abb. 6.4 bzw. Abb. 6.5 zu finden sind.

Aus `X`, `Y` und `RnotW` generiert der gemeinsame Bereich drei Signale und deren Komplemente, die an die zugehörigen Speicherzellen weitergegeben werden und dort jeweils einen *Clocked Inverter* (s.u.) in der Speicherzelle aktivieren (Tab. 6.1).

Name	**log. Bedingung**	**Funktion**
`EnablePhoto`	$X \wedge Y$	Aktivierung des Photo-Vorverstärkers (s. Kap. 6.2.3)
`notEnablePhoto`	$\overline{X \wedge Y}$	s.o.
`DataEnable`	$X \wedge Y \wedge \overline{RnotW}$	Übernahme der Daten vom Datenbus in die Speicherzelle
`notDataEnable`	$\overline{X \wedge Y \wedge \overline{RnotW}}$	s.o.
`ReadBackEnable`	$X \wedge Y \wedge RnotW$	Schreiben der Daten aus der Speicherzelle auf den Datenbus
`notReadBackEnable`	$\overline{X \wedge Y \wedge RnotW}$	s.o.

Tab. 6.1: Übersicht der vom gemeinsamen Ansteuerungsbereich generierten, in Abb. 6.3 als „Ansteuerung“ zusammengefassten Signale des lokalen Ansteuerungsbusses

`DataEnable`, `ReadBackEnable` und ihre Komplemente werden in den Speicherzellen verarbeitet, `EnablePhoto` und `notEnablePhoto` im Vorverstärker der Photozellen (s. Abschnitt 6.2.3).

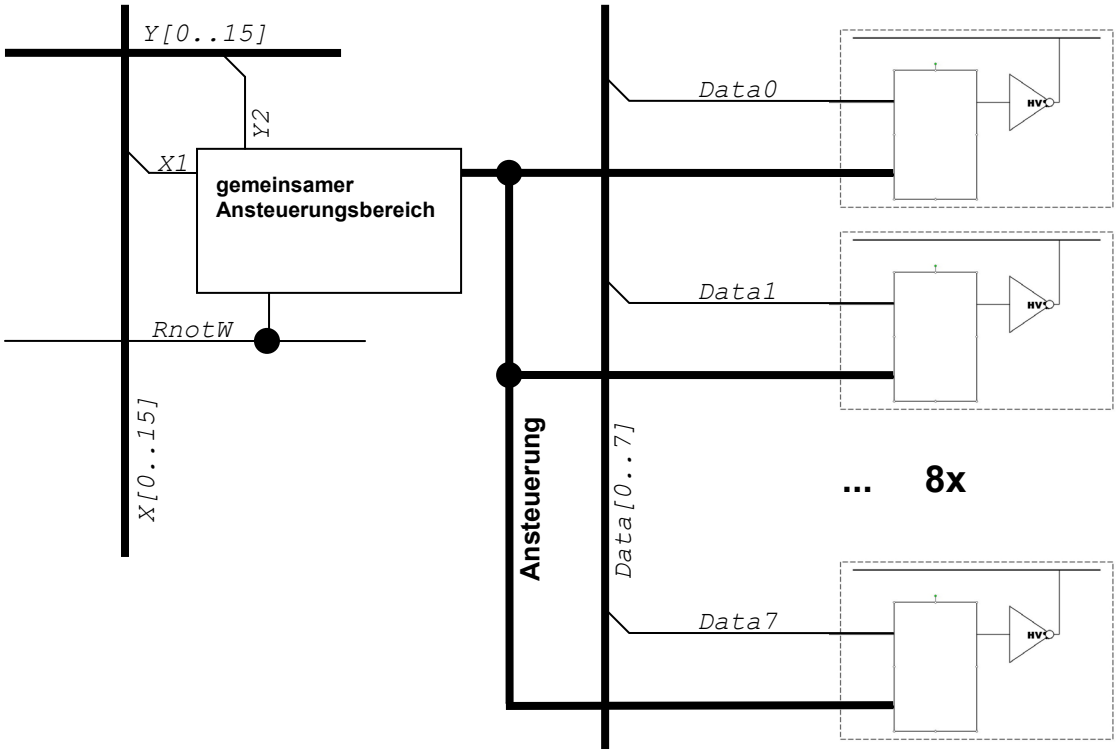

Abb. 6.3: Verhältnis zwischen Speicherzellen der Pixel und gemeinsamem Ansteuerungbereich, am Beispiel des Bytes X=1, Y=2

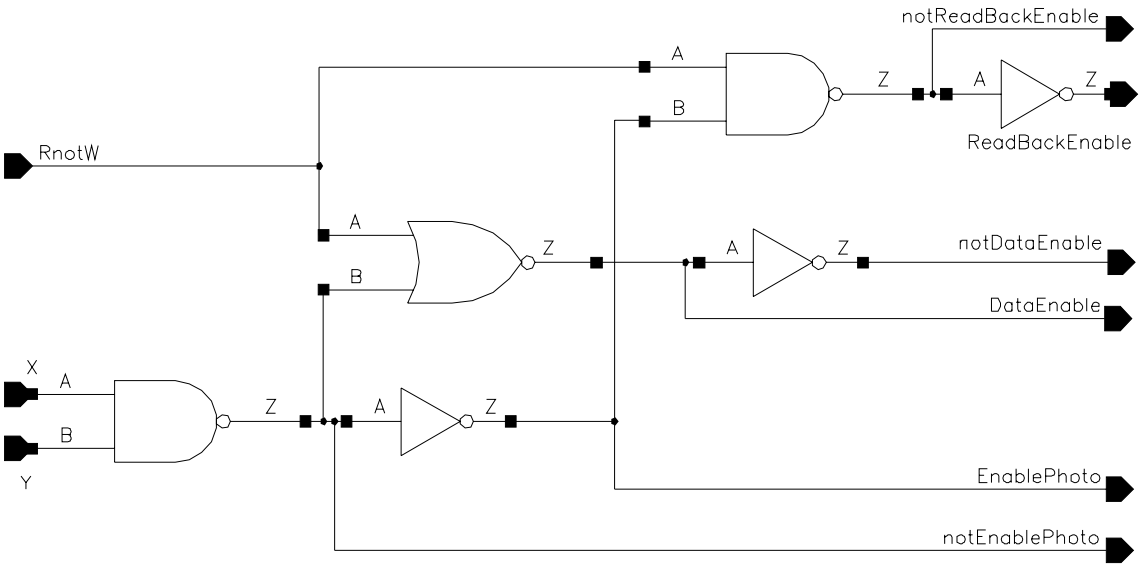

Abb. 6.4: Schaltplan des gemeinsamen Ansteuerungsbereiches

Die Speicherzelle selbst ist aus einem Inverter und drei *Tri-State-Invertern*[1] oder „*Clocked Invertern*“ aufgebaut. Ein Clocked Inverter bildet zusammen mit dem einfachen Inverter die eigentliche Speicherzelle, während je einer der anderen Clocked Inverter für das Beschreiben und die Auslese genutzt wird. Ist `DataEnable` aktiv, wird der Wert in der Speicherzelle durch den Wert am Eingang `Data` ersetzt. Ist dagegen `ReadBackEnable` aktiv, wird der Wert der Speicherzelle auf `Data` getrieben. Am Ausgang `Out`, der mit dem Eingang des Hochspannungsinverters verbunden ist, liegt immer der inverse in der Speicherzelle gespeicherte Wert an.

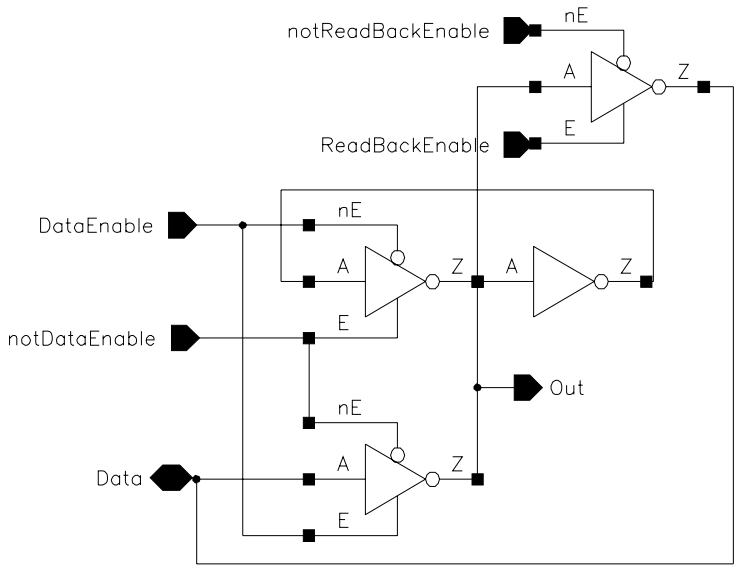

Abb. 6.5: Schaltplan der in jedem Schaltpixel vorhandenen Speicherzelle

6.2.1.3 Der Hochspannungsinverter

In CMOS werden Inverter üblicherweise als sogenannte Push-Pull-Inverter realisiert, es wird also das zu invertierende Signal mit den Gates eines PMOS- und eines NMOS-Transistors verbunden. Der PMOS-Transistor schaltet die Verbindung zwischen hoher Versorgungsspannung (in unserem Prozess 5V) und Ausgang, der NMOS die Verbindung zwischen niedriger Versorgungsspannung (Masse, also 0V) und Ausgang. Die Schwellenspannungen der Transistoren sind vom Prozessanbieter in der Regel so gewählt, dass bei einer Gatespannung gegen Masse von 0V der NMOS sperrt, der PMOS dagegen leitet, bei Gatespannung 5V gegen Masse dagegen umgekehrt.

Dieses Prinzip lässt sich mit den Hochspannungstransistoren unseres Prozesses allerdings nicht realisieren. Bei den verwendeten Hochspannungstransistoren sind Drain und Source nicht vertauschbar. Source des NMOS muss in dem Inverter mit Ground verbunden werden, Source des PMOS mit der Hochspannung. Die maximalen Gate-Source-Spannungen der HV-

[1] Tri-State-Inverter, auch Clocked Inverter genannt, können zusätzlich zu den üblichen Zuständen 0 und 1 am Ausgang auch gesperrt werden, d.h. kein Signal wird getrieben. Hierzu verfügt der Clocked Inverter über zwei zusätzliche Eingänge, Enable (E) und notEnable (nE), an denen immer komplementäre Signale anliegen müssen. Liegt an Enable 1 und an notEnable 0 an, funktioniert der Clocked Inverter wie ein gewöhnlicher Inverter. Im umgekehrten Fall wird am Ausgang kein Signal getrieben.

NMOS liegen bei 12V, die der HV-PMOS bei –12V. Das bedeutet, dass zum Beispiel bei einem 100V-PMOS mit Versorgungsspannung 100V auf Source die Gatespannung nur zwischen 88V und 100V liegen darf.

Die NMOS-Transistoren können also sehr gut von den Signalen der Niederspannungslogik getrieben werden. Für die PMOS-Transistoren jedoch liegen die Signale der Niederspannungslogik bei 0V bis 5V weit außerhalb des erlaubten Bereiches. Eine andere Lösung musste daher gefunden werden.

Pegelkonverter (Level Shifter) sind üblicherweise Mittel der Wahl, um den Spannungsbereich eines Signals zu verschieben. Nach [BAL99] kann ein Hochspannungs-Pegelkonverter gebaut werden, der für unseren Push-Pull-Inverter die gewünschte Verschiebung des Signals des Digitalteils für den Hochspannungs-PMOS liefern könnte. Dieser Pegelkonverter hat jedoch für die Anwendung im Peptidchip gravierende Nachteile: Der Flächenbedarf des Konverters ist ähnlich groß wie der des gesamten Hochspannungsinverters, da er unter anderem zwei Hochspannungs-NMOS enthalten muss. Weiterhin fließen größere Ruheströme durch den Konverter. Diese lassen sich zwar durch ein modifiziertes Design verringern, jedoch mit dem Nachteil eines erhöhten Platzbedarfs, da vier Hochspannungstransistoren eingesetzt werden müssen.

Eine andere Lösung, die auch schon im Peptidchip 2 genutzt wurde, ist die Verwendung eines NMOS-Inverters. Im Vergleich zum Push-Pull-Inverter wird bei diesem Bauteil der PMOS zwischen Ausgang und VDD durch einen Widerstand ersetzt. Die Größe dieses Widerstands kann im Bereich zwischen dem Widerstand des NMOS im leitenden Zustand und dem Widerstand des NMOS im gesperrten Zustand gewählt werden. Dieser Widerstand führt je nach gewähltem Widerstandswert jedoch zu zwei deutlichen Nachteilen des NMOS-Inverters gegenüber dem Push-Pull-Inverter: Zum Einen fließt im NMOS-Inverter im Gegensatz zum Push-Pull-Inverter bei leitendem NMOS ein Querstrom $I_{quer} = V / (R + R_{on})$, wobei V der Spannungsabfall über dem Inverter, R der Pull-up-Widerstand und R_{on} der Widerstand des NMOS im leitenden Zustand sind. Zum anderen wird der Inverter für das Aufladen kapazitiver Lasten C bei großem R langsamer. Es gilt für die Zeitkonstante $\tau = 1 / (R * C)$.

R ist also möglichst klein zu wählen, wenn große kapazitive Lasten schnell aufgeladen werden müssen. Sollen dagegen nur geringe Ströme fließen, muss R groß gewählt werden.

Beim Peptidchip sind mit den Potentialflächen große kapazitive Lasten zu schalten. Allerdings sind auch einige Sekunden Aufladezeit für die Potentialflächen akzeptabel, da die meisten Verarbeitungsschritte in einem Beschichtungszyklus Minuten bis Stunden in Anspruch nehmen werden. Die Querströme dagegen sollen klein gehalten werden, zum einen um Fläche für Zuleitungen der Versorgungsspannungen einzusparen, zum anderen um eine Erwärmung des Chips und damit ein vorzeitiges Anschmelzen des Peptidtoners zu verhindern. Daher wird R auf dem Peptidchip möglichst groß gewählt.

Die platzsparendste Möglichkeit, einen sehr großen Widerstand zu realisieren, ist die Verwendung eines PMOS-Transistors als Stromquelle. Dabei wird das Gate des PMOS auf einer *Referenzspannung* oder Biasspannung nahe der Thresholdspannung gehalten. Der PMOS verhält sich dann in guter Näherung bei nicht zu großen Lastwiderständen als ideale Stromquelle. Die Erzeugung dieser Referenzspannung wird in Abschnitt 6.3.1 beschrieben.

Für einen Typ der auf dem Chip verwendeten Pixel, die größten Pixel mit Versorgungsspannung 100V (Kantenlänge 79,7µm), ergibt eine Abschätzung mit Hilfe der Prozessparameter [AMI02] eine Pixelkapazität von nicht mehr als 0,5pF. Um eine

Zeitkonstante τ von einer Zehntelsekunde zu erreichen, kann der PMOS-Transistor nach $\tau = 1 / (R * C)$ so eingestellt werden, dass er einem Widerstand von 200MΩ entspricht. Dann würde pro Pixel bei einer Spannung von 100V ein Strom von maximal 500pA fließen, was einer Flächenleistungsdichte von etwa 8µW/mm^2 entspricht. Beim Peptidchip 2 betrug die Flächenleistungsdichte, wie in Kapitel 4 gezeigt, etwa 95W/mm^2. Die Flächenleistungsdichte kann somit um 7 Größenordnungen verringert werden und liegt nun in einem Bereich, der noch um mehrere Größenordnungen von dem Bereich entfernt ist, in dem eine wesentliche Erwärmung des Chips zu erwarten wäre.

Wie man in Tab. 6.2 erkennen kann, nehmen die Hochspannungstransistoren und insbesondere der Isolationsbereich um diese Transistoren herum die größte Fläche in den Pixeln ein. Ein Teil der für den Isolationsbereich nötigen Fläche lässt sich allerdings einsparen. Der zwischen zwei identischen Hochspannungstransistoren benötigte Isolationsbereich ist kleiner als derjenige zwischen zwei verschiedenen Transistoren oder zwischen HV-Bauteilen und einem Niederspannungsbereich. Daher wurden jeweils vier Pixel gemeinsam entworfen, wobei die Positionen benachbarter Hochspannungstransistoren im Pixel gespiegelt zueinander untergebracht sind. Die einzelnen HV-Transistoren selbst sind jedoch nicht gespiegelt, da Transistoren mit verschiedener Ausrichtung sich insbesondere in der Schwellenspannung aufgrund von Prozessvariationen unterscheiden können. Besonders bei den PMOS-Transistoren wäre dies sehr von Nachteil. Jedoch bleibt der gewonnene Platz auch bei nicht gespiegelten sondern verschobenen Transistoren identisch, da der Guardring in alle Richtungen ähnlich ausgedehnt ist (Abb. 6.5). In Tabelle 6.2 wird bereits der Platzbedarf der optimiert angeordneten Transistoren angegeben. Die Speicherzellen wurden nach demselben Prinzip optimiert platziert.

Pixelspannung [V]	**minimale Kantenlänge [µm]**	**Fläche HV-Inverter [µm^2]**	**Fläche Speicherzelle [µm^2]**
30	43,8	1070	430
60	58,6	1980	430
100	79,7	4060	430

Tab. 6.2: Platzbedarf der Hochspannungstransistoren im Substrat in den verschiedenen HV-Pixeln, auf 10µm^2 gerundet. Zum Vergleich der Platzbedarf der Speicherzelle in Niederspannungstechnik. Nicht nutzbare Flächen im Umfeld der Inverter beziehungsweise der Speicherzelle wurden dem Flächenverbrauch zugeschlagen. Die minimalen Kantenlängen ergeben sich aus der Notwendigkeit, die beiden Hochspannungstransistoren nebeneinander in dem Pixel unterzubringen.

Beim Peptidchip muss auf die ansonsten übliche Trennung von Hoch- und Niederspannungsbereichen verzichtet werden. Insbesondere ist es unvermeidlich, auch Niederspannungstransistoren unter der Hochspannung führenden Potentialfläche auf der obersten Metallebene unterzubringen, ohne dass diese von einer dedizierten, geschlossenen Abschirmung überdeckt sind, da die verfügbaren Leiterbahnebenen für Signale führende Leiterbahnen benötigt werden. Im Niederspannungsteil wurde die Abschirmung dann dadurch erreicht, dass alle Metallleiterbahnen auf der ersten und zweiten Ebene so weit verbreitert sind, wie es die Prozessparameter zulassen. Diese Abstände liegen dort somit im Bereich zwischen 1µm und 1,5µm, so dass Durchgriffe des elektrischen Feldes unwahrscheinlich erscheinen. Hierbei darf in keinem Bereich eine Struktur vorliegen, in der sich ein ununterbrochener FOXFET-Kanal zwischen zwei getrennten Dotierungsregionen auf dem Chip ausbilden kann. Über den Hochspannungstransistoren wurden geschlossene Metallflächen zur Abschirmung des Isolationsbereichs zwischen HV-MOSFET und umgebendem Substrat gegen die Potentialfläche vorgesehen. Diese Metallflächen werden

jeweils auf demselben Potential wie die Isolationsbereiche, die sie schützen, gehalten. Die Funktion dieses Abschirmungskonzeptes muss im Experiment überprüft werden (Abschnitt 6.4.1).

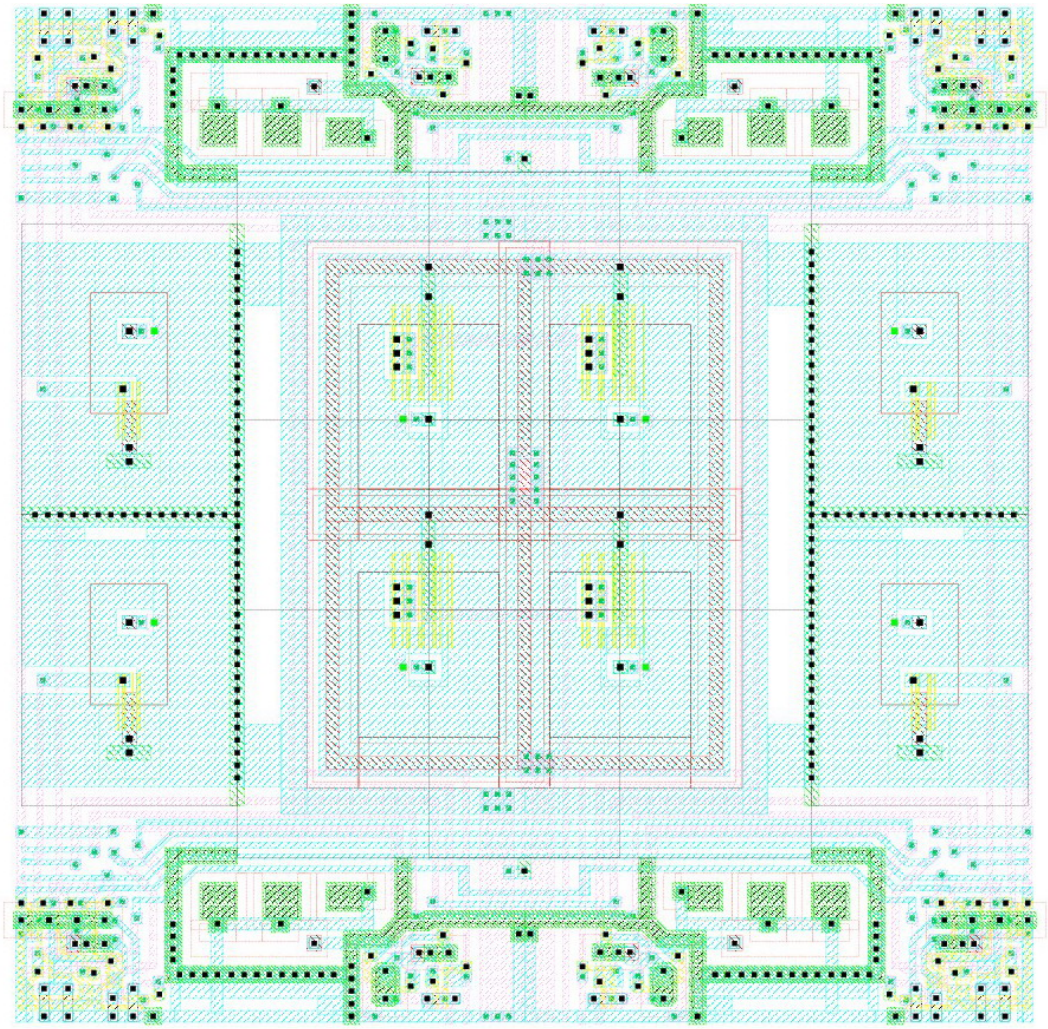

Abb. 6.5: Layout von vier benachbarten Pixeln minimaler Größe für den Betrieb bei 100V. Die oberste Metalllage ist aus Gründen der Übersichtlichkeit nicht gezeigt. In der Mitte sind die vier HV-PMOS angeordnet, rechts und links mittig jeweils zwei HV-NMOS. Oben und unten von außen nach innen sind jeweils eine Speicherzelle, drei Photodioden (zweimal 25µm^2 und einmal 17,5µm^2 aktive Fläche) und ein Photo-Vorverstärker (beschrieben in Abschnitt 6.2.3) untergebracht.

6.2.1.4 Die Potentialfläche

Die Potentialflächen sind die Bereiche auf dem Chip, auf denen die selektive Tonerablagerung stattfinden soll. Jedes Pixel ist daher mit einer solchen Potentialfläche ausgestattet, die wie in Abschnitt 6.2.1.3 beschrieben, vom Hochspannungsinverter auf ein Potential geschaltet wird. Realisiert ist die Potentialfläche als quadratische, rechteckige oder runde Fläche auf der obersten Leiterbahnebene des Chips.

Als Gegenelektrode zur Trennung benachbarter Pixel wurde zwischen den Potentialflächen ein Gitter aus Leiterbahnen eingezogen. Dieses Gitter ist direkt mit Bondpads verbunden und

kann direkt an eine Spannungsquelle angeschlossen werden. So ist eine zusätzliche Einflussnahme auf das elektrische Feld über dem Chip möglich.

Um die Detektion von gebundenen optisch markierten Proteinen zu ermöglichen, sollen Photodioden unter den beschichteten Flächen verwendet werden. In früheren Arbeiten wie [LOO96-1] wurde (anhand von anderen Halbleiterprozessen) gezeigt, dass Siliziumoxid für sichtbares Licht transparent genug ist, um in unter dem Oxid liegenden Photodioden Photonen nachzuweisen. Für den in dieser Arbeit verwendeten Prozess ist dieser Nachweis noch zu erbringen. Metalllagen zwischen der Chipoberfläche und der Photodiode dagegen reflektieren fast alles einfallende Licht und haben so in [LOO96-1] eine Abschwächung um etwa 3 Größenordnungen zur Folge. Die Potentialfläche auf der obersten Metalllage ist allerdings für die Beschichtung unverzichtbar.

Die Verteilung der Durchmesser der Tonerpartikel kann nach deren Herstellung mittels Sieben eingegrenzt werden. Üblicherweise wurden bei den Vorversuchen Tonerpartikel mit einem Durchmesser um 10µm verwendet. Es ist möglich, die Metallplatte so zu gestalten, dass sie ein Schachbrettmuster von Löchern im Metall, gefüllt mit dem isolierenden, transparenten Siliziumoxid, aufweist, mit Kantenlängen der Löcher bis zu 1,6µm. Diese Löcher sind immer noch größer als die Wellenlänge von sichtbarem Licht, so dass durch solche Löcher sichtbares Licht bis ins Substrat zu den Photodioden eindringen kann.

Löchermuster mit verschiedenen Lochgrößen und verschiedenen Metall-Siliziumoxid-Verhältnissen von 1:1 bis 1:7 wurden in Pixeln verschiedener Kantenlängen realisiert.

Beim Peptidchip 2 wurden die metallischen Potentialflächen – auf dieselbe Weise wie Bondpads – von der allgemeinen Überdeckung des Chips mit Passivierung ausgenommen. Solche Passivierungsöffnungen müssen allerdings sehr groß sein – quadratisch mit einer Kantenlänge von mindestens 15µm – und unter einer solchen Öffnung muss sich eine geschlossene Schicht aus Metall auf der obersten Metalllage befinden, die die Öffnung um mindestens 3µm umschließen muss. Daher sind diese Passivierungsöffnungen mit unseren löchrigen Potentialflächen nicht vereinbar.

Aus diesem Grund ist im Gegensatz zum Vorgängerchip die Potentialfläche bei diesem Chip mit der üblichen Passivierung aus Siliziumoxid bedeckt. Da diese Schicht sehr dünn ist, sind keine Auswirkungen auf die Beschichtungsqualität zu erwarten. Um dies zu überprüfen, wurden allerdings auch einige zusätzliche Pixelfelder ohne Passivierung auf dem Chip platziert und die Beschichtungsqualität auf diesen verschiedenen Feldern verglichen. Die für die Peptidsynthese nötigen chemischen Oberflächenmodifikationen sind sowohl auf Aluminium bzw. Aluminiumoxid als auch auf Siliziumoxid oder Siliziumnitrid möglich.

6.2.1.5 Teststrukturen der Schaltpixel

Die Funktionsfähigkeit der Speicherzellen und Hochspannungsinverter muss vor der Toneradsorption getestet werden können, um zu vermeiden, dass ein komplett ausgefallener oder fehlerhafter Chip beschichtet wird. Zudem soll es die Möglichkeit geben, einzelne Pixel jeder Spannung zu vermessen, um ihr Verhalten beschreiben zu können. Eine vollständige Überprüfung jedes einzelnen Pixels ist nicht nötig, da aufgrund von möglichen Verunreinigungen in einer späteren Anwendung ohnehin voraussichtlich mehrere Pixel identisch beschichtet würden und so Redundanz geschaffen würde. Eine solche Überprüfung wäre auch nicht mit angemessenem Aufwand zu realisieren, da für die Auslese des Zustandes eines Hochspannungspixels entweder ein Bondpad pro Pixel oder ein zusätzlicher HV-

Transistor pro Pixel benötigt würde. Nur der Zustand der Speicherzelle in Niederspannung kann zurückgelesen werden.

Aus diesem Grund wurde je eine Potentialfläche eines Schaltpixels mit 30V, 60V und 100V maximaler Spannung direkt mit einem Bondpad verbunden. So können diese Flächen über die Hauptplatine mit Messgeräten verbunden werden.

Aufgrund des als Widerstand geschalteten HVPMOS im Hochspannungsinverter sind diese Pixel jedoch im eingeschalteten Zustand, wie in Abschnitt 6.2.1.3 beschrieben, nur über einen sehr hohen Widerstand im GΩ-Bereich mit der Hochspannung verbunden. Dieser Widerstand ist viel größer als der Innenwiderstand eines handelsüblichen Tischmultimeters von ca. 10MΩ. Messungen an diesen Pads müssten also mit einer Picoprobe oder ähnlich aufwändiger Ausrüstung durchgeführt werden. Alternativ können die Messungen auch anstatt gegen Masse gegen die Versorgungsspannung V_{dd} durchgeführt werden, da der Widerstand des HV-Inverters gegen Ground bei leitendem HV-NMOS im Bereich von unter 50kΩ liegt. Dieser Widerstand ist dann klein gegen den Innenwiderstand des Messgeräts.

Trotzdem wurden, um auch Messungen gegen Masse durchführen zu können, die Ausgänge von je zwei Pixeln jeder Spannung über spezielle Verstärker, die wir Doppelsourcefolger nennen, mit Bondpads verbunden.

Diese Doppelsourcefolger bestehen aus je einem HV-NMOS und einem HV-PMOS die ähnlich wie Sourcefolger verschaltet sind. Diese Doppelsourcefolger können, da MOSFETs mit breiterem Kanal verwendet wurden, und da beide der Transistoren in den Sättigungsbereich schalten können, deutlich größere Ströme treiben, als die auf geringen Stromverbrauch optimierten Hochspannungsinverter minimaler Größe in den Pixeln. Ihre Funktion wird im Folgenden anhand des 100V-Doppelsourcefolgers kurz erläutert (Abb. 6.6).

In den beiden stabilen Zuständen dieser Schaltung, also für an den beiden Gates anliegende Spannungen von 0V und 100V, befinden sich beide MOSFETs im erlaubten Bereich:

- Für den Fall von 0V an den Gates ist der HV-PMOS leitend, der Ausgang und damit auch die Source des HV-NMOS, liegen auf 0V. Die Gate-Source-Spannung des HV-NMOS beträgt 0V, und er ist somit gesperrt.
- Für den Fall von 100V an den Gates ist der HV-NMOS leitend, der Ausgang und die Source des HV-PMOS liegen auf 100V. Die Gate-Source-Spannung des HV-PMOS beträgt 0V, er ist also gesperrt.

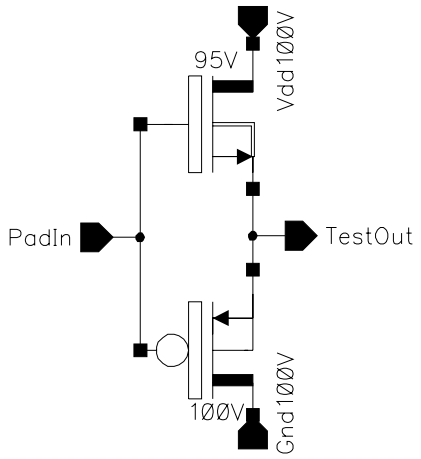

Abb. 6.6: Schaltplan des 100V-Doppelsourcefolgers

Probleme bereiten allerdings die Übergänge des unbelasteten Doppelsourcefolgers. So kann die Funktion der Doppelsourcefolger nicht gewährleistet werden, da die HV-Transistoren des Doppelsourcefolgers während des Schaltvorgangs des Hochspannungsinverters für kurze Zeit in den Bereich nach den Prozessparametern verbotener Gate-Source-Spannungen geraten. Wechselt zum Beispiel der Eingang von 0V auf 100V, wird zunächst ab einer Eingangsspannung von 5V der HV-PMOS gesperrt. Der Ausgang ist somit unkontaktiert, bis die Eingangsspannung 95V erreicht und der HV-NMOS beginnt, leitend zu werden. In erster Näherung hält der unkontaktierte Ausgang sein Potential. Diese Näherung gilt auch, wenn der Ausgang über einen großen Widerstand kontaktiert ist und die Schaltzeiten kurz sind. Es liegen dann Gate-Source-Spannungen von bis zu 95V im Doppelsourcefolger an. Beide Transistoren könnten in diesem Übergangszustand also zerstört werden, falls die Übergangszeiten lang genug andauern, um einen Gate-Source-Durchbruch auszulösen. Vermieden wird dieser Zustand, wenn ein nicht zu großer Widerstand gegen Masse oder Versorgungsspannung als Last verwendet wird, da sich dann ein echter Sourcefolger ergibt: Liegt zum Beispiel ein Widerstand parallel zum HV-NMOS, so bilden bei gesperrtem HV-NMOS der HV-PMOS und der Widerstand einen echten Sourcefolger, die Ausgangsspannung stellt sich auf den Wert der Eingangsspannung abzüglich der Thresholdspannung ein. Diese Spannung liegt dann im erlaubten Bereich aller Transistoren.

Die Ergebnisse der Simulation des Doppelsourcefolgers mit resistiver Last gegen Masse sind in Abb. 6.7 grafisch dargestellt. Die Simulation ist allerdings nicht in der Lage, die zerstörerischen Prozesse korrekt zu modellieren, sondern warnt nur, wenn während des Betriebs der verbotene Bereich betreten wird. Der Doppelsourcefolger spricht ab einer Eingangsspannung von etwa 2,5V an, und gibt dann um ca. 2,5V bis 3V verringert die Eingangsspannung an den Ausgang weiter. Die Funktion der Doppelsourcefolger ist dennoch im Experiment zu überprüfen.

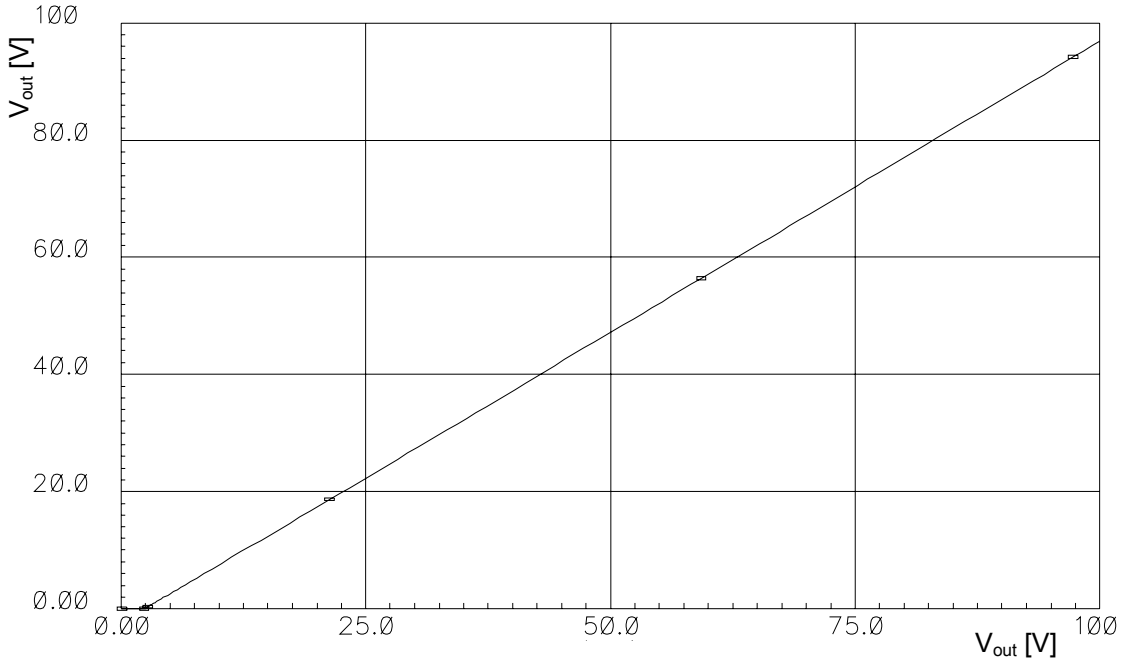

Abb. 6.7: Kennlinie (Ausgangsspannung V_{in} über Eingangsspannung V_{out}) des mit 10MΩ gegen Masse belasteten Doppelsourcefolgers (Simulation)

6.2.2 Multipolpixel

Zusätzlich zu den Schaltpixeln wurden zwei Felder von Multipolpixeln (siehe Abschnitt 3.2.4) auf dem Chip platziert. Diese gehen auf konzeptionelle Entwürfe von Alexander Nesterov zurück [NES05].

Ein Feld von 64 Multipolpixeln mit Kantenlänge von je 100µm (Leiterbahnbreite der Kammstrukturen auf der untersten Metallebene 1,5µm, Abstand der Leiterbahnen 2,0µm, Kantenlänge der Potentialflächen 75µm, Zwischenräume ausgefüllt mit einem Gitter auf der obersten Metallebene) wurde direkt mit acht Bondpads zur Ansteuerung der Zeilen und acht Bondpads zur Ansteuerung der Spalten verbunden. Auf die Bondpads wird also direkt die gewünschte Spannung der Zeile oder Spalte gegeben, so dass keine Transistoren benötigt werden. Diese Spannung kann daher auch über 100V hinausgehen, bis hin zur Durchbruchsspannung des isolierenden Siliziumoxids zwischen den kammartigen Elektroden. Diese Durchbruchsspannung kann in diesen Bauelementen ebenfalls direkt bestimmt werden.

Ein zweites Feld, ebenfalls 64 Multipolpixel, Kantenlänge je 50µm, (Leiterbahnbreite der Kammstrukturen auf der untersten Metallebene 1,4µm, Abstand der Leiterbahnen 1,6µm, Kantenlänge der Potentialflächen 28,4µm, Zwischenräume ausgefüllt mit einem Gitter auf der obersten Metallebene) wird mit den für 100V-Schaltpixeln verwendeten Bauteilen angesteuert. Hier sind allerdings nicht einzelne Pixel, sondern jede der je acht Zeilen und Spalten mit einem Hochspannungsinverter und einer Speicherzelle verbunden, die genau denen, die in den 100V-Schaltpixeln verwendet werden, entsprechen. Die Speicherzellen der acht Zeilen und die der acht Spalten verfügen jeweils über ein gemeinsames Element, genau wie bei den Schaltpixeln.

6.2.3 Photopixel

Als Photopixel werden im Peptidchip-Projekt Pixel mit „löchriger“ Potentialfläche und Photodioden bezeichnet. Jedes Photopixel ist neben der Photodiode mit einem Vorverstärker ausgestattet, der den Photostrom in eine Spannung umwandelt, die dann auf einen Bus zu einem Ausgangsverstärker geführt wird.

Die Photodioden und Photopixel müssen in der Anwendung nie für Präzisionsmessungen eingesetzt werden, während hohe Spannungen am Chip oder an den Pixeln anliegen. Der Grund hier für ist, dass der Nachweis optischer Aktivität auf der Chipoberfläche nur während Bindungsexperimenten stattfindet und für diese Bindungsexperimente die abgeschlossene Beschichtung des Chips Voraussetzung ist. Dies reduziert mögliche Einflüsse auf den Vorverstärker. Allerdings muss der Vorverstärker durch Abdeckung mit Metalllagen vor einfallendem Licht geschützt werden, das die Analogeigenschaften der Transistoren ändern könnte.

Bei den Photodioden in den Pixeln handelt es sich immer um Parallelschaltungen zweier P-N-Übergänge, nämlich zwischen der N-Wanne NWELL auf hohem Potential (5V), die mit dem Vorverstärker verbunden ist, und P-Diffusion PDIFF gemeinsam mit dem Substrat auf Massepotential. Wir bezeichnen diese Konfiguration auch als „Sandwich-Dioden“, da im Querschnitt eine N-dotierte Schicht zwischen zwei P-dotierten Schichten auf gleichem Potential liegt (Abb. 6.8).

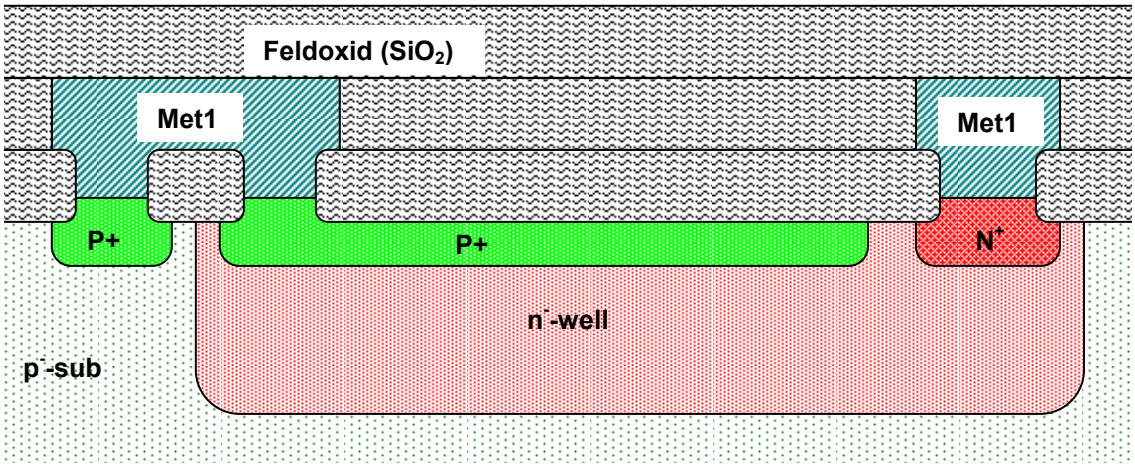

Abb. 6.8: Aufbauskizze der Sandwich-Photodiode (Querschnitt). Zur Kontaktierung schwach dotierter Schichten mit Metallleiterbahnen wird üblicherweise ein kleiner stark dotierter Bereich verwendet.

Als Vorverstärker wurde ein Common-SourceAmplifier, kombiniert mit einem Stromspiegel eingesetzt. Das Schaltbild des eingesetzten Verstärkers ist in Abb. 6.9 gezeigt. Die beiden von `EnablePhoto` und `notEnablePhoto` gesteuerten Transistoren M1 und M4 dienen dazu, den Verstärker ein- oder auszuschalten, da der Ausgang des Verstärkers direkt auf den Photobus `PhotoOut[0..7]` gegeben wird. M1 und M2 bilden zusammen einen Stromspiegel, bei dem durch M2 etwa der doppelte Strom von M0 fließt, während M2 und M3 den eigentlichen Common-Source Amplifier bilden. Zusammen bilden sie den durch die Photodiode und M0 fließenden Photostrom `Iphoto` auf eine Spannung am Ausgang `Out` ab. Der Verstärkungsfaktor ist über die an M3 anliegende Spannung PhotoBias einstellbar. Es wird jeweils ein Bereich des Eingangsstromes von etwas mehr als einer Dekade gut verstärkt. Auch diese Biasspannung wird vom Versorgungsteil bereitgestellt (s. Abschnitt 6.3.1). Die Kennlinie des Verstärkers wird in Abb. 6.10a-b für verschiedene Biasspannungen gezeigt. Der Verstärker wird zum Schutz vor Veränderungen in der Substratspannung, die die Ausgangsspannung beeinflussen könnten, von einem Guardring, also einem auf Masse gelegten Substratkontakt, umschlossen.

Vorteile dieses Verstärkers sind sehr geringer Platzbedarf (einschließlich Guardring weniger als 320µm^2) und frei wählbarer Verstärkungsfaktor. Der Nachteil besteht darin, dass aufgrund der kleinen Transistoren in der Ausgangsstufe nur kapazitive Lasten getrieben werden können. Insbesondere können die Signale nicht über Bondpads auf Messgeräte außerhalb des Chips getrieben werden. Dieses Problem wird durch die Verwendung von Photo-Ausgangsverstärkern mit kleinem Verstärkungsfaktor, aber der Fähigkeit, größere Ströme zu treiben, ausgeglichen. Diese Photo-Ausgangsverstärker sind dem Versorgungsteil zugeordnet und werden in Abschnitt 6.3.3 beschrieben.

Für die genaue Theorie des Common-Source Amplifiers und des Stromspiegels wird auf [JOH97-1] und [GRA01-1] verwiesen.

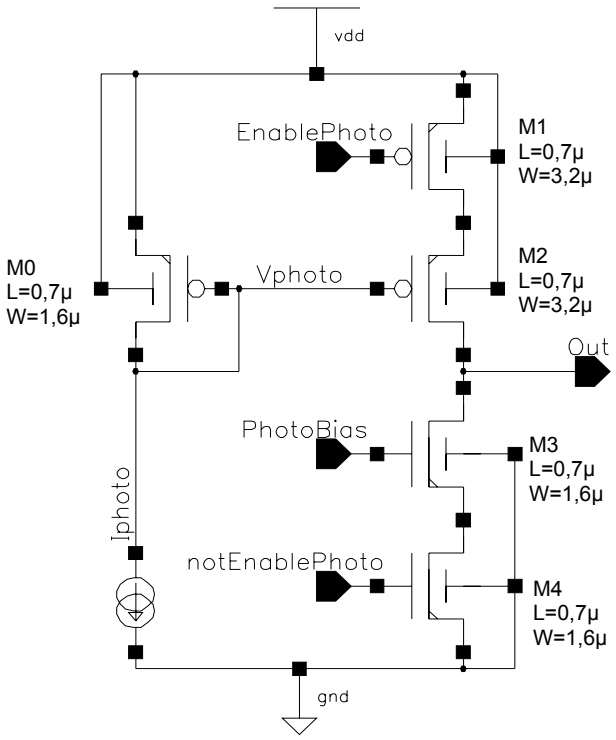

Abb. 6.9: Der Photo-Vorverstärker. Die Photodiode selbst ist in diesem Schaltplan als Stromquelle dargestellt. Die Transistoren sind mit Kanallängen- und Breitenangaben versehen.

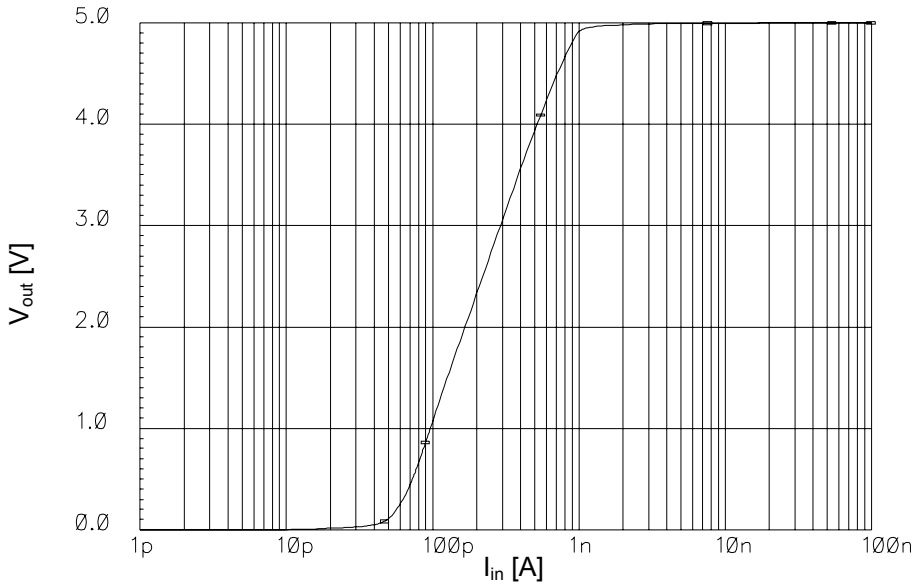

Abb. 6.10a: Ausgangsspannung des Photo-Vorverstärkers über den Photostrom bei $V_{PhotoBias}$=480mV. Bei dieser Biasspannung werden Photoströme zwischen 75pA und 1nA gut verstärkt.

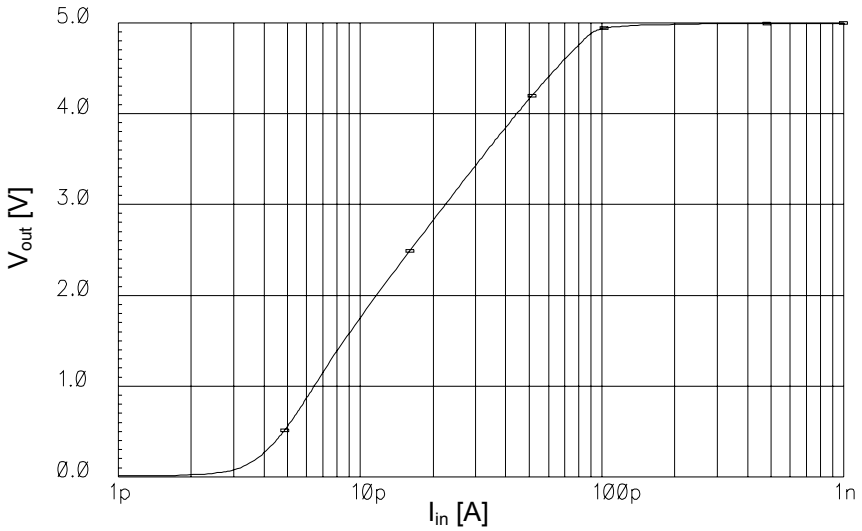

Abb. 6.10b: Ausgangsspannung des Photo-Vorverstärkers über den Photostrom bei $V_{PhotoBias}$=385mV. Bei dieser Biasspannung werden Photoströme zwischen 5pA und 75pA gut verstärkt.

6.2.4 Aufzählung der realisierten Pixeltypen

Auf dem Peptidchip 3 wurden insgesamt 23 Pixelfelder mit über 30 verschiedenen Typen von Pixeln realisiert. Die meisten Pixelfelder wurden auf minimale Fläche optimiert, die Abmessungen dieser Pixel sind in Tabelle 6.2 aufgelistet. In Abb. 6.11 sind alle Pixelfelder lokalisiert. Tabelle 6.3 zeigt die Adressen der Pixelfelder bei Ansteuerung mit dem I^2C-Interface (siehe Abschnitte 6.3.2.2 und 6.3.2.3) und die Gesamt-Kantenlänge der Pixel (nicht der kleineren Potentialflächen), die maximale Betriebsspannung, sowie das Vorhandensein von Photodioden und deren aktive Fläche. Ist die Spannung in der Tabelle von einem P gefolgt, so bedeutet dies, dass die Pixel des betreffenden Pixelfeldes nur über Potentialflächen und keine eigenen HV-Inverter oder Speicherzellen verfügen. Die Potentialflächen sind in diesem Fall direkt über Leiterbahnen mit den Potentialflächen des – meist benachbarten – Pixels mit der gegebenen Adresse verbunden. Diese passiven Pixelfelder wurden genutzt, wann immer die aktiven Komponenten nicht oder nur schwierig unter den Pixeln unterzubringen waren. Die Adressen der Testpixel mit und ohne Doppelsourcefolger sind in Tabelle 6.4 verzeichnet. Weitere Pixeleigenschaften sowie die Motivationen für die einzelnen Pixeltypen werden im folgenden Text erläutert. Die einzelnen Muster von Öffnungen für lichtdurchlässige Pixel werden nicht im Detail aufgezählt. Es wurden, in verschiedenen Pixelfeldern, Muster erprobt mit quadratischen Öffnungen zwischen 1,6µm und 10µm Kantenlänge und Verhältnissen von Öffnung zu Metallfläche zwischen 1:3 und 1:7 und rechteckigen Öffnungen von 3µm x 10µm bei einem Verhältnis von 1:7. Für die 100µm-Pixel mit großen Photodioden wurden achteckige Öffnungen mit 3µm Länge und Breite bei einem Verhältnis von 7:11 verwendet.

Solange nicht anders erwähnt, beträgt die Gitterbreite immer 6µm und der Abstand zwischen Gitter und Potentialfläche immer 2µm.

Alle von Passivierung bedeckten Potentialflächen ohne Öffnungen für optische Transparenz haben einzelne quadratische Lücken der Kantenlänge 1,6µm in der obersten Metalllage erhalten, um einer Designregel, die die maximale ununterbrochene Ausdehnung von

Metallflächen begrenzt, zu genügen. Pixel mit Kantenlängen 43,8µm und 58,6µm wurden mit einem solchen Loch ausgestattet, während für die Pixel mit Kantenlänge 79,7µm vier solche Löcher nötig wurden.

Schaltspannung [V]	**Kantenlängen [µm * µm]**	**Flächenbedarf [µm^2]**
30	43,4 * 43,8	1.900,9
60	58,6 * 58,6	3.434,0
100	79,7 * 79,7	6.352,1

Tab. 6.2: Kantenlängen der auf minimale Größe optimierten Pixel

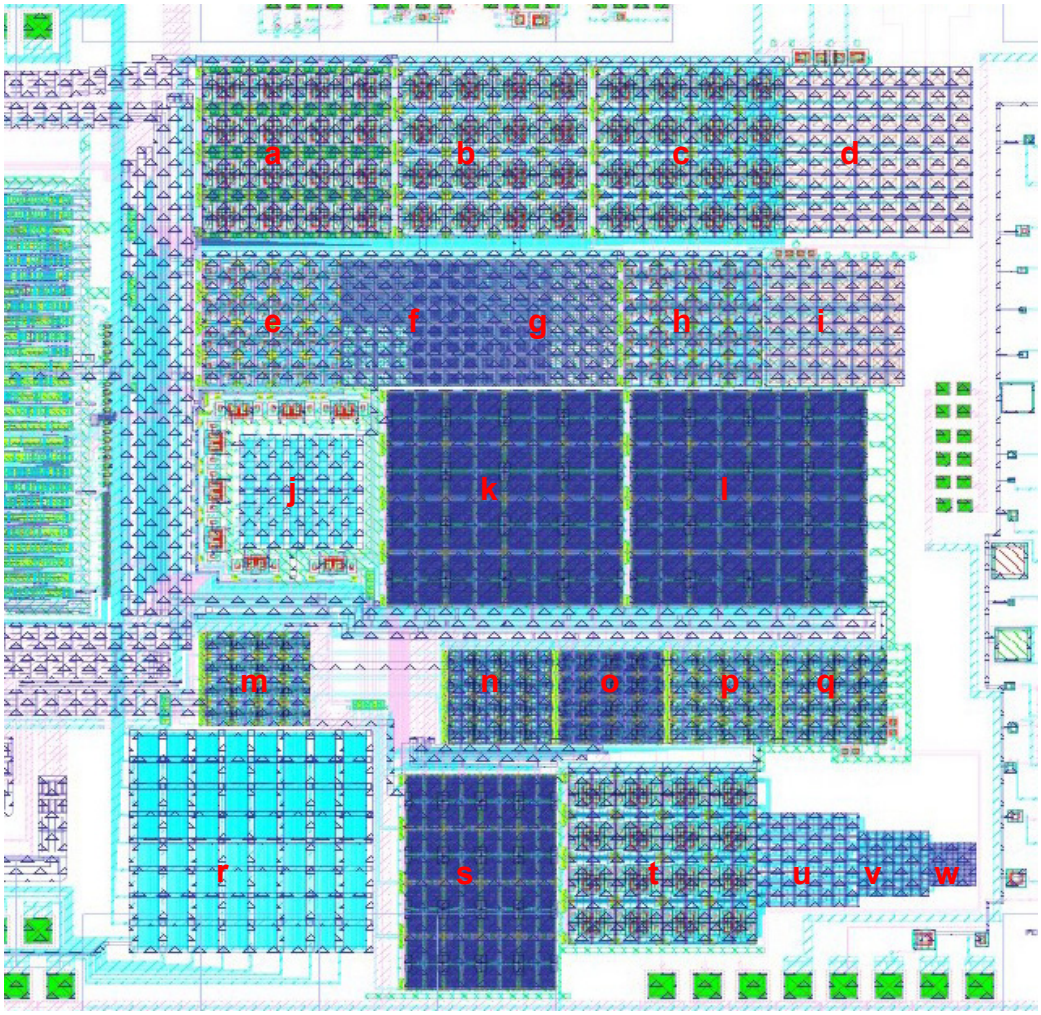

Abb. 6.11: Die Positionen der 23 Pixelfelder im Layout, Erläuterungen siehe Tab. 6.2 und Text

Die Pixelfelder a) bis d) unterscheiden sich in Gitter und Potentialflächen. Pixelfeld c) ist das Referenzpixelfeld für 100V-Pixel. Pixelfeld a) ist mit drei kleinen Photodioden und entsprechenden Löchern ausgestattet. Alle Pixelfelder außer Pixelfeld b) sind mit dem üblichen Gitter ausgestattet. Bei Pixelfeld b) beträgt die Breite des Gitters dagegen 21µm bei entsprechender Verkleinerung der Potentialfläche. Bei Pixelfeld d) wurden Potentialflächen ohne Passivierung verwendet.

Pixelfeld e) ist das Referenzpixelfeld für 60V-Pixel. Auf den Pixeln der Felder f) und g) wurden verschiedene regelmäßige Löchermuster realisiert, mit jeweils vier verschiedenen Gruppen von 4x4 Pixeln gleicher Löchermuster pro Pixelfeld. Unter diesen Pixeln befindet sich großflächig stark p-dotierter, geerdeter Halbleiterbereich, um Photodioden zu simulieren und störende Auswirkungen von Leiterbahnen zu verringern. Ein 5µm breiter Ring am äußeren Rand der Potentialfläche ist bei diesen Pixeln aber immer durchgehend realisiert. Nur der Raum im Inneren dieses Ringes enthält die genannten Öffnungen. Pixelfeld h) besteht aus Pixeln mit einem auf 12µm verbreiterten Gitter. Auf Pixelfeld i) wurden passivierungsfreie Potentialflächen implementiert.

Position	**Adresse**				**Kantenlängen**	**Spannung**	**Photodioden:**
	Xblock	**Yblock**	**X**	**Y**	**[µm * µm]**	**[V]**	**akt. Fläche [µm²]**
a)	0	0	0	0..7	79,7 * 79,7	100	67,5
b)	0	0	1	0..7	79,7 * 79,7	100	0
c)	0	0	2	0..7	79,7 * 79,7	100	0
d)	0	0	2	0..7	79,7 * 79,7	100, P	0
e)	0	1	0	0..7	58,6 * 58,6	60	0
f)	0	1	0	0..7	58,6 * 58,6	60, P	0
g)	0	1	0	0..7	58,6 * 58,6	60, P	0
h)	0	1	3	0..7	58,6 * 58,6	60	0
i)	0	1	3	0..7	58,6 * 58,6	60, P	0
j)	0	5	0..1	0	50,0 * 50,0	100	0
k)	0	2	1	0..7	100,0 * 100,0	30	3497,8
l)	0	2	2	0..7	100,0 * 100,0	30	3497,8
m)	0	3	0	0..7	43,8 * 43,4	30	0
n)	0	3	1	0..7	43,8 * 43,4	30	0
o)	0	3	2	0..7	43,8 * 43,4	30	0
p)	0	3	3	0..7	43,8 * 43,4	30	0
q)	0	3	4	0..7	43,8 * 43,4	30	0
r)	direkte Ansteuerung				100,0 * 100,0	100+	0
s)	0	4	1	0..7	43,8 * 100,0	30	1362,0
t)	0	4	2	0..7	79,7 * 79,7	100	0
u)	0	4	2	0..7	43,4 * 43,4	100, P	0
v)	0	4	2	0..7	30,0 * 30,0	100, P	0
w)	0	4	2	0..7	20,0 * 20,0	100, P	0

Tab. 6.3: Auflistung aller realisierten Pixelfelder, mit Positionsangaben aus Abb. 6.12.

Pixelfeld	**Adresse**					**Typ**	**Bezeichnung**
	Xblock	**Yblock**	**X**	**Y**	**Data**		
c)	0	0	2	5	1	Doppelsourcefolger	Test3
c)	0	0	2	6	2	Doppelsourcefolger	Test4
c)	0	0	2	7	7	direkt	Test5
h)	0	1	3	5	1	Doppelsourcefolger	Test1
h)	0	1	3	6	2	Doppelsourcefolger	Test0
h)	0	1	3	7	7	direkt	Test2
q)	0	3	4	5	7	direkt	Test8
q)	0	3	4	6	7	Doppelsourcefolger	Test7
q)	0	3	4	7	5	Doppelsourcefolger	Test6

Tab. 6.4: Bezeichnungen auf der Versuchsplatine, Adressen und Typen der Testpixel

Pixelfeld j) ist ein Feld von Multipolpixeln. Mit der Adresse X = 0 werden die Spalten angesteuert, mit X = 1 die Zeilen. Die Gitterbreite beträgt hier 21,6µm, die Potentialflächen liegen im Gegensatz zu denen der Schaltpixel auf der untersten Metallebene und damit unterhalb des Gitters. Der Abstand zwischen Gitter und Potentialfläche konnte daher auf null reduziert werden.

Die Pixelfelder k) und l) sind 30V-Pixelfelder, die auf möglichst große Photodioden optimiert wurden. Über den Photodioden sind die Potentialflächen dieser Pixel durch regelmäßige Löcher halbtransparent.

Pixelfeld q) ist das 30V-Referenzpixelfeld. Pixelfelder m) und p) haben auf 6,4µm verbreiterterte Gitter erhalten. Im Pixelfeld n) wurden anstatt der üblichen quadratischen Potentialflächen kreisförmige Flächen mit einem Radius von 16,7µm angenähert. Die Zwischenräume wurden im Abstand von 2µm mit Gitter aufgefüllt. Auf Pixelfeld o) sollten vier Lochmuster erprobt werden.

Pixelfeld r) ist das direkt angesteuerte Multipolpixelfeld, das aufgrund der direkten Kontaktierung über Metallleiterbahnen bis zu den Bondpads auch für Spannungen über 100V geeignet ist. Die Gitterbreite beträgt 25µm, der Gitterabstand wie beim anderen Multipolpixelfeld null.

Pixelfeld s) entspricht vom Aufbau den Pixelfeldern k) und l), allerdings wurden die Pixel dieses Pixelfeldes nur entlang der Y-Achse verlängert, um Platz für Photodioden zu schaffen. Auch hier ist die Potentialfläche über der Photodiode „löchrig“.

Pixelfeld t) entspricht Pixelfeld c). Da somit zwei identische Pixelfelder an gegenüberliegenden Seiten des Chips untergebracht sind, kann durch Vergleich dieser Pixelfelder die Aussagekraft von Tonerübertragsexperimenten beurteilt werden. Wenn die Beschichtungseigenschaften dieser beiden Felder sich bei identischem Beschichtungsmuster zu sehr unterscheiden, lagen auf dem Chip in verschiedenen Bereichen unterschiedliche äußere Bedingungen vor. Die Pixelfelder u), v) und w) dienen zur Untersuchung des Tonerübertrags bei Spannungen bis zu 100V auf sehr kleine Pixel.

6.3 Der Versorgungs- und Ansteuerungsteil

6.3.1 Referenzspannungen

Für die korrekte Funktion des Chips werden fünf Referenzspannungen benötigt:

- Jeweils eine Referenzspannung für die drei verschiedenen Hochspannungsinverter,
- eine Referenzspannung für die Photo-Vorverstärker in den Pixeln und
- eine Referenzspannung für die Photo-Ausgangsverstärker (Abschnitt 6.3.3).

Diese Referenzspannungen sollen jeweils sehr nahe an der Schwellenspannung eines Transistors eingestellt werden, so dass nur ein sehr geringer Strom durch die entsprechenden Transistoren fließen kann.

Der exakte Wert der Schwellenspannung kann nach Herstellerangaben [AMI02] zwischen Chips von verschiedenen Wafern je nach Transistor durch Dotierungsunterschiede um bis zu ±0,2V vom Sollwert abweichen. Innerhalb eines einzelnen Chips sind aber deutlich geringere Abweichungen zu erwarten. Um die Querströme möglichst klein zu halten, soll die Biasspannung in unserer Anwendung allerdings deutlich genauer eingestellt werden. Mit einer

extern eingespeisten Spannung wäre dieses Ziel nicht mit einfachen Mitteln, insbesondere nicht ohne Nachregeln, zu erreichen. Daher muss die Referenzspannung auf dem Chip unter Verwendung von identischen Transistoren wie in den Pixeln erzeugt werden.

Zu diesem Zweck werden die Biasspannungsgeneratoren in Form von Stromspiegeln aufgebaut. Auf der einen Seite des Stromspiegels wird ein Strom I_1 über ein Bondpad auf Transistor 1 eingespeist. Der Strom I_2, der dann auf der anderen Seite durch Transistor 2 des Stromspiegels fließt, berechnet sich nach [GAR01] bei gleichen Kanallängen und den Kanalbreiten W_1 und W_2 in erster Näherung zu

$$I_2 = I_1 * \frac{W_2}{W_1}. \tag{F6.1}$$

Um nichtlineare Effekte zu vermeiden, wurden bei den Biasspannungsgeneratoren nicht zwei verschieden breite Transistoren verwendet, sondern identische Transistoren auf beiden Seiten. Um die größere Kanalbreite auf der Eingangsseite zu erreichen, werden entsprechend n Transistoren parallel geschaltet. Wir erhalten dann mit $W_1 = n * W_2$ für den Strom I_2:

$$I_2 = I_1 * \frac{1}{n}. \tag{F6.2}$$

In der Simulation stimmt das Verhalten jedoch nur für den 100V-PMOS. Für den bei 30V und 60V Pixelspannung verwendeten 75V-PMOS weichen die Simulationswerte um mehrere Größenordnungen von der Theorie ab. Der Grund ist, dass dieser Transistor nur einen kleinen Innenwiderstand hat und sich daher nicht wie eine ideale Stromquelle verhält. Der gewünschte Pixelstrom von 5nA ist nicht zu erreichen. Die Simulation ergab jedoch ein akzeptables Verhalten bei 30V-Pixeln für I_1 = 8,7nA, I_2 = 50nA, was dann einer maximalen Leistungsdichte im Bereich von 800µW/mm^2 entspricht. Für 60V-Pixel ergeben sich Ströme I_1 = 3,2nA, I_2 = 440nA, also eine Leistungsdichte von 8mW/mm^2. Diese Leistungsdichten sind immer noch um mindestens 4 Größenordnungen von den Werten des Peptidchip 2 entfernt. Daher wird diese Schaltung so realisiert.

Die auf dem Peptidchip für die HV-Biasspannungen gewählten Werte von n stellen einen Kompromiss zwischen Platzbedarf und einfacher Einstellbarkeit des externen Stromes dar. Sie sind, zusammen mit den theoretisch und nach Simulation anzulegenden externen Strömen, in Tab. 6.5. dargestellt.

Versorgungs-spannung [V]	**Kanalbreite W_1 [µm]**	**Kanalbreiten-verhältnis n**	**Sollstrom I_1 Theorie [nA]**	**Sollstrom I_1 Simu-lation [nA]**
30	2,2	12	60	8,7
60	2,2	12	60	3,3
100	2,2	10	50	50

Tab. 6.5: Kanalbreitenverhältnisse der Biasspannungsgeneratoren

Die Biasströme I_1 für die Stromspiegel werden direkt über ein Bondpad eingespeist. Zum ESD-Schutz ist parallel zu den HV-Transistoren auf der Eingangsseite eine Zenerdiode als Schutzdiode nötig. Diese wird leitend, sobald die Spannung an der Zuführung des Referenzstroms die hohe Versorgungsspannung überschreitet. Um in diesem Fall den Strom zu begrenzen, ist jeweils zwischen dem Pad und den Transistoren ein Widerstand geschaltet.

Für den Photo-Biasspannungsgenerator, der ja den Verstärkungsfaktor des Photo-Vorverstärkers festlegt und der daher über einen größeren Bereich einstellbar sein muss, ist

ein Kanalbreitenverhältnis von $n = 200$ gewählt. Der einzustellende Biasstrom lässt sich nach Simulation grob abschätzen als etwa tausendmal so hoch wie der höchste noch linear verstärkte Photostrom.

Der Biasspannungsgenerator für die Photo-Ausgangsverstärker (Abschnitt 6.3.3) wurde nach demselben Prinzip entworfen. Hier wurde jedoch n = 1 gewählt, da es bei dem gewünschten Verstärkungsfaktor von 1 nicht erforderlich ist, die Biasspannung mit ähnlich hoher Genauigkeit wie die anderen Biasspannungen einzustellen.

Die Erzeugung der über Bondpads eingespeisten Referenzströme wird in Kapitel 7.1. beschrieben.

6.3.2 Ansteuerung der Pixelfelder

6.3.2.1 Überblick

Die auf dem Chip vorhandenen Pixelfelder lassen sich auf zwei Arten ansteuern:

- über eine direkte Ansteuerung mit externen Signalen, die jedes Pixelfeld gleich beschaltet
- über das I^2C-Interface, mit dem jedes Pixel einzeln angesteuert werden kann

Im späteren Betrieb wird die Ansteuerung der Pixel über das I^2C – Interface erfolgen, da nur über diese digitale Schnittstelle die Programmierung beliebiger Pixelmuster möglich ist. Auch die Auslese der im Pixel gespeicherten Werte und die Auslese der Photodioden sind nur über dieses Interface möglich.

Die direkte Ansteuerung dient als Rückfalllösung für den Fall des Versagens der Ansteuerung über das I^2C-Interace. Zusätzlich kann mit Hilfe der direkten Ansteuerung ein auf allen Pixelfeldern außer den Multipolpixeln gleiches Muster ohne die Notwendigkeit eines Laborcomputers nur mit Kippschaltern auf der Hauptplatine erzeugt werden. So kann für erste Beschichtungstests, die den Vergleich der Beschichtungsergebnisse verschiedener Pixelfelder zum Ziel haben, ebenfalls die direkte Ansteuerung verwendet werden.

6.3.2.2 Adressierung der Pixel und Pixelfeld-Auswahl

Jedem Pixel auf dem Chip ist eine eindeutige Adresse zugewiesen, die vom Digitalteil angesteuert werden kann. Diese Adresse setzt sich zusammen aus:

- dem Datenbit, auf dem bidirektionalen Datenbus `Data[0..7]` getrieben
- den X-Koordinaten, getrieben auf `X[0..15]` und `Xblock[0..15]`
- den Y-Koordinaten, getrieben auf `Y[0..15]` und `Yblock[0..15]`

Wie bereits in Kapitel 6.1.2.2 beschrieben, sind jeweils acht Pixel zu einem Byte unter derselben X- und Y-Adresse zusammengefasst, die dann jeweils gleichzeitig eines der acht Bits des Datenbusses `Data` empfangen. 16^4 solche Bytes können in der aktuellen Fassung der Ansteuerung adressiert werden. In der aktuellen Fassung ist es mit dieser Adressierung somit möglich, bis zu 2^{19} = 524.288 Pixel anzusteuern, unterteilt in 16 x 16 Blöcke von je 16 x 16 Pixeln.

Auf dem Peptidchip 3 werden davon nur die Bereiche `Xblock` = 0, `X` ≤ 4; `Yblock` ≤ 5, `Y` ≤ 7 verwendet. Die vergebenen Adressen sind in Tabelle 6.3 aufgeführt.

Mit dem `X`- bzw. `Y`-Eingang des gemeinsamen Teils der Speicherzelle eines Bytes von Pixeln wird dann jeweils das Ergebnis der logischen Verknüpfung des entsprechenden `X`- bzw. `Y`-Signals über ein AND-Gatter mit dem `Xblock`- bzw. `Yblock`-Signal des Blocks, in dem sich das Byte befindet, geschaltet. Diese AND-Gatter sind jeweils zusammen am Rand des entsprechenden Blocks untergebracht.

Auf dem aktuellen Peptidchip 3 sind die entsprechenden AND-Gatter für `Xblock` und `X` entfallen, da auf dem Chip nur `Xblock` = 0 verwendet wird.

6.3.2.3 Die digitale Ansteuerung

Einführung

Die aus Verilog-Code synthetisierte digitale Logik lässt sich in zwei Teile unterteilen:

- die I^2C-Schnittstelle, die für die lesende und schreibende Kommunikation mit der Außenwelt über den seriellen Bus zuständig ist
- der Ansteuerungsteil, der die Daten von der I^2C-Schnittstelle verarbeitet und für die Ansteuerung des Chips auf entsprechende Leitungen treibt, beziehungsweise im Chip gespeicherte Daten abruft und an die Schnittstelle für die Auslese übergibt

Die I^2C-Schnittstelle

Die auf dem Peptidchip verwendete I^2C-Schnittstelle ist eine im Rahmen der Arbeiten [STA05] verbesserte und korrigierte Version der von Daniel Baumeister für den CIPix-Chip entwickelten Schnittstelle. Sie dient unter anderem der Serialisierung und Deserialisierung der auf dem I^2C-Bus zu lesenden und zu schreibenden Daten. Diese Schnittstelle und das I^2C-Protokoll sind in [BAU99-1]ausführlich beschrieben.

Das nach dem I^2C-Standard nötige Verzögerungselement für ausgehende Signale auf der SDA-Leitung wurde auf dem Peptidchip realisiert durch ein RC-Glied mit R = 68kΩ und C = 5pF sowie einen von AMIS zur Verfügung gestellten Schmitt-Trigger.

Die digitale Ansteuerung

Die digitale Ansteuerung verschiebt den Inhalt der Zwischenspeicher-Register in Register mit speziellen Aufgaben, verarbeitet die Daten in diesen Registern und versendet diese Daten an die Pixelfelder.

Die Pixelfelder selbst können aus der Sicht des Digital-Entwicklers als einfache Speicherzellen, bestehend aus je einem Latch und gruppiert in Bytes, gesehen werden. Sie übernehmen, sobald ihre Adressleitung angesprochen wird, den eingehenden Wert auf der Datenleitung oder schreiben den in ihnen gespeicherten Wert auf diese Datenleitung zurück. Die Eigenschaft der Speicherzellen, als Latches nicht flanken-, sondern pegelsensitiv zu reagieren, macht es nötig, dass die Signale auf den Adressleitungen nur genau zu den gewünschten Zeitpunkten auf 1 gelegt werden. Auch durch die Verwendung von asynchronen Resets und einer asynchronen direkten Ansteuerung (beschrieben weiter unten) erwirbt das Design die Eigenschaft einer gemischt synchronen und asynchronen Schaltung, mit allen Problemen, die bei der Simulation von asynchronen Schaltungen auftreten. Diese Probleme wurden in Kauf genommen, um den Chip auch mit der direkten Ansteuerung ohne irgendwelche getakteten Signale, die den Aufbau komplizierter machen würden, betreiben zu können und um Platz in den Pixeln zu sparen.

Die Bestandteile der digitalen Ansteuerung sind in Abb. 6.12 als Blockdiagramm dargestellt, und werden im Folgenden erläutert.

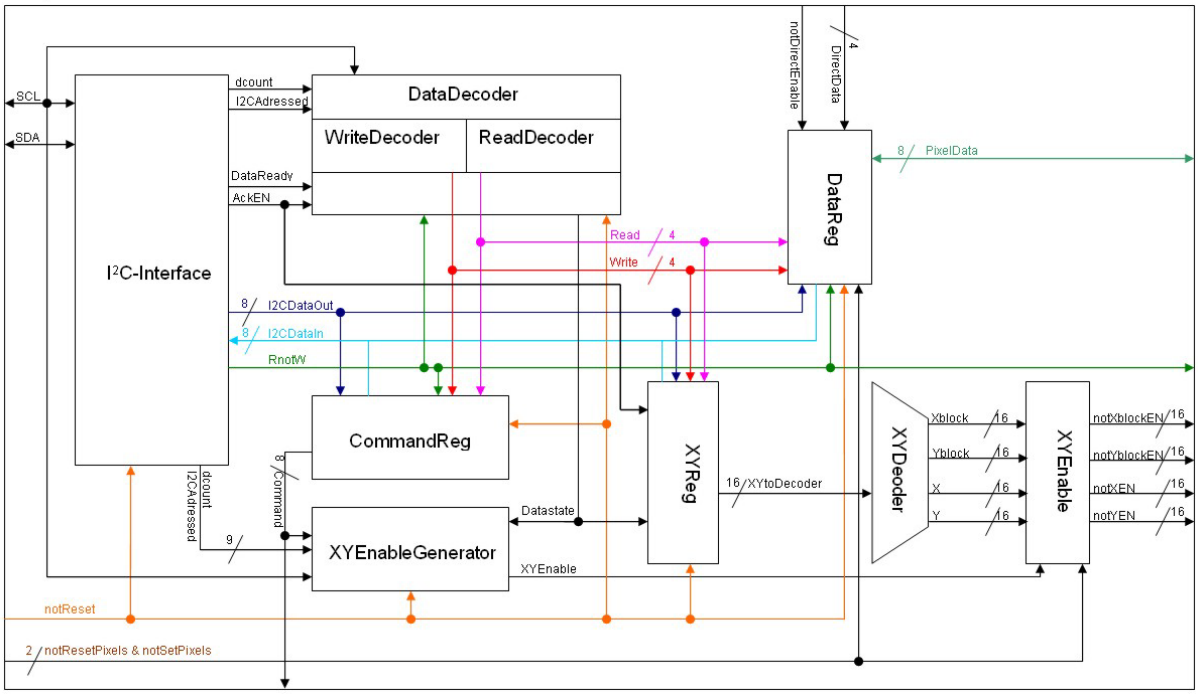

Abb. 6.12: Blockdiagramm des Digitalteils

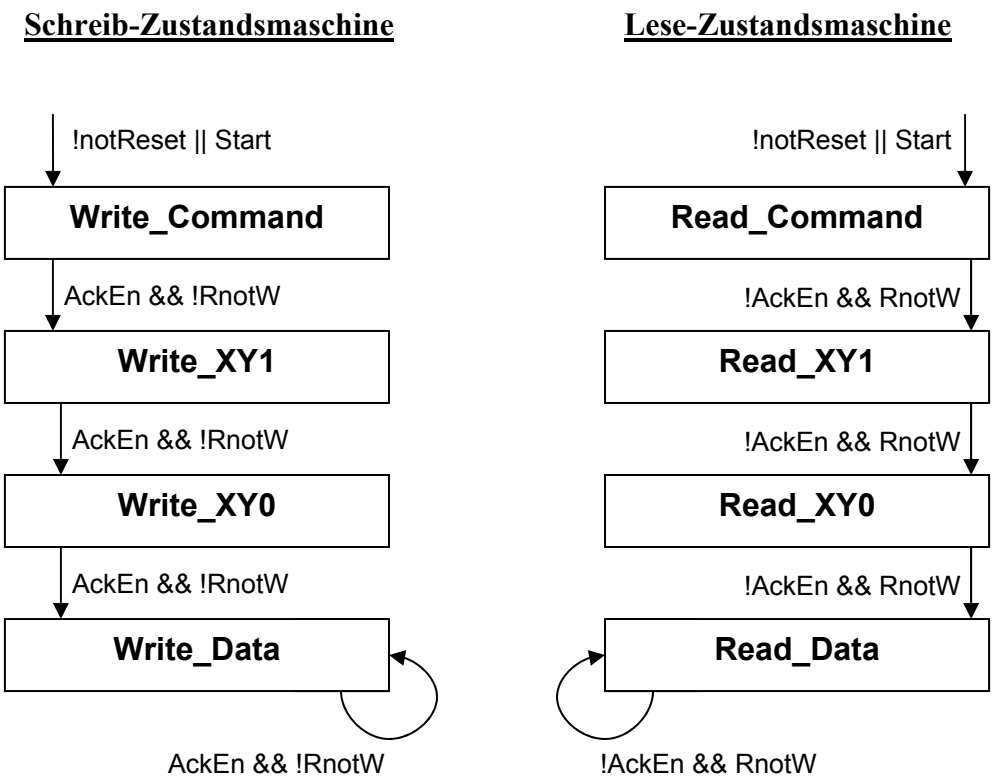

Abb. 6.13: Zustandsdiagramme des Moduls DataDecoder

Links im Blockdiagramm zu erkennen ist das I²C-Interface, das über die serielle Clock *SCL* und die serielle Datenleitung *SDA* mit der Außenwelt verbunden ist. Das I²C-Interface verfügt über eine eigene, von *SCL* getaktete Zustandsmaschine, die in [BAU99-1] erläutert wird. Auf *SDA* übertragene Daten werden jeweils byteweise gesendet und dann vom Empfänger bestätigt. Als erstes in jeder Sendung wird vom Bus-Master ein Start-Signal und danach die 7-Bit-Adresse des angesprochenen Slaves gesendet. Das folgende Bit gibt an, ob ein Schreib- oder ein Lesezugriff erfolgen soll. In unserem Falle ist der Labor-PC Bus-Master und der Chip oder die Chips sind Slaves. Auf diesem Chip ist die Adresse des I²C-Interfaces auf 20 festgesetzt. Wird diese Adresse gesendet, bestätigt der Slave den Empfang der Adresse, setzt das interne Signal *I2CAdressed* auf eins und das Signal *RnotW* auf 1 für Lesezugriff und auf 0 für Schreibzugriff. Im Falle eines Schreibzugriffes treibt das Interface das letzte vom Bus erhaltene Byte über den Bus *I2CDataOut* an die anderen Module. Für einen Lesezugriff wird das an *I2CDataIn* anliegende Byte eingelesen und steht somit für den nächsten Transfer bereit.

Das Modul DataDecoder enthält die Zustandsmaschinen für die Ansteuerung der Pixelfelder und zwar jeweils eine Zustandsmaschine für Lese- und für Schreibzugriff. Das vereinfachte Zustandsdiagramm für jede dieser Maschinen ist in Abb. 6.13 gezeigt. Beide Maschinen werden nur aktiviert, wenn das I²C-Interface das Signal *I2CAdressed* auf 1 setzt, also wenn der betreffende Chip auch wirklich adressiert ist.

Jeweils bei einem Zustandswechsel eines Decoders wird an das betreffende Modul ein Schreib- oder Lesesignal auf den Lese- oder Schreibstrobe, *Read[0..3]* oder *Write[0..3]*, gegeben. Dabei wird immer im ersten Byte der Inhalt des Command-Registers gelesen oder geschrieben, danach das *MSB*[1] der Adresse der Pixel, die zuerst geschrieben oder gelesen werden (also die Werte von *Xblock* und *Yblock*), dann das LSB dieser Adresse (mit den Werten von *X* und *Y*). Diese Werte werden im Register XYReg gespeichert. Danach folgen die Daten, die an die Speicherzellen in den adressierten Pixeln geschrieben oder von dort gelesen werden sollen. Sollen die Speicherzellen der der übertragenen Adresse nachfolgenden Adressen als nächstes ausgelesen werden, kann der Schreib- oder Lesezugriff einfach fortgesetzt werden (siehe folgender Absatz). Der DataDecoder erzeugt zusätzlich das vom Register XYReg und vom XYEnableGenerator verwendete Signal *Datastate*. Es liegt auf 1, wenn sich die Lese-Zustandsmaschine im Zustand Read_Data befindet oder wenn sich die Schreib-Zustandsmaschine im Zustand Write_Data befindet und dies bereits der vorherige Zustand der Maschine war.

Das Register XYReg speichert die Adresse des aktuell zu lesenden oder schreibenden Pixelbytes. Dabei werden die vier Adresswerte *Xblock*, *Yblock*, *X* und *Y* einfach aneinandergehängt, so dass sie eine große Zahl bilden. Falls *Datastate* auf 1 liegt, wird diese Zahl für jeden weiteren Lese- oder Schreibzyklus um eins hochgezählt. Das Signal *AckEN* aus dem I²C-Interface liefert den hierfür nötigen Takt.

Die in XYReg gespeicherten Werte für die vier Komponenten der Adresse des aktuell angesteuerten Pixels werden vom Modul XYDecoder decodiert. Dieses Modul setzt die vier Adressleitungen des ausgewählten Pixels auf 1 und die anderen Leitungen auf 0. Diese Signale dürfen jedoch nur bei stabilen Daten auf dem bidirektionalen Datenbus

[1] Most Significant Byte, bei Zahlen über mehrere Bytes das Byte, das die höchsten Zweierpotenzen enthält. Gegenstück ist das LSB oder Least Significant Byte.

`PixelData[0..7]`, der als `Data[0..7]` an alle Pixel angeschlossen ist, auf 1 an die Pixel angelegt werden, da die Pixel dann sofort die Werte auf diesem Bus auslesen oder ihren eigenen Zustand auf den Bus treiben.

Daher werden die Ausgangssignale des XYDecoders zunächst in das Modul XYEnable geführt. Dieses Modul schaltet, gesteuert vom Modul XYEnableGenerator über das Signal `XYEnable`, die Adresssignale frei, wenn die Daten in DataReg und die aus dem XYDecoder erzeugte Adresse stabil sind. Diese Adresssignale werden dann an das Modul zur Auswahl des Ansteuerungsverfahrens übergeben, das in Abschnitt 6.3.2.4 beschrieben wird.

Da alle Schaltvorgänge im Modul DataReg und auch das Hochzählen des Werts in XYReg jeweils am Ende der Übertragung eines Bytes über das I^2C-Interface erfolgen, sind die Zeiträume in der Mitte einer solchen Übertragung sicher für die Übertragung von Daten auf dem Bus PixelData. Das Modul XYEnableGenerator vergleicht den Wert des Bit-Zählers des I^2C-Interfaces `dcount` mit den im Register CommandReg gespeicherten Werten, zwischen denen `XYEnable` auf eins gesetzt werden soll. Diese beiden Werte von je drei Bit im Register CommandReg können extern programmiert werden, um eine Optimierung dieser Schaltzeiten zu ermöglichen, zum Beispiel um das Interface bei höherem Takt zu betreiben. Überlegungen zu den Signallaufzeiten von und zu den Pixeln sind im Unterabschnitt Signallaufzeiten beschrieben.

Das Modul DataReg speichert Daten zwischen, die über den bidirektionalen Bus `PixelData[0..7]` auf die Pixel geschrieben oder von diesen gelesen werden sollen. Dieses Modul enthält auch Funktionalität der in Abschnitt 6.3.2.4 beschriebenen direkten Ansteuerung.

Das Signal `notReset` löst bei anliegender 0 einen asynchronen Reset aller Module aus. Alle Zustandsmaschinen kehren in den Grundzustand zurück, alle Register werden gelöscht oder – im Falle des Kommandoregisters – auf einen Standardwert zurückgesetzt.

Die Signale `notResetPixel` beziehungsweise `notSetPixel` konfigurieren bei anliegender 0 asynchron die Ausgänge von XYEnable und DataReg so, dass alle Pixel gleichzeitig solcherart angesteuert werden, dass ihre Speicherzellen den Wert 0 bzw. 1 annehmen.

<u>Signallaufzeiten</u>

Zwischen dem Digitalteil und den Pixeln liegen zum Teil erhebliche Leiterbahnstrecken. Eine obere Schranke der Laufzeiten der Signale auf diesen Leiterbahnen wurde abgeschätzt, indem die Leiterbahn als RC-Glied mit dem gesamten Leiterbahnwiderstand und der gesamten Leiterbahnkapazität genähert wurde. Aus den Prozessparametern und der Geometrie ergeben sich Werte von $R < 5k\Omega$ und $C < 50pF$. Für die letzten logischen Gatter an den Ausgängen aus dem Digitalteil wurden für die Synthese verfügbare Gatter mit vergrößerter Treiberfähigkeit ausgewählt. Die Simulation mit den verwendeten Treibern ergibt Verzögerungen unter 4µs. Bei den Standardeinstellungen hat ein Signal 6 SCL-Takte Zeit, um am Pixel anzukommen. Das bedeutet, dass SCL-Taktfrequenzen bis 1,5MHz mit dem Chip erreichbar sein sollten. Dies ist ausreichend für die üblichen Taktfrequenzen des I^2C-Busses von100kHz bis 400kHz.

6.3.2.4 Direkte Ansteuerung und Auswahl des Ansteuerungsverfahrens

Die direkte Ansteuerung wird aktiviert, indem das von außen über ein Pull-up-Bondpad dem Chip zugeführte Signal `notDirectEnable` auf Groundpotential gezogen wird. Durch die Verwendung des Pull-up-Pads wird sichergestellt, dass bei nicht kontaktiertem Signal der Wert von `notDirectEnable` auf High gesetzt ist und der Chip in diesem Fall über das I^2C-Interface angesteuert werden kann.

Die direkte Ansteuerung beschaltet alle Pixelfelder auf gleiche Weise. Dabei wird jedes 8 x 8 – Pixelfeld in vier 4 x 4 – Pixelfelder unterteilt, die jeweils gleich beschaltet werden.

Für die Konfiguration mit der direkten Ansteuerung werden von außen über Bondpads die Signale `notDirectY[0..3]` und `DirectData[0..3]` zugeführt. Diese Signale werden von der Schaltung für die Auswahl des Ansteuerungsverfahrens bei direkter Ansteuerung anstelle der Signale vom I^2C-Interface verwendet, um die Signale an die Speicherzellen der Pixel zu erzeugen. Die Adresssignale werden hierbei außerhalb des Digitalteils ausgewählt, während `DirectData` in den in Verilog geschriebenen Digitalteil geführt und dort verarbeitet wird. Der Grund ist, dass so vermieden wurde, in den bidirektionalen Bus `Data[0..7]` zusätzliche Transmission Gates einfügen zu müssen.

6.3.3 Photo-Ausgangsverstärker

Um die Spannungen aus den Photo-Vorverstärkern in den Pixeln über Pads in ein Messgerät treiben zu können, sind stärkere Treiber nötig. Diese werden im Ansteuerungsteil in Form von Sourcefolgern realisiert. Auch bei diesen Sourcefolgern wird wieder eine Biasspannung benötigt, die von den Biasspannungsgeneratoren erzeugt wird.

6.3.4 Bondpads

Die Bondpads wurden in zwei Gruppen unterteilt. Auf der rechten Seite des Chips befinden sich die Bondpads der Test-Photodioden, der Teststruktur für die resistive Wasserstoffdetektion und der Ausgänge der Testpixel. Diese werden nur bei den optischen Versuchen und bei den Tests der Elektronik benötigt und können daher für die Versuche zum Tonerübertrag unkontaktiert bleiben. Es ist daher nicht nötig, auf dieser Seite des Chips Bonddrähte zu ziehen oder Glob-Top aufzubringen. Auf der anderen Seite des Chips sind die benötigten Bondpads in zwei Reihen angeordnet, mit redundanten Pads für alle Versorgungsspannungen. Die Bondpads der Datenleitungen sind für die bidirektionalen Signale `SDA` und `SCL` mit entsprechenden Treibern versehen. Für diese beiden Signale wurden entsprechend dem I^2C-Standard Bondpads mit Pull-up-Widerständen verwendet. Ebenso ist das Signal `notDirectEnable` und die Resets über Pads mit Pull-up-Widerständen geführt, so dass bei einem Defekt in den entsprechenden Leitungen, wie z.B. einem losen Bonddraht, diese Signale den Zustand für normalen Betrieb annehmen.

6.4 Teststrukturen

6.4.1 Hochspannungstransistoren

Die sechs verschiedenen verwendeten Hochspannungstransistoren sind in drei Gruppen als an die Nadelkarte angepasste Strukturen auf dem Chip untergebracht. Dabei sind aufgrund des geringen Abstandes zwischen den Nadeln zur Vermeidung von Spannungsdurchbrüchen der Luft zwischen den Nadeln die Kontakte nach absteigender Spannung geordnet platziert.

Ein vierter Satz von Nadelkartenkontakten kontaktiert zwei Strukturen für den Test parasitärer Transistoren, wie in Kap. 5.3.3 beschrieben.

6.4.2 Test-Photodioden

Jeder der 12 möglichen Halbleiterübergänge wurde für eine Test-Photodiode verwendet. Die Test-Photodioden haben eine Größe von jeweils 15µm * 15µm und sind in minimal möglichem Abstand von einem Substratkontakt als Guardring und im Abstand von 1µm von einer Metallabschirmung auf der obersten Metalllage umgeben. So können die Eigenschaften dieser Photodioden verglichen werden. Zusätzlich wurde eine „Sandwich-Photodiode“ aus P-Diffusion, n-Well und p-Substrat mit Metalllage 3 überdeckt, um die Abschwächung einfallenden Lichtes durch eine Metallabschirmung und damit eventuelle Einflüsse auf die Photovorverstärker, abschätzen zu können. Weiterhin wurden die drei Photodioden, die nicht die speziellen Lagen des Hochspannungsprozesses nutzen, auch mit den Kantenlängen 5µm * 5µm und 100µm * 100µm realisiert, um zu überprüfen, welcher Anteil des Photostromes von der Grundfläche und welcher Anteil von dem Umfang der Diode abhängt. Bei den Dioden, die Hochspannungslagen nutzen, wurde darauf verzichtet, weil der spätere Einsatz dieser Dioden wegen des großen Platzbedarfs der Abschirmungsstrukturen unwahrscheinlich scheint und um auf dem Chip den Platz für die sonst nötigen zusätzlichen Bondpads einzusparen. Insgesamt sind 19 Test-Photodioden auf dem Chip untergebracht.

6.4.3 Wasserstoffdetektor

Für den Test der optischen Wasserstoffdetektion können die Test-Photodioden verwendet werden. Für den Test der resistiven Wasserstoffdetektion wurden zwei Reihen von je sechs quadratischen Kontaktflächen mit je 40µm Kantenlänge im minimal möglichen Abstand von 30µm parallel zueinander am rechten Rand des Chips in der Mitte plaziert. Die Reihen sind mit jeweils einem Pad an der oberen und unteren Kante verbunden. So können die Reihen kontaktiert werden, wobei aber zwischen den Bondpads der Kontakte ein so großer Abstand liegt, dass der direkt zwischen ihnen fließende Strom vernachlässigbar gegen den zwischen den Kontakten fließenden Strom bleibt. Die Maße der Kontaktstellen sind den minimal möglichen Abmessungen in eventuellen späteren Pixeln mit resistiver Wasserstoffdetektion nachempfunden.

7. Messaufbauten Peptidchip 3

7.1 Elektronik

Für die Inbetriebnahme des Chips werden zwei Arbeitsumgebungen verwendet. Für die Versuche mit den einzelnen HV-Transistoren und dem parasitären Transistor wurde ein Waferprober mit der zu den Teststrukturen passenden Nadelkarte benutzt. Für alle anderen Versuche muss der Chip auf geeignete Trägerplatinen gebondet werden.

Trägerplatine

Wie sein Vorgänger wurde der Peptidchip 3 direkt auf eine kleine gedruckte Schaltung, die *Trägerplatine*, geklebt. Für jeden einzelnen Chip wird also eine eigene, nicht wieder verwendbare Trägerplatine benötigt. Von den Bondpads zu den Bondkontakten auf dieser Platine werden die Bonddrähte gezogen. Auf der Platine sind Leiterbahnen von den Bondkontakten zu zwei je 50-poligen Steckern für Flachbandkabel geführt. Mit diesen Steckern lässt sich der Chip austauschen. Von diesen hundert Verbindungen werden 96 für die Versorgung und Ansteuerung des Peptidchips verwendet. Zwei Leitungen, eine davon in jedem der beiden Flachbandkabel, sind auf der Trägerplatine miteinander verbunden. Sie dienen zur Anzeige, ob eine Platine mit den Kabeln verbunden ist oder nicht. Die letzten beiden Plätze im Stecker werden zur Codierung verwendet, d.h. zwei Pins an verschiedenen Positionen der beiden Stecker werden entfernt, und die entsprechenden Buchsen am Flachbandkabel werden verstopft. So ist es unmöglich, die Kabel falsch an die Platine anzuschließen und damit durch Hochspannung auf Niederspannungseingängen den Chip zu zerstören. Diese Flachbandstecker bestimmen auch die Abmessungen der Trägerplatine von etwa 42mm * 71mm. Außer den Steckern und dem Chip selbst können auch zusätzliche Siebkapazitäten zwischen Masse und V_{dd} auf der Trägerplatine untergebracht werden, um eventuell im Flachbandkabel eingekoppelte Wechselspannungssignale zu filtern. Interessant sind diese Kapazitäten nur für den Betrieb der Photodioden bei hohen Verstärkungen, wenn solche Signale die Messung verfälschen könnten. Im normalen Betrieb sollen diese Kondensatoren nicht bestückt werden. Da für jeden Chip eine eigene solche Platine benötigt wird, wird dadurch der Aufwand, um Chips einsatzbereit zu machen, deutlich verringert. Diese Platine dient auch dazu, den Chip mechanisch handhabbar zu machen. In allen Aufbauten, in denen der Chip an einem Ort gehalten oder positioniert werden muss, wird diese Platine mit angepasstem Halter verwendet. Abb. 7.1 zeigt eine Trägerplatine mit darauf gebondetem Chip.

Die Flachbandkabel und auch Platine und Bonddrähte im Abstand von bis zu 50µm wurden bis 260V auf Spannungsfestigkeit getestet. Für das Flachbandkabel wurden keine messbaren Ströme zwischen benachbarten Adern auf 260V Spannungsdifferenz festgestellt. Für Platine und Bonddrähte wurde in normaler Luft ebenfalls kein messbarer Strom festgestellt. Erst beim Anhauchen bei Spannungen deutlich über 100V konnten Ströme im µA-Bereich gemessen werden. Auch wenn die Drähte mit Glob-Top umschlossen werden, wie es vor dem Betrieb des Chips in der Aerosolkammer geschieht, um den Chip vor mechanischen Einflüssen zu schützen und die Drähte abzudecken, fließen bis 260V keine Ströme. Echte Spannungsdurchbrüche mit Strömen, die die Bonddrähte zerstörten, kamen erst bei auf unter 50µm aneinander angenäherten Bonddrähten zustande. Die Bondkontakte auf der Platine sind

daher so angeordnet, dass sie es erlauben, alle Bonddrähte durchgehend in einem Abstand von mehr als 50µm zueinander zu führen.

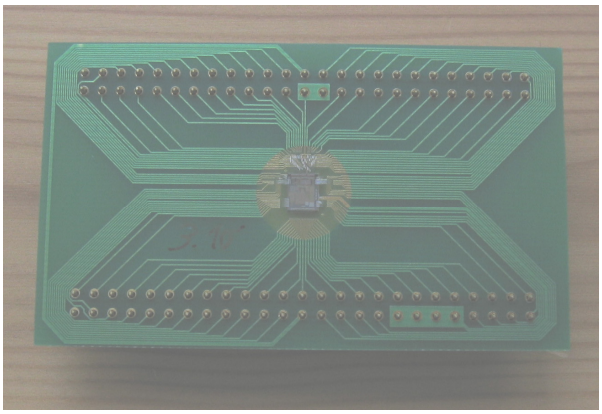

Abb. 7.1: Trägerplatine mit gebondetem Chip, ohne Glob-Top

Hauptplatine

Die Flachbandkabel kontaktieren den Peptidchip mit der Hauptplatine. Während die Trägerplatine klein genug ist, um an allen Aufbauten wie nötig befestigt zu werden, enthält die Hauptplatine alle nötigen Kontakte und Schalter, um den Chip anzusteuern. Dabei lassen sich die Komponenten der Hauptplatine in neun Gruppen mit verschiedenen Funktionen unterteilen:

1. Kontakt zum Chip über die Flachbandkabel und zu den Spannungsquellen: In diesem Bereich wird auch mit Hilfe einer Leuchtdiode das Vorhandensein einer Platine am anderen Ende der Flachbandkabel angezeigt. Zwischen V_{dd} und `Ground` wurde eine Siebkapazität von 470µF platziert. Da die anderen Spannungen nicht mit hoher Präzision bereitgestellt werden mussten, wurde dort auf entsprechende Siebkapazitäten verzichtet. Auch die Kontakte für die Teststruktur zum resistiven Wasserstoffnachweis sind diesem Bereich zugeordnet.

2. Resets: `notReset`, `notResetPixel` und `notSetPixel` sind über einen Pull-up-Widerstand mit V_{dd} verbunden. Sie können mit Hilfe je eines Tasters niederohmig mit `Ground` verbunden und somit ausgelöst werden.

3. Biasstromgeneratoren: Die Biasstromgeneratoren liefern die fünf Referenzströme, mit deren Hilfe die Biasspannungsgeneratoren im Chip die nötigen Biasspannungen erzeugen. Da der Innenwiderstand der Schaltung Biasspannungsgeneratoren im Chip sehr groß ist, kann bei Verwendung ausreichend kleiner Widerstände außerhalb des Chips dieser Biasstrom mit Hilfe von Spannungsteilern erzeugt werden. Durch Verwendung je eines Potentiometers sind die Biasströme in einem gewissen Bereich einstellbar. Die verwendete Schaltung ist in Abb. 7.2a für den 100V-Biasstrom gezeigt. In der Zuleitung der Biasströme zum Chip ist jeweils ein großer Widerstand untergebracht. Er wurde nach den Simulationsergebnissen so gewählt, dass die an diesem Widerstand abfallende Spannung noch gut messbar ist. Die Spannung `Vres`, die über diesem Widerstand abfällt, kann abgegriffen werden. Mit einem zweipoligen Mehrfachumschalter kann eine dieser Spannungen ausgewählt und auf zwei Bananenstecker, über die ein Spannungsmessgerät angeschlossen wird, gelegt werden. Durch Vergleich mit der aus der Simulation entnommenen Sollspannung kann so der Biasstrom auf den gewünschten Wert eingestellt werden.

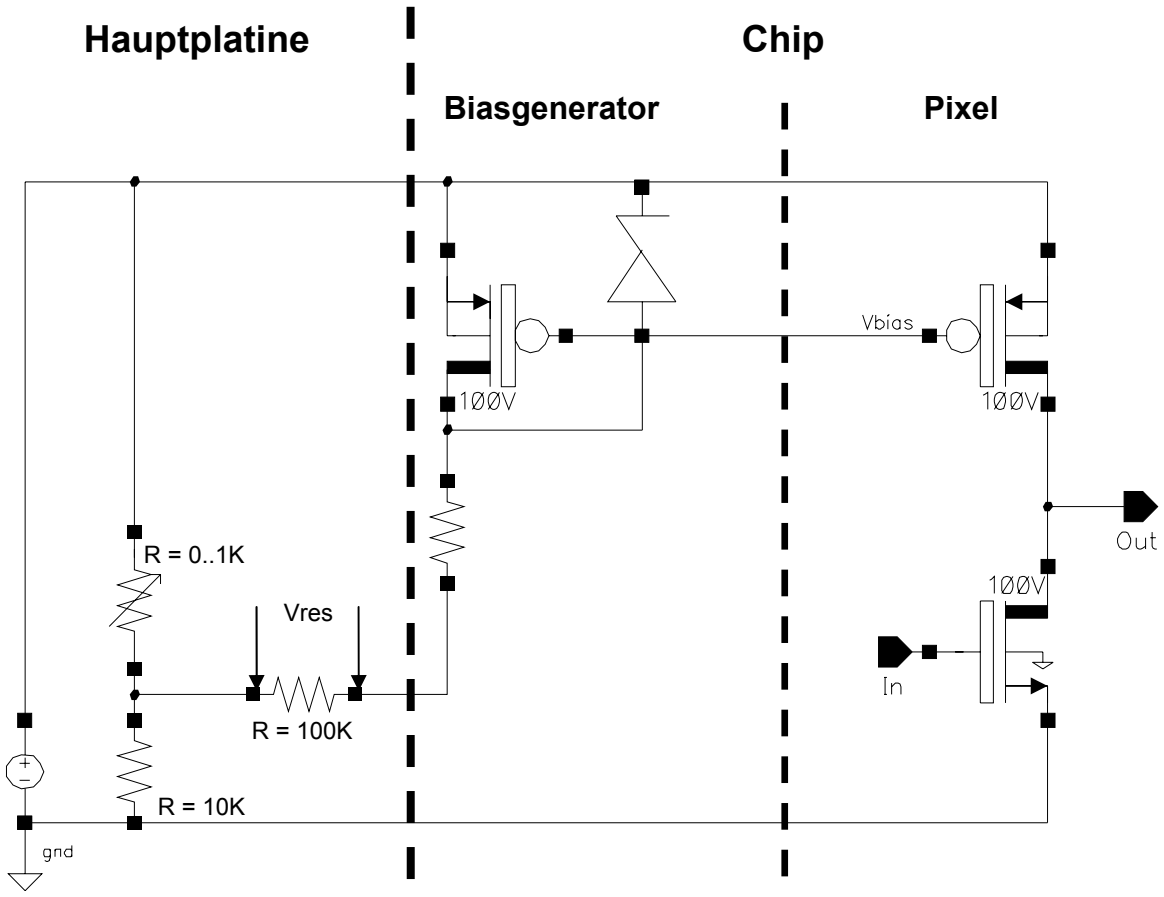

Abb. 7.2a: Schaltung zur Erzeugung des Biasstroms

4. Kontakt zum I²C-Interface: Im für das I²C-Interface zuständigen Teil der Platine werden die Leitungen `SDA` und `SCL` vom Chip zu einer 9-poligen Sub-D-Buchse geführt, mit der die Hauptplatine über eine I²C-Interface-Box mit einem Labor-PC verbunden werden kann. Dieser Teil enthält auch Schutzdioden, die Chip, Platine und PC vor eventuellen Potentialdifferenzen zwischen Labor-PC und Hauptplatine schützen. Auch eine Rückfalllösung für das interne Verzögerungsglied der SDA-Leitung (Abschnitt 6.3.2.3) ist realisiert.
5. Direkte Ansteuerung: Die direkte Ansteuerung besteht aus neun Schaltern, die die Signale `notDirectEnable`, `DirectData[0..3]` und `notDirectY[0..4]` jeweils auf `Ground` oder V_{dd} schalten.
6. Ansteuerung der 100µm-Multipolpixel: Für die Ansteuerung der direkt verbundenen Multipolpixel werden Schalter wie bei der direkten Ansteuerung verwendet, allerdings schalten sie zwischen den beiden unabhängigen Versorgungsspannungen `MultipolGND` und `MultipolVDD`. So ist es möglich, diese Multipolpixel auch bei höheren Spannungen als 100V zu betreiben.
7. Ausgänge der Testpixel: Die Ausgänge der Testpixel sind über einen Drehschalter zur Auswahl mit einer Bananenbuchse zum Anschluss eines Messgeräts verbunden.
8. Ausgänge und Verstärkung der Pixel-Photodioden: Der über acht Pads vom Chip geführte Bus mit den verstärkten Signalen der Photodioden wird zum Anschluss an ein

Spannungsmessgerät auf eine Stiftleiste geführt. Über einen Drehschalter kann zusätzlich eines der Signale ausgewählt und mit Hilfe eines Operationsverstärkers – zum Beispiel als Zwischenschritt vor einer eventuellen Digitalisierung – weiter verstärkt werden.

9. Ausgänge der Test-Photodioden: Die Kontakte der Test-Photodioden sind mit einer Stiftleiste verbunden, mit deren Hilfe die Photodioden kontaktiert werden können.

Die Schaltpläne der Hauptplatine sind in Anhang 2 zu finden. Ein Gehäuse mit Bodenplatte und durchsichtiger Abdeckung erlaubt die mechanische Verankerung der nötigen Stecker und Schalter und schützt den Benutzer vor versehentlicher Berührung von Bauteilen, die eine Spannung von 100V führen. Die Platine mit Gehäuse ist in Abb. 7.4 gezeigt. Die durchgeführten elektrischen Tests werden in Abschnitt 8.1 beschrieben.

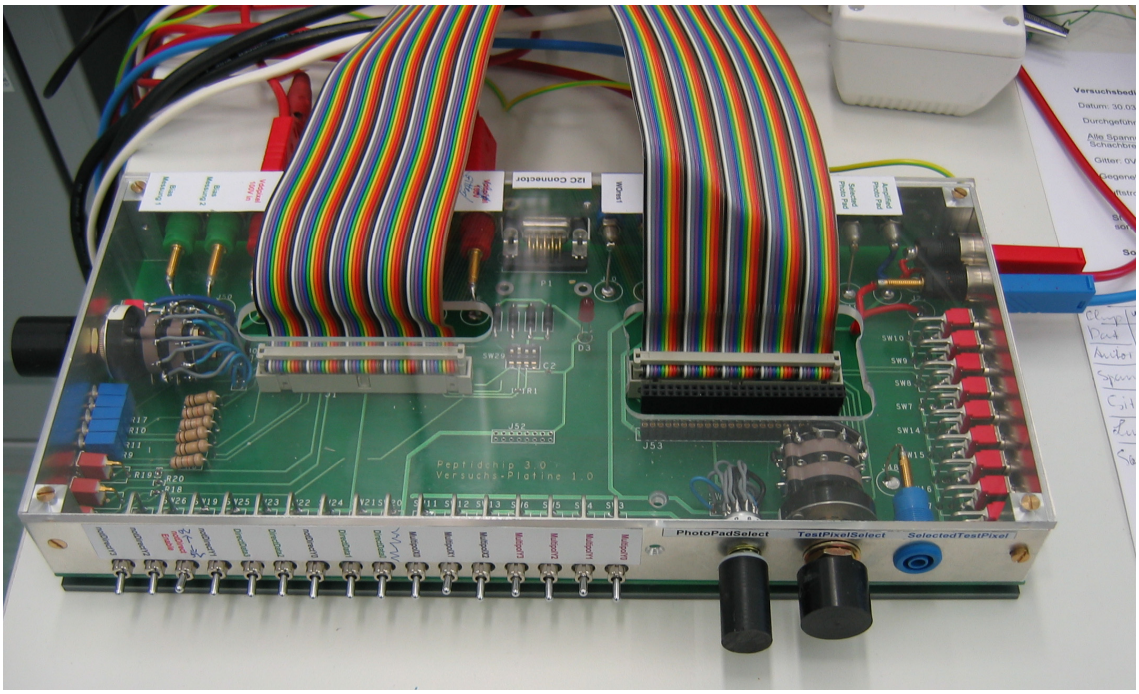

Abb. 7.4: Hauptplatine im Gehäuse

7.2 Software

Eine Software zur Ansteuerung eines I^2C-Interfaces, die auf den Arbeiten [BAU99] und [STA05] basiert, steht in Form von C-Routinen zur Ansteuerung eines externen I^2C-Masters über den Parallelport eines Labor-PCs und von virtuellen Instrumenten in LabView zur Verfügung. Die C-Routinen könnten zur Ansteuerung des Peptidchips direkt übernommen werden, während die virtuellen Instrumente an die anderen Anforderungen der betreffenden anderen Chips angepasst sind und neu geschrieben werden müssen.

Die vorhandene Software wurde für den Betrieb unter Windows 98 erstellt. Da dieses Betriebssystem im Netzwerk des DKFZ nicht mehr eingesetzt werden kann, erscheint es sinnvoll, zusammen mit der Entwicklung der neuen virtuellen Instrumente auch einen Wechsel des verwendeten Betriebssystems zu Windows XP durchzuführen. Unter Windows XP aber ist der direkte Zugriff auf den Parallelport, wie er von den vorhandenen C-Routinen durchgeführt wird, nicht mehr zulässig. Die Software für das I^2C-Interface muss daher neu

entwickelt werden. Im Rahmen dieser Arbeit steht so nur die direkte Ansteuerung zur Verfügung.

7.3 Partikelübertrag

7.3.1 Aerosolkammer

Für die Partikelübertragsexperimente aus dem Aerosol werden ähnliche Partikelkammern wie beim Peptidchip 2 verwendet. Die Tonerkammern wurden angepasst, um die aktuellen Trägerplatinen aufzunehmen. Zusätzlich stehen jetzt Partikelkammern zur Verfügung, die mit einem Rührwerk im Partikelreservoir ausgestattet sind, welches für besser reproduzierbare Bedingungen beim Partikelübertrag sorgt.

Zur Überprüfung wird ein Mikroskop „Olympus BX50“ mit 40-facher oder 100-facher Vergrößerung mit aufgesetzter Mikroskopkamera „SONY PowerHAD“ benutzt.

7.3.2 Desorption im Luftstrom

Als Aufbau für die Desorptionsexperimente dient ein Halter, der den Chip unter dem Auslass eines Druckluftschlauches festhält. Die Durchflussmenge und damit die Geschwindigkeit des Luftstroms sind einstellbar. Der mit Partikeln beschichtete Chip kann so einem Luftstrom ausgesetzt werden.

Auch hier können die Ergebnisse mit der Mikroskopkamera bewertet und dokumentiert werden.

Falls, wie erwartet, der Toner beim Betrieb des Chips nicht anschmilzt, kann der Luftstrom möglicherweise bei maximaler Stärke auch zur Reinigung des Chips ausreichen.

Die durchgeführten Tonerübertragsexperimente werden in Abschnitt 8.2 beschrieben.

7.4 Test der Photodioden und Fluoreszenzmessungen

Für die Vermessung der Test-Photodioden und der Photopixel kann auf die Aufbauten des Vision-Projekts, beschrieben in [LOO96], zurückgegriffen werden. Es steht unter anderem ein µm-Fahrtisch zur Verfügung, ebenso wie ein 675nm-Diodenlaser, eine Xenonlampe zur Erzeugung eines breiten Spektrums von sichtbarem Licht, ein Monochromator und ein Raumfilter zur Einstellung der verwendeten Wellenlänge und zur Fokussierung sowie ein Photometer zur Bestimmung der tatsächlichen auf den Chip einfallenden Lichtleistung.

Die Tests der Photodioden können in zukünftigen Arbeiten mit diesen Materialien durchgeführt werden.

Mit demselben Aufbau können Fluoreszenz- und Chemoluminiszenzfarbstoffe, wie sie bei späteren Bindungsexperimenten verwendet werden können, auf der Oberfläche des Chips aktiviert und mit Hilfe der Photopixel oder mit den Test-Photodioden vermessen werden.

7.5 Wasserstoffdetektion

Für die Versuche zum Wasserstoffnachweis müssen zunächst die Oberflächen der zu verwendeten Chips mit dem dünnen Wolframoxidfilm überzogen werden. Da hierbei Temperaturen von über 300°C erreicht werden, kann dies nur bei Chips geschehen, die noch nicht auf die Trägerplatinen aufgeklebt sind. Es ist zu überprüfen, ob sich diese Behandlung auf die elektrischen Eigenschaften des Chips auswirkt. Danach können die Chips, wie andere Chips auch, geklebt und gebondet werden, wobei auch die Auswirkungen der Wolframoxidschicht auf die Bondfähigkeit zu prüfen sind. Um den Chip zuverlässig elektrisch kontaktieren zu können, muss entweder der Bonddraht beim Bonden die Wolframoxidschicht durchstoßen oder der Bereich der Bondpads muss von der Beschichtung mit Wolframoxid ausgenommen werden. Alternativ kann ein Verfahren gefunden werden, um lokal im Bereich der Bondpads vor dem Bonden das Wolframoxid wieder zu entfernen.

Für die Versuche zum resistiven Wolframoxidnachweis genügt es nun, mit Hilfe der Hauptplatine die beiden Kontakte dieser Teststruktur mit einer Spannungsquelle und einem Strommessgerät zu verbinden und dabei den Chip kontrollierbaren Konzentrationen von Wasserstoff auszusetzen. Hierfür sind eine entsprechende luftdichte Kammer und ein Messgerät zur Überprüfung der Wasserstoffkonzentration nötig.

Für die Versuche zum optischen Wasserstoffnachweis kann der Aufbau für den resistiven Nachweis um eine Lichtquelle mit einstellbarer Intensität und geeigneter Wellenlänge erweitert werden.

Damit stehen die Konzepte und Materialien zur Verfügung, um die Versuche für die optischen Detektion von Bindungsereignissen und für den Wasserstoffnachweis durchführen zu können.

TEIL III
ERGEBNISSE UND DISKUSSION

8. Versuche und Messungen mit dem Peptidchip 3

8.1 Elektronische Tests

8.1.1 Direkte Ansteuerung und Testpixel

Testpixel und direkte Ansteuerung wurden mit dem in Kapitel 7 beschriebenen Aufbau getestet. Dabei wurden zunächst die Ausgänge der Pixel ohne Doppelsourcefolger über ein Tischmultimeter, Typ HP 34401A, mit der dem Pixel entsprechenden hohen Versorgungsspannung verbunden. Mit Hilfe der Hauptplatine wurden dann die Reaktionen der Testpixel auf Ansteuerung geprüft.

<u>notResetPixel und notSetPixel</u>
Die Funktion der Signale `notResetPixel` und `notSetPixel` wurde überprüft. Für das Signal `notResetPixel` wurde die gewünschte Funktion – das Rücksetzen aller Potentialflächen auf Masse – bestätigt. Für `notSetPixel` dagegen war beim Anlegen des Signals im Widerspruch zur Simulation keine Reaktion der Pixel festzustellen.

<u>Die direkte Ansteuerung</u>
Auch die direkte Ansteuerung zeigt nicht die aus den Simulationen erwartete Funktion. Die Potentialflächen der in den mit `notDirectY[0..3]` angesteuerten Zeilen liegenden Pixel werden bei aktiviertem `notDirectEnable` alle – unabhängig von der gewählten Einstellung der Datenleitungen `PixelData[0..3]` – bei Ansteuerung der betreffenden Zeile auf hohe Spannung gezogen. Eine sinnvolle Programmierung der Pixel unter Verwendung der direkten Ansteuerung ist nicht möglich, da sich so nur ganze Zeilen auf gleiches Potential schalten lassen.

Eine erneute Betrachtung des Layouts des Peptidchips zeigte, dass die Anschlüsse für `notSetPixel` und `notDirectEnable` am Eingang des Digitalteils vertauscht wurden. Dieser Fehler konnte auftreten, da eine gemeinsame Verifikation des Digital- und Analogteils aufgrund von Problemen mit dem *Design Kit*[1] nicht möglich war. Es wurden daher am Rand des Digitalteils von Hand *LVS-Korrespondenzpunkte*[2] eingetragen, und beide Teile wurden separat verifiziert. Beim Eintragen der Korrespondenzpunkte wurden dann die beiden Anschlüsse vertauscht.

Mit diesem Verständnis der Fehlfunktion kann eine einfache Gegenmaßnahme realisiert werden. Es genügt, während der direkten Ansteuerung zusätzlich zum Signal `notDirectEnable` das Signal `notSetPixel` auf 1 zu ziehen. Dann sind beide Teile der direkten Ansteuerung aktiviert. Tatsächlich funktioniert die direkte Ansteuerung unter Verwendung dieser Methode einwandfrei. Die ursprünglich geplante Funktionalität des

---

[1] Das Design Kit ist ein vom Halbleiterhersteller zur Verfügung gestellter Satz von prozessspezifischen Werkzeugen bzw. Konfigurationsdaten für Werkzeuge zum Entwurf, zur Simulation und zur Verifikation einer integrierten Schaltung im betreffenden Prozess.

[2] Der LVS oder Layout versus Schematic-Vergleichstest ist ein Test der den entworfenen Schaltplan (Schematic) mit den Anordnungen der Materialien auf dem Halbleiter und der daraus *extrahierten* Schaltung (Layout) vergleicht. Die Korrespondenzpunkte des LVS sind vom Designer in beiden Ansichten eingetragene übereinstimmende Ausgangspunkte des Vergleiches, oft die Anschlüsse der zu verifizierenden Schaltung.

Signals `notSetPixel`, das Setzen aller Potentialflächen auf hohe Spannung, steht nun nicht zur Verfügung, aber da sich diese Funktion auch leicht mit entsprechenden Einstellungen der digitalen Ansteuerung realisieren lässt, ist sie problemlos verzichtbar. Auch für den Betrieb der digitalen Ansteuerung sind keine Probleme zu erwarten.

Test der HV-Doppelsourcefolger
Bei ersten Tests des HV-Doppelsourcefolgers wurde festgestellt, dass nach mehreren Schaltvorgängen die betreffenden Pixel-Testausgänge keine Funktion mehr zeigten. Dies lässt darauf schließen, dass bei den gegebenen Lastwiderständen die Transistoren für zu lange Zeit in den verbotenen Bereich exzessiver Gate-Source-Spannungen geraten. Ein weitergehendes Verständnis dieses Effekts sollte sich aus weitergehenden systematischen Messungen ergeben, die zukünftigen Arbeiten vorbehalten bleiben. Für die Messungen werden die Testpixel ohne Doppelsourcefolger verwendet, wobei gegen hohe Spannung gemessen wird.

8.1.2 Beobachtungen zu Ausbeute und Zuverlässigkeit

Nach den Erfahrungen mit Peptidchip 2 wurde bei den Versuchen mit Peptidchip 3 Ausbeute und Zuverlässigkeit besonders geprüft.

Über die Ausbeute können noch keine genauen Aussagen getroffen werden, da sich zunächst große Schwierigkeiten ergaben, für die verwendeten Trägerplatinen geeignete Bondparameter zu finden. Da bei den verwendeten Platinen die üblichen Parameter zu häufigem Ablösen von Bonddrähten von der Trägerplatine führten, müssen passende Parameter zuerst noch weiter überprüft werden. Im Gegensatz zum Peptidchip 2 ließen sich jedoch – bis auf die weiter unten beschriebenen während einiger Messungen aufgetretenen Kurzschlüssen – keine Defekte außer den auf fehlerhafte Bonds zurückzuführenden feststellen.

Drei der verwendeten Chips wurden während elektrischer Tests zerstört. In mindestens zwei Fällen wurde ein Aufleuchten des Chips bei erhöhtem Stromfluss direkt nach dem Einschalten einer Spannungsquelle beobachtet. Unter dem Mikroskop waren an verschiedenen Orten der Chips, besonders in den Hochspannungs-Zuleitungen und den Biasspannungsgeneratoren, geschmolzene Bereiche zu erkennen. Diese Anzeichen lassen einen Kurzschluss auf dem Chip sehr wahrscheinlich erscheinen. Eine erste Hypothese geht von Überspannungen aus, die beim Einschalten der Spannungsquellen durch die Induktivitäten in den sehr langen Leitungen zwischen den Spannungsquellen und dem Chip oder auch durch Spannungsspitzen beim Einschalten der Quellen auftreten. Da die Zuleitungen der Hochspannung nicht mit Siebkapazitäten ausgestattet sind, erscheint dieser Effekt möglich. Als erste Abhilfe wurden bei allen folgenden Versuchen die Hochspannungen langsam über einige Sekunden bis auf volle Spannung hochgefahren. Es traten seitdem keine derartigen unerklärten Kurzschlüsse mehr auf. Zukünftige Versionen der Hauptplatine könnten mit Siebkapazitäten auch für die Hochspannungen ausgestattet werden.

Ansonsten wurden einzelne Chips über 30 Beschichtungen mit anschließender Reinigung im Luftstrom und durch Abreiben mit einem über einen Spatel gelegtes Zellstofftuch ausgesetzt, ohne dass eine Verschlechterung ihrer Eigenschaften oder gar ein Ausfall die Folge gewesen wäre. Außer den Ausfällen durch die unerklärten Kurzschlüsse und einem Ausfall durch einen Bedienfehler konnten bei den durchgeführten Tests keine Ausfälle von Pixeln oder Chips festgestellt werden.

8.1.3 Das I^2C – Interface

Aufgrund der in Kapitel 7 beschriebenen Problematik der nicht vorhandenen Software konnte hier nur ein verkürzter Test des Interfaces durchgeführt werden. Dazu wurde der Chip an den Testaufbau des OTIS-Chips [STA05] angeschlossen. Die Programmierung des Chips ist mit diesem Aufbau nicht möglich, aber bei Ansteuerung des Chips unter seiner Adresse antwortet dieser korrekt. Damit ist gezeigt, dass mit dem gegebenen Aufbau der Digitalteil des Chips in der Lage ist, im Rahmen des I^2C-Protokolls einem Master unter der gewünschten festen Adresse zu antworten. Die korrekte Funktion des internen RC-Verzögerungsgliedes für SDA ist damit ebenfalls bestätigt (Abschnitt 6.3.2.3). Die externe Rückfalllösung auf der Hauptplatine wird also nicht benötigt und braucht nicht bestückt zu werden.

8.1.4 Test der Hochspannungstransistoren

Die einzelnen Hochspannungstransistoren wurden mit einem Halbleiter-Parametertester vermessen. Dabei wurde deren einwandfreie Funktion festgestellt. Es wurde weiterhin für die 30V-NMOS-Transistoren von Chips aus zwei verschiedenen Wafern festgestellt, dass an den Transistoren auch Drain-Source-Spannungen über 30V, eventuell bis 50V oder höher, ohne Zerstörung auch über mehrere Stunden anliegen können. Eine Veränderung der Prozessparameter wurde allerdings beobachtet. Die genauen Resultate dieser Messungen sind in [NES05] zu finden.

8.1.5 Test parasitärer Transistoren

Die in Kapitel 5.3.3 beschriebene Struktur eines abgeschirmten parasitären Hochspannungstransistors wurde getestet. Mit den maximal zulässigen Spannungen ist es nicht möglich, den Transistor leitend zu schalten. Daraus kann geschlussfolgert werden, dass bei Verwendung in minimalem Abstand verlegter Metallleiterbahnen als Abschirmung keine ausreichend starken Felddurchgriffe durch die Lücken zwischen den Leiterbahnen mehr möglich sind, um parasitäre Feldoxidtransistoren leitend zu schalten.

8.2. Untersuchung des Partikelübertrags

8.2.1 Einleitung

Bei den bisher durchgeführten Experimenten zur Untersuchung des Partikelübertrags wurden sowohl die selektive Adsorpion auf den Chip aus dem Aerosol als auch die selektive Desorption untersucht. Der Schwerpunkt lag dabei bisher auf den Versuchen zur selektiven Adsorption in der Aerosolkammer.

Die Ergebnisse der Partikelübertragsexperimente sind in Form von Mikroskopbildern erfasst. Diese können, wie in Abschnitt 3.2.3 beschrieben, nur qualitativ bewertet werden. In den Abschnitten 8.2.2 bis 8.2.6 werden ausgewählte Bilder aus insgesamt 45 Versuchen mit verschiedenen Bedingungen verglichen, um verschiedene Einflüsse auf die Qualität des Partikelübertrags zu beurteilen.

Zu Problemen bei der Untersuchung des Partikelübertrags führten nur bedingt kontrollierbare Bedingungen in der Partikelkammer. So ist es nicht möglich, präzise zu erfassen, welche Partikeldichte im Aerosol bei einem Bestäubungsversuch vorhanden ist. Nur eine grobe

Unterteilung in „viele“, „mittlere Mengen“ und „wenige“ Partikel durch Beobachtung des Luftstromes in der Kammer ist möglich. Ein deutlicher Einfluss der Partikeldichte auf das Beschichtungsergebnis wurde beobachtet. Für diese Untersuchungen wurden nur Versuche mit „mittleren Mengen“ von Partikeln im Luftstrom benutzt, doch auch so bleibt die Partikeldichte eine Quelle der Unsicherheit.

Bei den Versuchen werden zunächst nur Schaltpixel diskutiert, auf die Multipolpixel wird separat in Abschnitt 8.2.7 eingegangen.

8.2.2 Allgemeine Feststellungen

8.2.2.1 Erwärmung und Anschmelzen der Partikel

Mit dem Peptidchip 3 tritt, wie erwartet, im Betrieb keine merkliche Erwärmung mehr auf. Die Tonerpartikel werden nicht wie bei Peptidchip 2 angeschmolzen. Eine Reinigung kann durch einfaches Abblasen der Tonerpartikel im Luftstrom und anschließendes Abreiben ohne die Verwendung von Lösungsmitteln erfolgen. Das Anschmelzen von Partikeln kann durch gezieltes Erwärmen erreicht werden. In Abb. 8.1a und Abb. 8.1b sind einige Pixel mit unveränderten, frisch übertragenen Partikeln und zum Vergleich die entsprechenden Pixel mit nach dem Übertrag (in einem anderen Beschichtungsexperiment) durch Erwärmen des Chips angeschmolzenen Partikeln gezeigt.

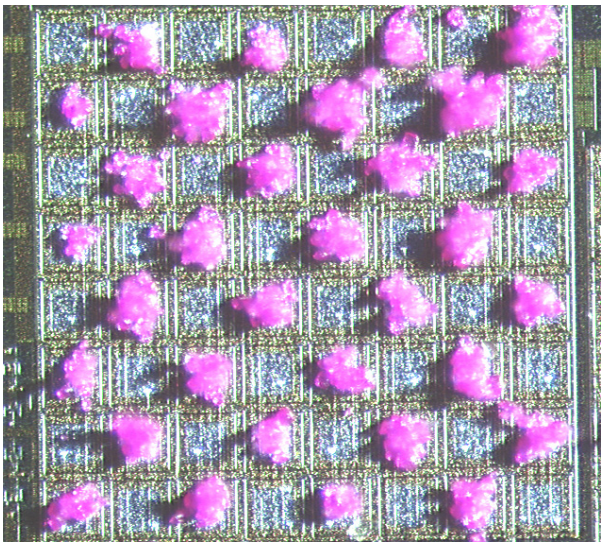

Abb. 8.1a: Pixel mit Tonerpartikeln nach dem Übertrag aus dem Aerosol (Versuch 29-1i) [1]

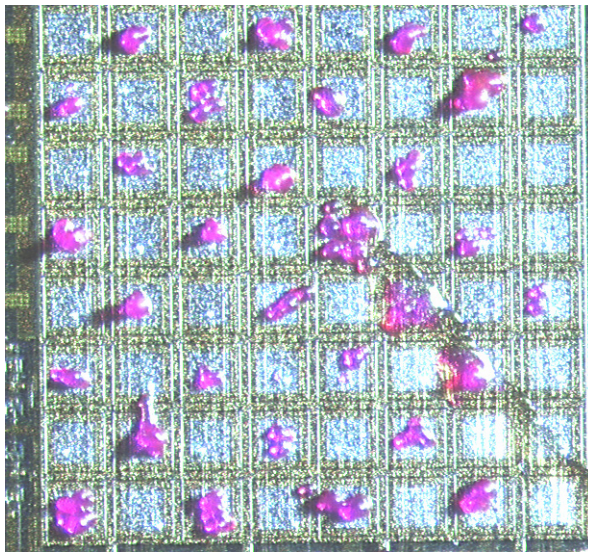

Abb. 8.1b: Pixel mit durch externe Wärmezufuhr im Ofen angeschmolzenen Tonerpartikeln (Versuch 29-1i)

8.2.2.2 Einsatz einer Gegenelektrode

Bei Verwendung einer Gegenelektrode in Form eines quadratischen Metallstreifens im Luftstrom wie beim Peptidchip 2 konnte in der beim Peptidchip 3 verwendeten Tonerkammer kein kontrastreicher Tonerübertrag erzielt werden. Da dieses Phänomen unabhängig vom an

[1] Versuchsnummern wurden vergeben nach dem System (Chipnummer - laufende Versuchsnummer Pixelfeld)

der Gegenelektrode anliegenden Potential und sogar bei nicht kontaktierter Elektrode auftrat, erscheinen Verwirbelungen im Luftstrom die wahrscheinlichste Erklärung für diesen Effekt. Es werden daher hier nur die Ergebnisse von Versuchen ohne diese Gegenelektrode beschrieben.

8.2.2.3 Einfluss von Leiterbahnen auf hohen Spannungen

Auf dem Peptidchip 3 sind – im Gegensatz zum Vorgänger – aufgrund der komplexeren Geometrien mit vielen verschiedenen Pixeln auf dem Chip nicht mehr alle Versorgungsleitungen unter den Pixeln untergebracht. Anstatt dessen wurden die Versorgungs- und Ansteuerungsleitungen in Kanälen zwischen den Pixeln geführt. Dabei wurde auch die oberste Metalllage für Leiterbahnen benutzt. Ein für die Experimente mit dem Chip hinderlicher Effekt trat in den Bereichen auf, in denen Leiterbahnen und Pixelfelder auf hoher Spannung (z.B. 100V) Pixelfelder mit niedrigeren Spannungen (30V) umschlossen. In den entsprechenden Bereichen wurden die Pixel der Felder mit niedrigerer Spannung nicht oder nur sehr schwach beschichtet. Am deutlichsten belegt wird dieser Sachverhalt durch Abb. 8.2a und Abb. 8.2b. Beide Aufnahmen zeigen Ergebnisse desselben Tonerübertrags-experiments. Abb. 8.2a zeigt die nicht beschichteten, auf zwei Seiten von 100V-Versorgungsleitungen umgebenen Pixel des Pixelfelds o) (siehe Abb 6.11).Deutlich zu erkennen sind die stark beschichteten 100V-Versorgungsleitungen und das nur schwach beschichtete Pixelfeld. Auf Abb. 8.2b ist Pixelfeld q) mit deutlich höherer Beschichtungs-dichte zu sehen, das nur an einer Seite an eine Leiterbahn auf 100V angrenzt und in den anderen Richtungen von Substrat umgeben ist. Pixelfeld o) unterscheidet sich nur durch Öffnungen für Photodioden von Feld q).

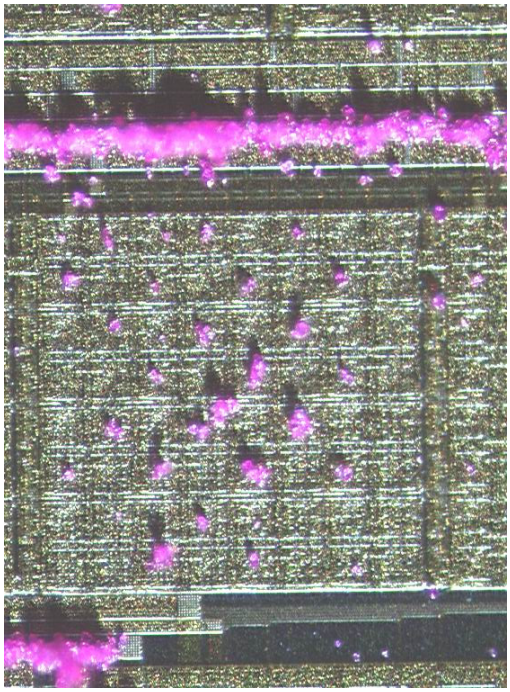

Abb. 8.2a: 30V-Pixelfeld mit benachbarten Leiter-bahnen auf 100V (Versuch 30-1o)

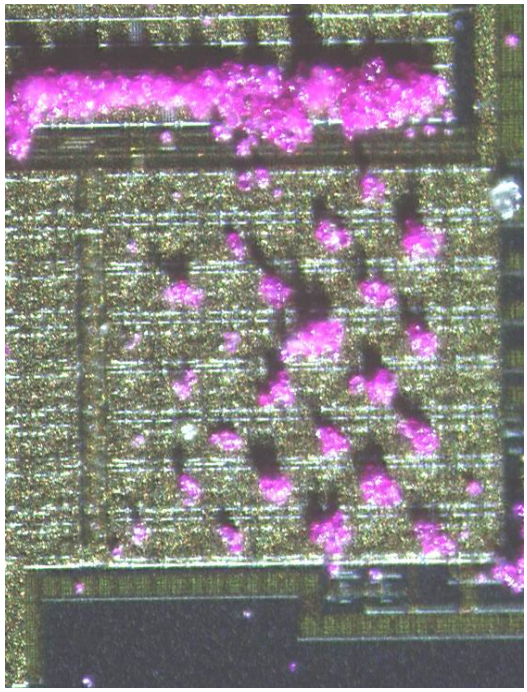

Abb. 8.2b: 30V-Pixelfeld, von Substrat umgeben (Versuch 30-1q)

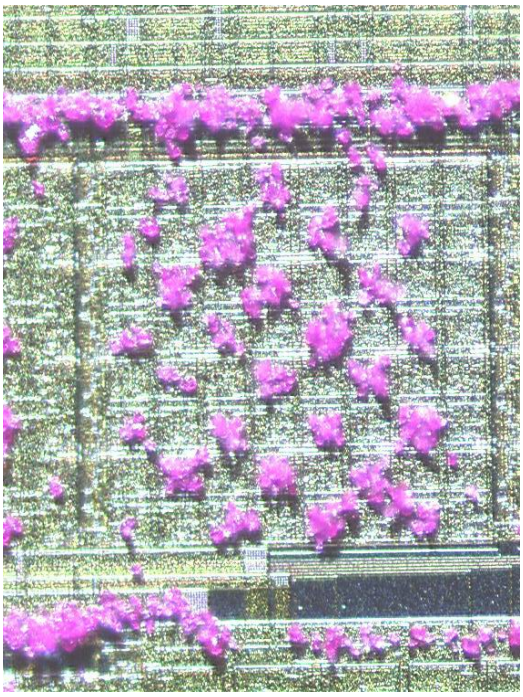

Abb. 8.2c 30V-Pixelfeld mit benachbarten Leiterbahnen auf 30V (Versuch 30-3o)

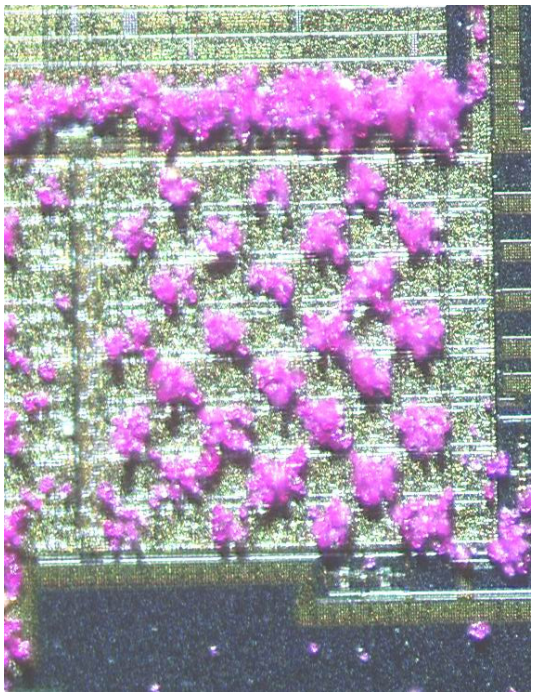

Abb. 8.2d 30V-Pixelfeld, von Substrat umgeben (Versuch 30-3q)

Einwandfrei nachgewiesen wurde die Ursache dieses Effekts durch Versuche, bei denen auf die Versorgungsleitungen für die 100V-Pixel nur 30V Spannung gelegt wurde. Abb. 8.2c zeigt Pixelfeld o) mit umgebenden Versorgungsleitungen in dieser Konfiguration, im Vergleich dazu in Abb. 8.2d wieder Pixelfeld q) aus demselben Tonerübertragsversuch. Obwohl die nun 30V führende Leiterbahn immer noch stark beschichtet ist, sind nun auch diese Pixel stärker beschichtet.

8.2.2.4 Randeffekte

Abb. 8.2c und Abb. 8.2d zeigen auf den Pixeln am rechten Rand und in schwächerer Ausprägung auch am linken Rand des jeweiligen Pixelfeldes nicht beschichtete Pixel, obwohl auch diese in Fortsetzung des Schachbrettmusters angesteuert waren. Dieser Effekt tritt für fast alle Pixelfelder in wechselnder Stärke auf, tendenziell stärker wenn die Randpixel an eine größere Fläche auf 0V angrenzen. Eine weitergehende Erklärung für diesen Effekt ist noch nicht gefunden. Da allerdings spätere anwendungstaugliche Peptidchips eine große, regelmäßige Fläche von Pixeln aufweisen werden, wird sich dieses Problem dort durch Verwendung eines Rings von Dummypixeln um den Chip beheben lassen.

8.2.3 Einfluss von Pixelgröße, Form, Struktur und Gitterbreite

Um die Beschichtungsqualität in Abhängigkeit von der Pixelgeometrie zu erforschen, wurde der Chip mit einem Schachbrettmuster mit 30V bzw. 0V Pixelspannung bei einer Gitterspannung von 15V betrieben. Der beschichtete Chip ist im Überblick in Abb. 8.3 zu sehen. Die zur Beurteilung verwendeten 21 Vergrößerungen sind in Anhang 3, Abbildungen A5.1a-v zu finden. Bei diesen Parametern gelang auf fast allen Pixelfeldern ein Tonerübertrag

mit guter Qualität, mit Ausnahme von Pixelfeld b) auf dem nur das Gitter beschichtet wurde. Auf dieses als *Gitterinversion* bezeichnete Phänomen wird in Abschnitt 8.2.5 eingegangen. Ansonsten war eine Beschichtung von Pixeln mit Kantenlängen größer als 43µm möglich. Erst bei den Pixeln mit 30µm und 20µm Kantenlänge (Abb. A3.1s) greift die Beschichtung auf die Nachbarpixel über. Hier ist aber auf dem Bild zu sehen, dass nun die einzelnen verwendeten Tonerpartikel bereits teilweise größer als die Pixelzwischenräume sind. Der Einfluss von Passivierung über den Potentialflächen auf die Beschichtungsqualität ist gering (Abb. 8.3), aber es bildet sich auf Pixeln ohne Passivierung meist eine nur etwas dickere Tonerdecke. Auf Passivierungsöffnungen über den Potentialflächen kann also verzichtet werden.

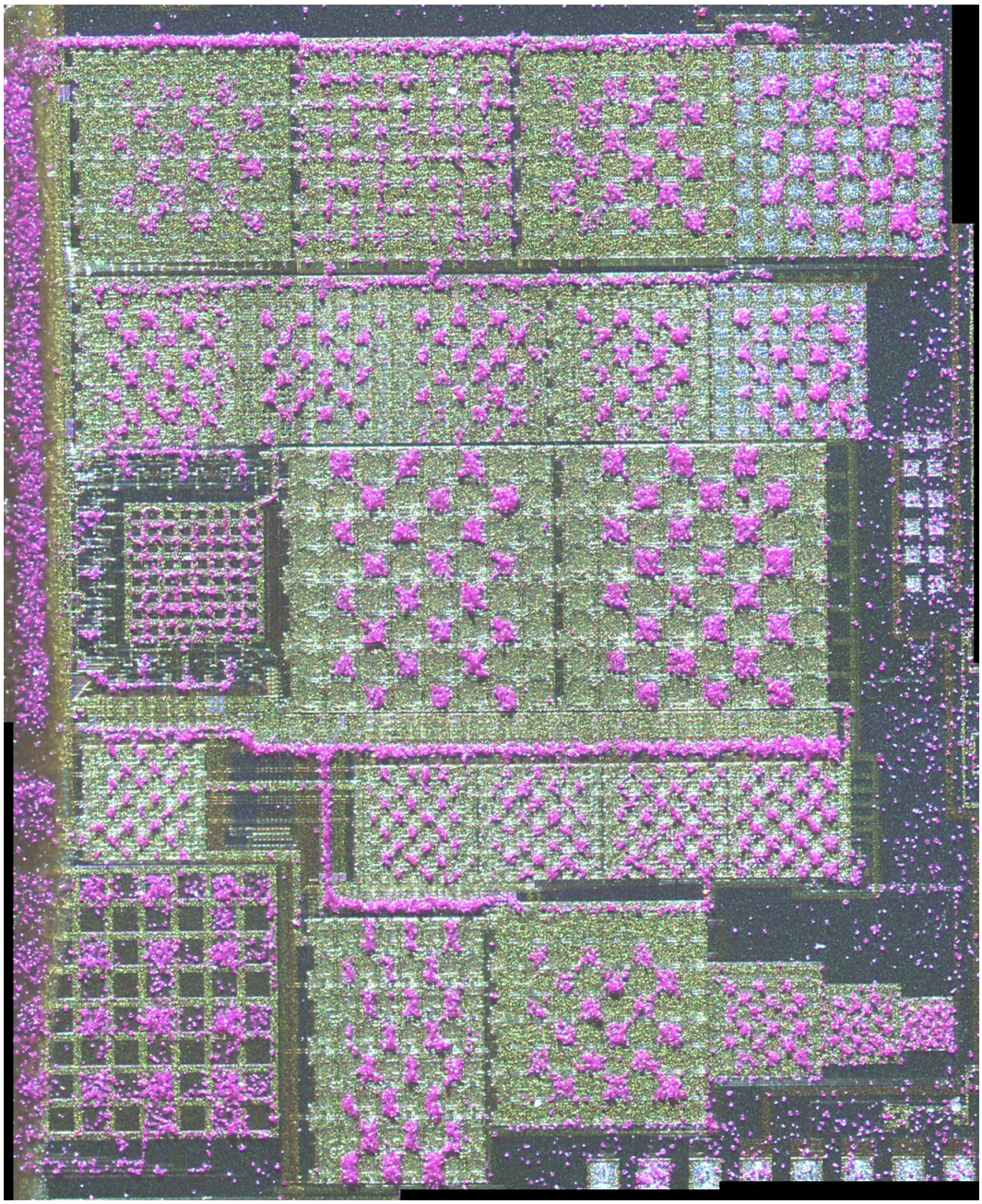

Abb. 8.3: Mit 30V Pixelspannung, 15V Gitterspannung beschichteter Chip (Versuch 30-3)

Ansonsten waren Pixel mit und ohne Passivierung, runde, quadratische und rechteckige Pixel mit und ohne Löcherstrukturen und auch verschieden große Pixel ab 43µm Kantenlänge und – mit Ausnahme von Pixelfeld b) mit breitem Gitter – innerhalb der Beurteilungsgenauigkeit gleich gut beschichtet. Unterschiede zwischen diesen Pixeln konnten erst im Rahmen der Untersuchungen zur Gitterinversion herausgearbeitet werden (Abschnitt 8.2.5).

8.2.4 Einfluss der Pixel- und Gitterspannung

Wie bereits in Abschnitt 8.2.3 gezeigt, besteht für Spannungen über 30V zumindest für Schachbrettmuster kaum noch Potential für eine Verbesserung der Beschichtungsqualität. Tatsächlich wurde hier auch kein erkennbarer Unterschied festgestellt. Für andere Verhältnisse zwischen beschichteten und unbeschichteten Pixeln steht diese Untersuchung noch aus.

Es wurde versucht, die Einflüsse verschiedener Gitterspannungen auf die Beschichtungsqualität zu testen. Es zeigte sich eine Tendenz zu verbesserter Beschichtung bei einer Gitterspannung von 15V, die nur schwer zu belegen ist, da sie sich bei Schachbrettmustern in dem Bereich der Veränderung durch die nicht kontrollierbare Partikelkonzentration im Aerosol bewegt. Bei anderen Beschichtungsverhältnissen (Abschnitt 8.2.6) dagegen war teilweise die Beschichtung mit vernünftiger Qualität nur bei Gitterspannungen >0V möglich. Daher wurden viele der Versuche mit dieser Gitterspannung durchgeführt.

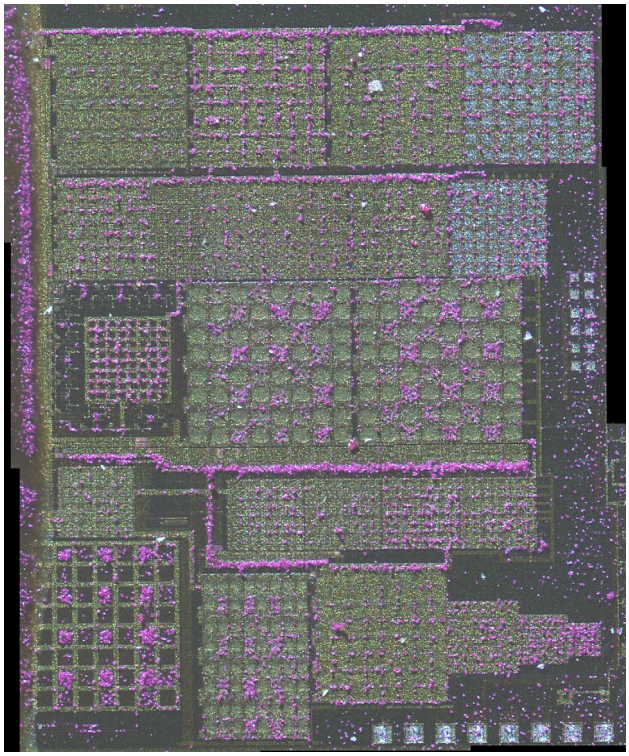

Abb. 8.4a: Gesamtansicht bei 25V Pixelspannung, 12,5V Gitterspannung (Versuch 30-10)

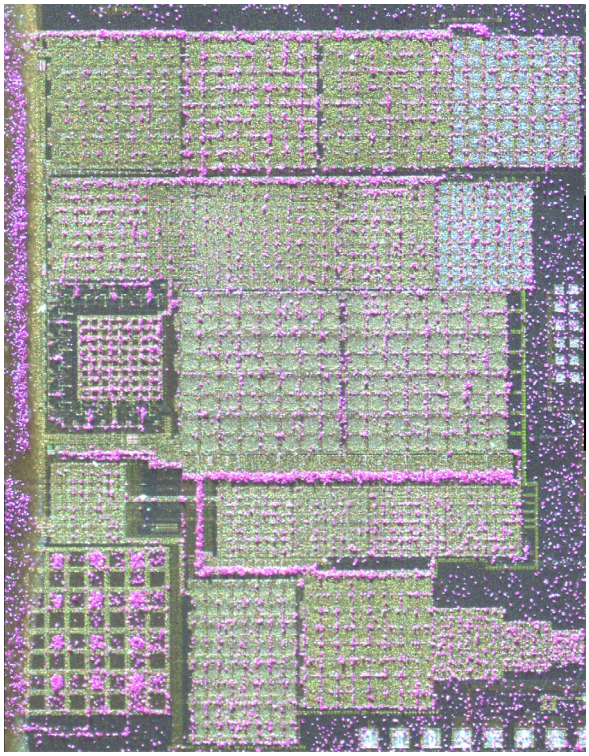

Abb. 8.4b: Gesamtansicht bei 20V Pixelspannung, 10V Gitterspannung (Versuch 30-11)

Die mindestens nötige Spannung für erfolgreichen Tonerübertrag wurde gesucht. Dazu wurden alle Pixel bei einer gemeinsamen Spannung betrieben und diese von 30V über 25V auf 20V abgesenkt. Die Gitterspannung betrug jeweils die Hälfte der Pixelspannung. Die Ergebnisse sind in Abb. 8.4a-b dargestellt. Zum Vergleich kann Abb. 8.3 benutzt werden. Es ist zu erkennen, dass bei 25V auf allen Pixeln außer den Pixelfeldern k), l) und s) Fehlbeschichtung oder Gitterinversion auftritt. Interessant ist hier, dass sowohl die Pixel mit 100µm * 100µm Fläche als auch die rechteckigen Pixel mit einer Fläche von 100µm * 43,4µm noch korrekt beschichtet werden. Bei 20V findet schließlich gar keine korrekte Beschichtung von Schaltpixeln mehr statt.

8.2.5 Gitterinversion und Beschichtungsanomalien

Das bereits in Abschnitt 8.2.3 erwähnte Phänomen der Gitterinversion erfordert besondere Beachtung. Als Gitterinversion bezeichnen wir hier das Phänomen der Beschichtung des Chips über der Gitterelektrode am Rand der Pixel, zwischen den Potentialflächen, bei gleichzeitig vollständig freibleibenden Potentialflächen.

Gitterinversion trat bei den Versuchen insbesondere bei den Pixeln mit breitem Gitter, bei mittleren Gitterspannugen und bei geringen angelegten Pixelspannungen auf. Um diesen Zusammenhang zu bestätigen wurden Versuche bei Schachbrettmustern mit konstanter Pixelspannung von 30V mit Gitterspannungen zwischen 15V und 30V durchgeführt. Die Ergebnisse sind in Abb. 8.5a-c und zum Vergleich Abb 8.3 gezeigt.

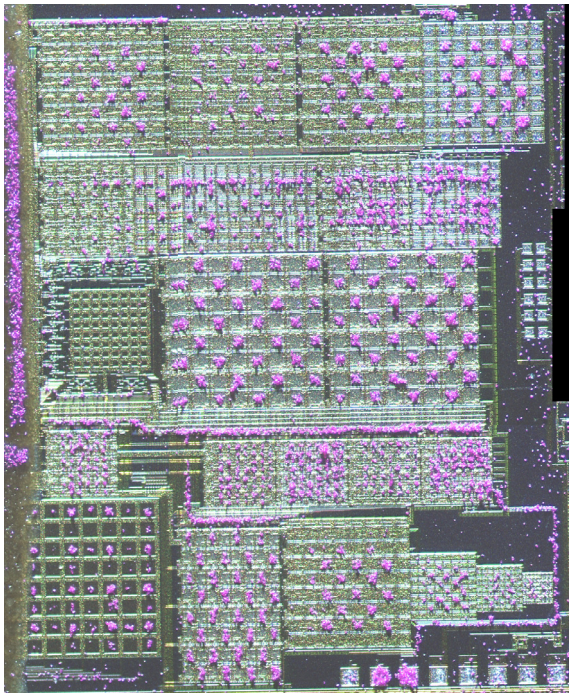

Abb. 8.5a: Gesamtansicht bei 30V Pixelspannung, 20V Gitterspannung (Versuch 30-15)

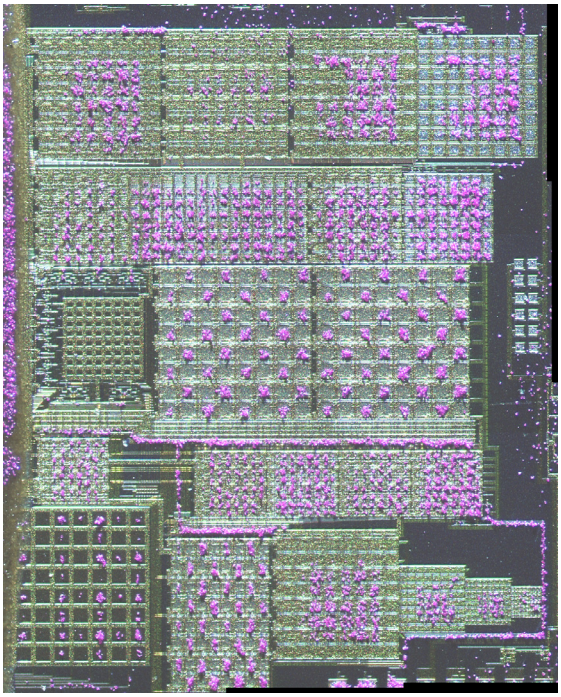

Abb. 8.5b: Gesamtansicht bei 30V Pixelspannung, 25V Gitterspannung (Versuch 30-16)

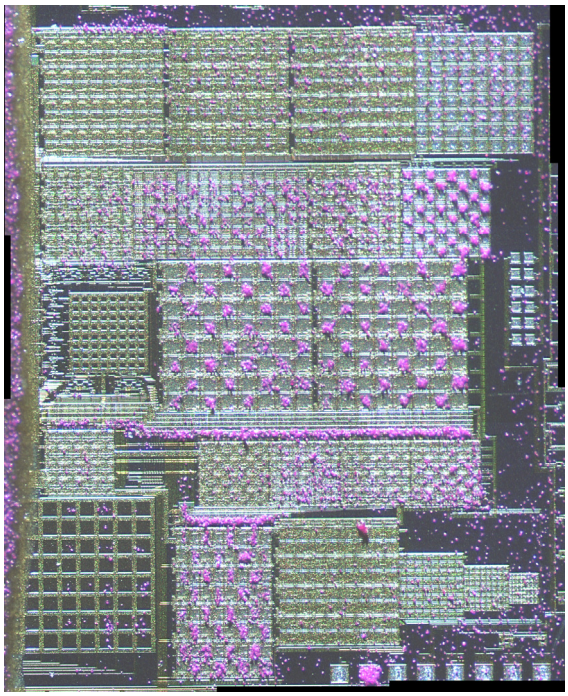

Abb. 8.5c: Gesamtansicht bei 30V Pixelspannung, 30V Gitterspannung (Versuch 30-17)

Anstelle der Gitterinversion tritt hier jedoch großflächige oder zufällige Beschichtung auf. Die Gitterinversion scheint also bei mittleren Gitterspannungen am stärksten aufzutreten.

Die Ursachen der Gitterinversion sind noch unklar. Eine denkbare Ursache sind noch nicht untersuchte Effekte im elektrischen Feld, auch solche, bei denen die Polarisation der Partikel eine Rolle spielt. Hier ist zu bedenken, dass gerade bei mittleren Gitterspannungen das elektrische Feld über dem Gitter am stärksten ist, Partikel also dort am stärksten polarisiert werden. Die durch diese Polarisierung ausgelösten Kräfte könnten die von der Ladung des Partikels verursachten Kräfte überschreiten. Eine andere Erklärungsmöglichkeit betrifft die Aufladung von beschichteten Pixeln bei vorangegangener Beschichtung mit hoher Spannung. Es ist denkbar, dass bei einem Beschichtungsvorgang Ladungen auf der Oberfläche des Chips abgeladen werden, die auch beim Reinigen der Pixel durch Abpusten dort verbleiben. Bei den hohen verwendeten Spannungen ist sogar ein Eindringen der Ladungen durch den sogenannten *Elektret-Effekt* oder durch Elektromigration denkbar. Diese negativen Ladungen würden das Feld des darunter liegenden Pixels abschwächen oder sogar ein eigenes, entgegengesetzt gerichtetes Feld aufbauen. Das Gitter wäre dann der am positivsten geladene Bereich und die Tonerpartikel würden sich dort absetzen. Gestützt wird diese Hypothese dadurch, dass bisher noch nie bei einem ersten Versuch an einem Versuchstag Gitterinversion auftrat. Denkbar ist auch ein Zusammenwirken beider möglicher Ursachen. Genauere Untersuchungen hierzu sind Gegenstand zukünftiger Arbeiten.

8.2.6 Einfluss des Verhältnisses beschichteter zu unbeschichteter Pixel

Ähnliche Effekte wie die in Abschnitt 8.2.2.4 beschriebenen Randeffekte sind auch zu befürchten, wenn z.B. einzelne Pixel in einer großen Fläche unbeschichteter Pixel beschichtet werden sollen. Auch im Grenzbereich zwischen großen Flächen angesteuerter und nicht angesteuerter Pixel sind solche Effekte zu befürchten.

Erste Untersuchungen zur Beschichtung mit anderen Mustern als Schachbrettmustern wurden daher durchgeführt. Insbesondere wurden regelmäßige Anordnungen mit Verhältnissen zwischen angesteuerten und nicht angesteuerten Pixeln von 1:3, 1:7 und 1:15 sowie von 15:1 beschichtet. Zusätzlich wurde ein Beschichtungsversuch durchgeführt, bei dem jeweils Streifen von drei aus 16 Pixeln angesteuert wurden. Abb. 8.6a-f zeigen die Ergebnisse dieser Versuche sowie zum Vergleich das Ergebnis eines Versuches mit 1:1 Schachbrettmuster. Die angelegten Pixelspannungen waren zur Vermeidung der in Abschnitt 8.2.2.3 beschriebenen Effekte von Leiterbahnen auf hohen Spannungen neben Pixeln auf niedrigen Spannungen so gewählt, dass alle Pixelfelder für Schachbrettmuster gute Ergebnisse zeigten. Im Einzelnen wurden Spannungen von 30V für die Pixelfelder mit maximaler Versorgungsspannung 30V und 60V angelegt sowie 60V an die Pixelfelder mit Maximalspannung 100V. Das Gitter zwischen den Pixeln wurde auf eine Spannung von 15V gelegt (Abschnitt 8.2.4), da Versuche mit Gitterspannung 0V weitgehend zufällig verteilte Tonerpartikel auf dem Chip zeigten.

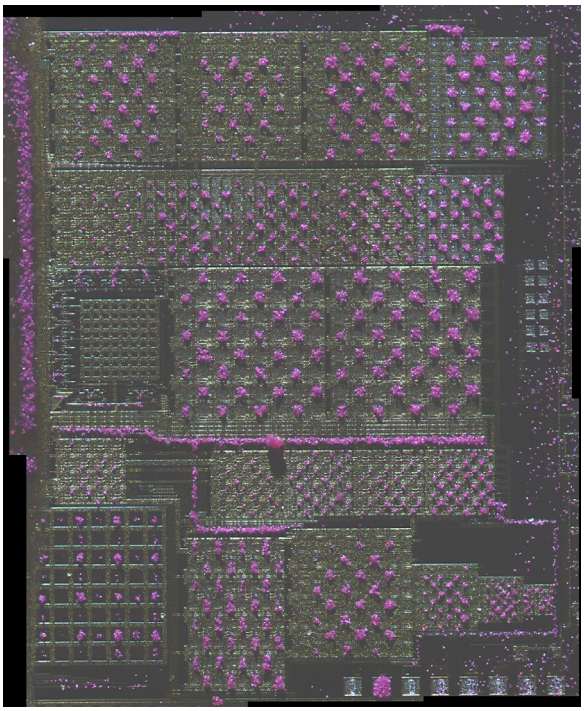

Abb. 8.6a: Gesamtchip, Schachbrettmuster (Versuch 30-14)

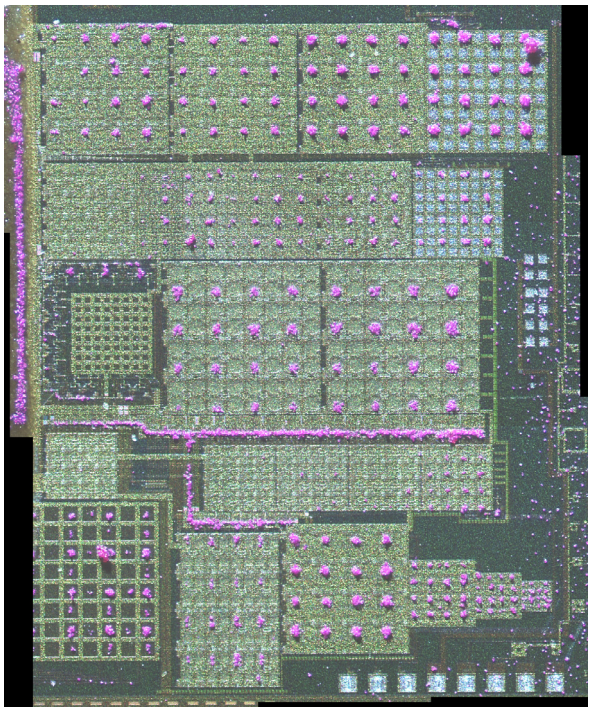

Abb. 8.6b: Gesamtchip, Beschichtungsverhältnis 1:3 (Versuch 30-18)

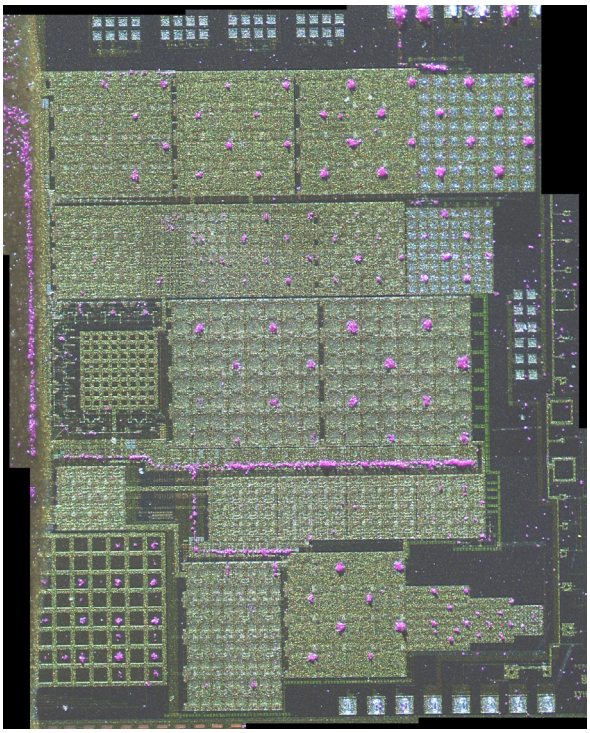

Abb. 8.6c: Gesamtchip, Beschichtigungsverhältnis 1:7 (Versuch 30-20)

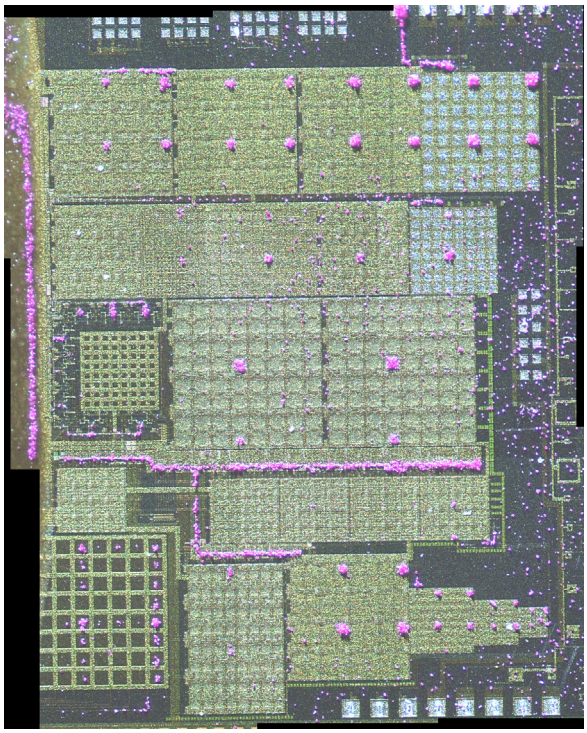

Abb. 8.6d: Gesamtchip, Beschichtungsverhältnis 1:15 (Versuch 30-13)

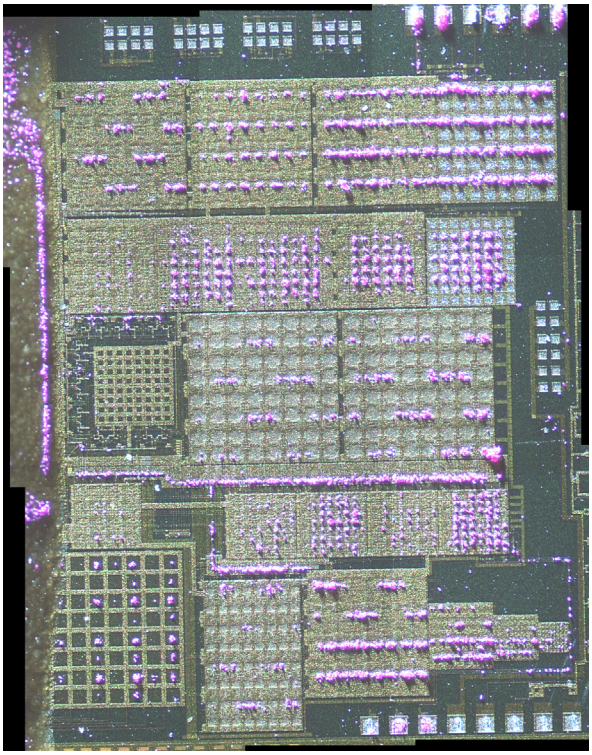

Abb. 8.6e: Gesamtchip, Beschichtigungsverhältnis 3:5 (Versuch 30-19)

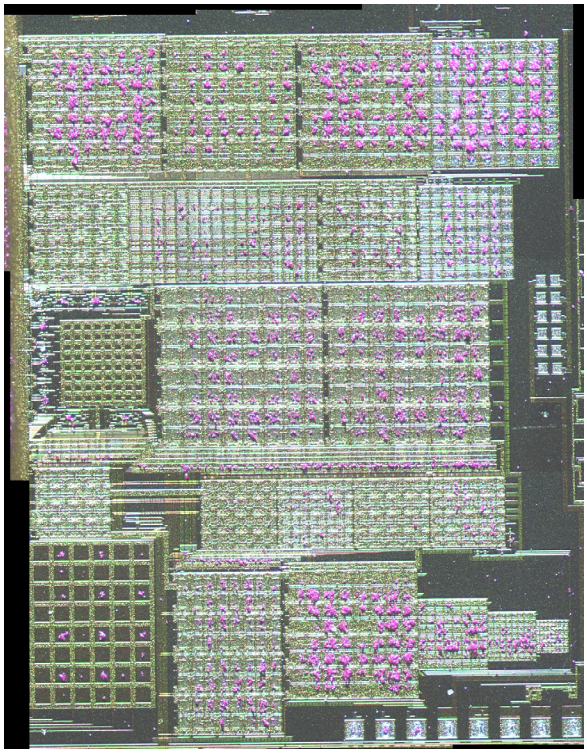

Abb. 8.6f: Gesamtchip, Beschichtungsverhältnis 15:1 (Versuch 30-21)

Erfolgreiche Beschichtungen wurden für die Beschichtungsverhältnisse 1:3, 1:7 und 1:15 auf zumindest einigen Pixelfeldern erreicht. Allerdings waren die Kontaminationen höher als bei den Schachbrettmustern und die Beschichtung der Pixel inhomogener. Für die in Abb. 8.3e gewählte Konfiguration gelang sogar nur auf den mit 60V angesteuerten Pixeln und den 30V-Pixeln mit 100µm Kantenlänge eine annähernd den Erwartungen entsprechende Beschichtung. Hier wurden auf mehreren Pixelfeldern sogar Pixel vollständig beschichtet, die unbeschichtet bleiben sollten. Bei den im Verhältnis 15:1 beschichteten Pixelfeldern wurde meist eine gute Beschichtungsqualität erreicht, allerdings mit verringerter Beschichtungsdichte, mit zum Teil bis auf die Hälfte der Nachbarpixel überragenden partikelfreien Bereichen, um die einzelnen auf 0V gelegten Pixel. Ein allgemein gutes Beschichtungsverhalten wurde für die 30V-Pixel mit 100µm Kantenlänge beobachtet. In Abb. 8.7a-f werden Vergrößerungen der Pixelbereiche k) der Abb. 8.6a-f gezeigt, die eine nähere Betrachtung der Beschichtungsdichte und Kontamination bei diesen Pixeln erlauben. Bei Betrachtung dieser Bilder sind für die entsprechenden Bereiche nur minimale Kontaminationen zu erkennen.

Noch zu untersuchen ist, ob sich höhere Pixelspannungen oder eine anders gewählte Gitterspannung bei der Beschichtung positiv auf die Qualität auch bei kleineren Pixeln auswirken.

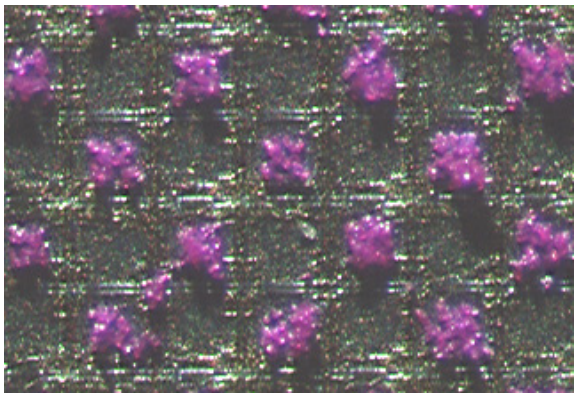

Abb. 8.7a: 100µm-30V-Pixel, Schachbrettmuster (Versuch 30-14k)

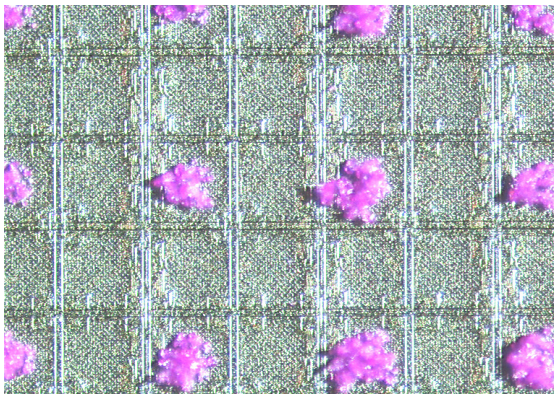

Abb. 8.7b: 100µm-30V-Pixel, Beschichtungsverhältnis 1:3 (Versuch 30-18k)

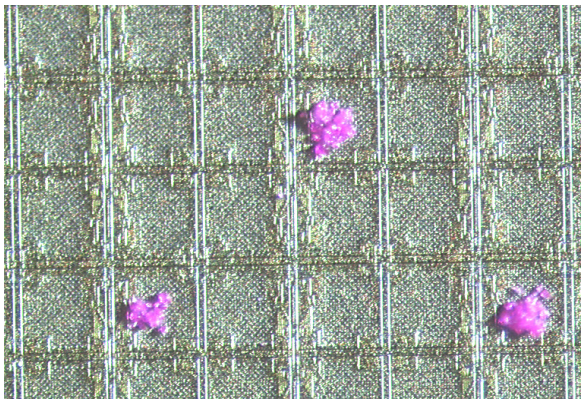

Abb. 8.7c: 100µm-30V-Pixel, Beschichtigungsverhältnis 1:7 (Versuch 30-20k)

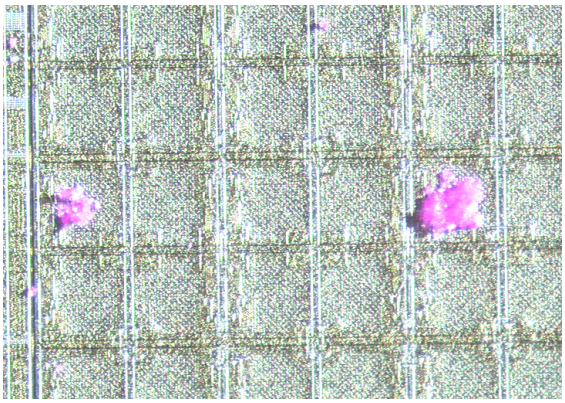

Abb. 8.7d: 100µm-30V-Pixel, Beschichtungsverhältnis 1:15 (Versuch 30-13k)

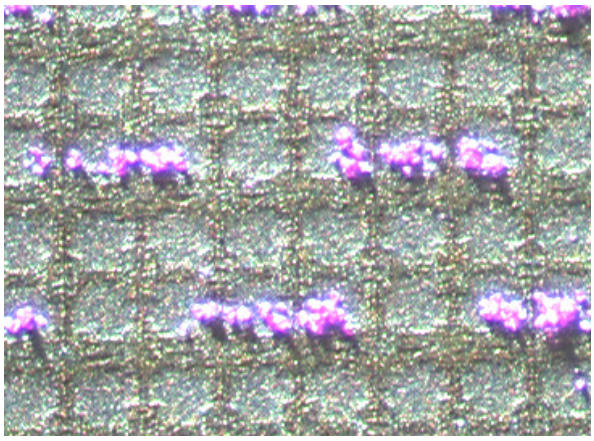

Abb. 8.7e: 100µ-30V-Pixel, Beschichtigungsverhältnis 3:5 (Versuch 30-19k)

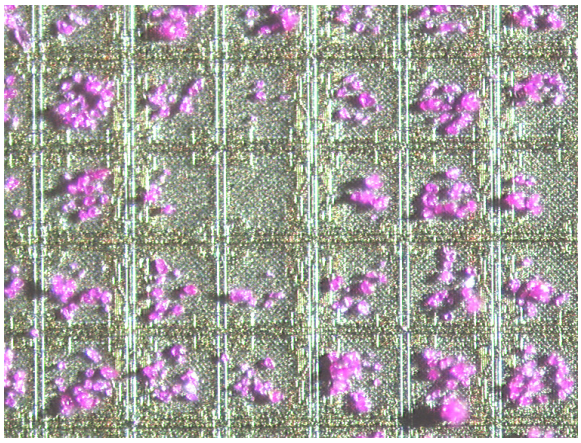

Abb. 8.7f: 100µ-30V-Pixel, Beschichtungsverhältnis 15:1 (Versuch 30-21k)

8.2.7 Ergebnisse der Multipolpixel

Bei den bisherigen Versuchen, die allerdings immer mit auf die Schaltpixel optimierten Bedingungen in der Kammer und an den Pixeln und am Gitter durchgeführt wurden, gelang es noch nicht, mit den Multipolpixeln bei der Partikeladsorption aus dem Aerosol Toneradsorption wie erwartet zu erzielen. Abb. 8.8 zeigt Ergebnisse für Multipolpixel aus dem Pixelfeld r), beschichtet bei Pixelspannung 100V, Gitterspannung 0V. Die auf ++ geschalteten Pixel wurden wie erwartet stark beschichtet, die auf - - geschalteten Pixel blieben unbeschichtet. Die auf +- geschalteten Pixel dagegen blieben nicht wie erwartet unbeschichtet, sondern nahmen eine schwache Beschichtung an. Die Ursachen sind noch nicht abschließend geklärt und werden unter Einbeziehung von weiteren Versuchen in [NES05] diskutiert.

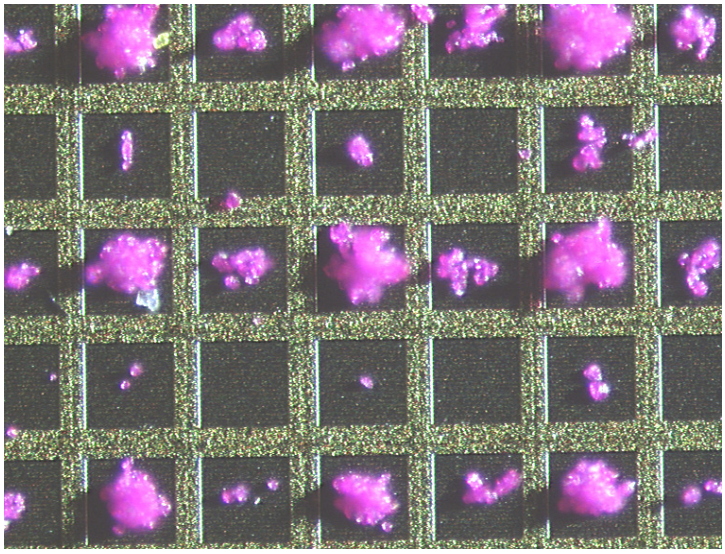

Abb. 8.8 Bei 100V beschichtete Multipolpixel mit Kantenlänge 100µm (Versuch 30-1r)

8.2.8 Vergleich zwischen Adsorptions- und Desorptionsverfahren

Im Rahmen dieser Arbeit konnten zusätzlich zu den Adsorptionsexperimenten in der Aerosolkammer bereits drei Experimente zur selektiven Partikeldesorption in den Luftstrom (Abschnitt 3.2.2) durchgeführt werden. Abb. 8.9a zeigt den Chip in der Gesamtaufnahme, Abb. 8.9b zeigt in der Vergrößerung einen Ausschnitt aus Pixelfeld b). In der Gesamtaufnahme ist zu erkennen, dass nur noch die Pixel mit 60V und 100V Versorgungsspannung beschichtet sind, die Partikel auf den 30V-Pixeln aller Größen wurden bis auf Reste desorbiert.

Abb. 8.9b ähnelt auf den ersten Blick dem Bild von Pixeln mit Gitterinversion. Bei näherer Betrachtung zeigt sich jedoch, dass die Partikel nicht bevorzugt auf dem Gitter, sondern auf dem Rand der zu beschichtenden Pixel verblieben sind, während die Mitte der Pixel ebenfalls tonerfrei ist. Ein wahrscheinlicher Grund ist das deutlich stärkere Feld am Rand der Pixel und damit eine stärkere Polarisierung der Partikel in diesen Bereichen mit daraus folgenden stärkeren Kräften. Weitere Versuche und Erklärungen werden in [NES05] zu finden sein. Diese ersten Ergebnisse sprechen jedoch gegen eine Verwendbarkeit des Desorptionsverfahrens.

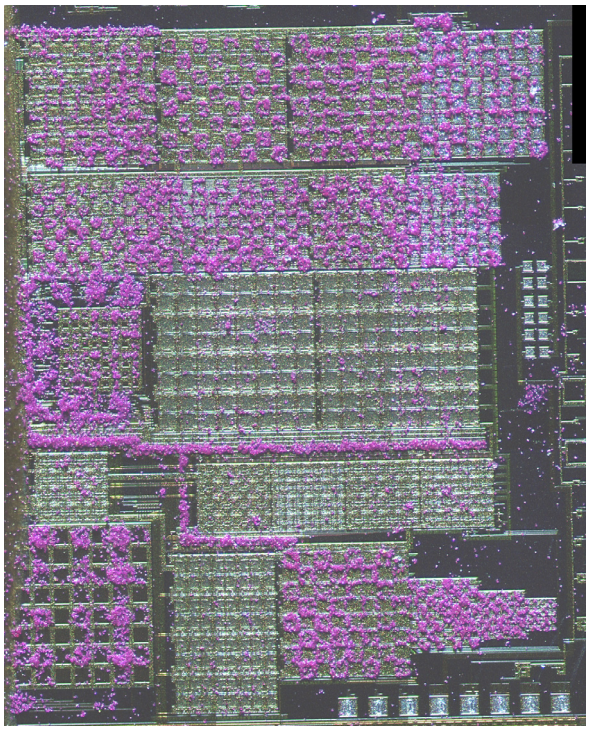

Abb. 8.9a: Ergebnisse bei der selektiven Tonerdesorption (Versuch 30-2)

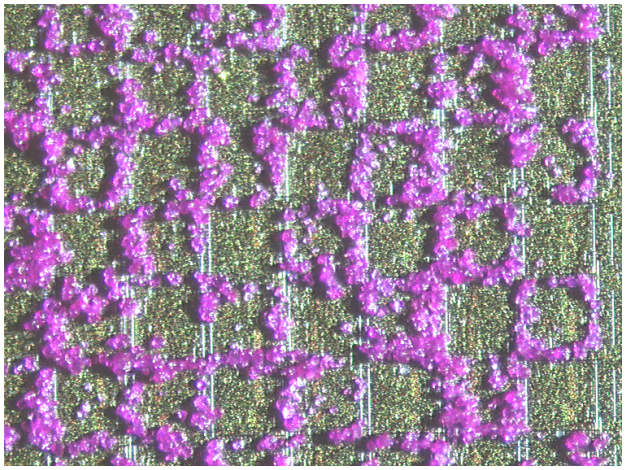

Abb. 8.9b: Vergrößerung der Ergebnisse für 100V-78µm-Pixel (Versuch 30-2b)

8.2.9 Partikelübertrag unter Verwendung zweier verschiedenfarbiger Toner

Es wurden verschiedenfarbige Toner (Oki Magenta und Oki Cyan) in komplementären Schachbrettmustern auf einen Chip aufgetragen. Für beide Tonerüberträge wurden baugleiche Tonerkammern verwendet. Abb. 8.10a-b zeigen Großaufnahmen der Ergebnisse aus den Bereichen o) und k), die beide mit 30V beschaltet wurden. Die Gitterspannung betrug 15V. Eine Gesamtansicht des beschichteten Chips und Aufnahmen weiterer komplementär beschichteter Pixelfelder sind in Anhang 3, Abb. A3.2a-h zu finden. Wie wir sehen, war eine komplementäre Beschichtung mit zwei verschiedenen Tonern möglich. Insbesondere bei dem blauen Toner wurden jedoch schlechtere Eigenschaften des Partikeltransfers festgestellt. So sind zum Beispiel in Abb. 8.10a einige nur dünn beschichtete Pixel und Kontaminationen im Bereich zwischen benachbarten Pixeln, besonders in den Ecken, zu erkennen. Abb.8.10b und Abb. A3.2a zeigen auch, dass die von uns verwendete Probe des cyanfarbenen Toners sich im Gegensatz zu Oki Magenta auch großflächig über die nicht verwendeten Bereiche am Rand des Chips ablagert. Diese Beobachtungen legen nahe, dass die optimalen Beschichtungsbedingungen für die verschiedenen Tonerarten einzeln bestimmt werden müssen.

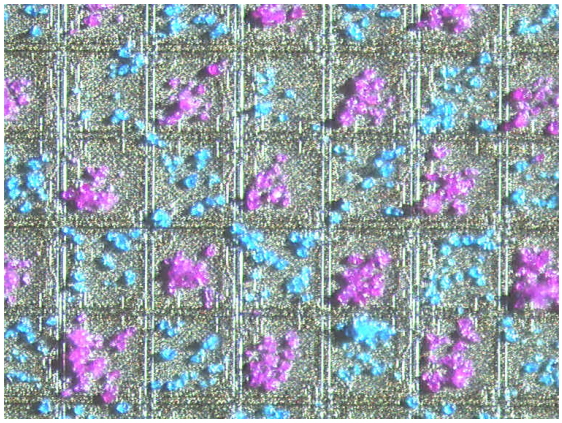

Abb. 8.10a: Mit zwei Tonerfarben beschichtetes Pixelfeld (30V, 100µm) (Versuch 44-11k)

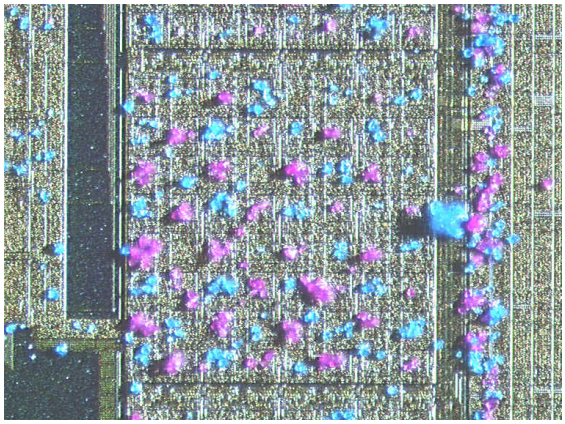

Abb. 8.10b: Mit zwei Tonerfarben beschichtetes Pixelfeld (30V, 43µm) (Versuch 44-11p)

9. Zusammenfassung und Ausblick

9.1 Zusammenfassung der Ergebnisse

Mikroelektronik

Im Rahmen dieser Arbeit ist es gelungen, eine integrierte Schaltung mit schaltbaren Spannungen von bis zu 100V zur Untersuchung des selektiven Übertrags von Partikeln unter dem Einfluss schaltbarer elektrischer Felder auf die Oberfläche des Chips zu entwerfen.

Pixel, die auf engstem Raum Hoch- und Niederspannungsschaltungen vereinen, wurden entworfen. Verschiedene Pixelfelder ermöglichen Experimente zur Bestimmung der Übertragungsqualität in Abhängigkeit von an den Pixeln und an einem die Pixel trennenden Gitter anliegenden Spannungen sowie von Form, Struktur und Abmessungen der Pixel.

Zwei alternative Verfahren zur Ansteuerung der Pixelfelder wurden realisiert. Für die Beschichtungsversuche wurde eine einfache Ansteuerung implementiert, die es erlaubt, mit einfachen Mitteln alle Pixelfelder für Tonerübertragsversuche mit identischen, 4 x 4 Pixeln großen, frei konfigurierbaren Mustern zu beschalten. Ein digitaler Ansteuerungsteil mit I^2C-Schnittstelle erlaubt es, beliebige Beschichtungsmuster zu programmieren. Er dient der Programmierung komplexerer Muster und als Prototyp für spätere produktive Chips. Vollständige Tests des digitalen Ansteuerungsteils stehen noch aus, aber erste Tests weisen die Funktionalität von Teilen der Schaltung des I^2C-Interfaces nach.

Durch die Realisierung von Pixeln mit Photodioden kann die Möglichkeit, Bindungsereignisse von optisch markierten Proteinen mit den Peptiden an der Chipoberfläche mit Hilfe von integrierten Sensoren zu vermessen, untersucht werden. Diese Photodioden können auch für einen integrierten optischen Wasserstoffsensor bei Verwendung einer modifizierten Chipoberfläche benutzt werden.

Teststrukturen zur Charakterisierung der im verwendeten Halbleiterprozess verfügbaren Photodioden und zur Vermessung einzelner Hochspannungstransistoren wurden ebenfalls integriert.

Aufbauten und elektrische Messungen

Die nötigen gedruckten Schaltungen zur Ansteuerung des Chips wurden entworfen und gefertigt. Die elektronischen Schaltungen auf dem Chip und die gedruckten Schaltungen wurden für den Tonerübertrag getestet. Trotz des Fehlers des Chips in der direkten Ansteuerung wurde ein Verfahren gefunden, mit dem der Chip direkt für den Tonerübertrag programmiert werden kann. Die Hochspannungspixel wurden mittels integrierter Teststrukturen überprüft und ihre volle Funktionsfähigkeit wurde nachgewiesen.

Beschichtung und Partikelübertrag

Experimente zur ortsselektiven Beschichtung des Chips wurden unter Verwendung von handelsüblichem Toner durchgeführt. Es konnte gezeigt werden, dass mit dem Peptidchip 3 ortsgenaue Beschichtung bei gutem Kontrast möglich ist.

Einflüsse der Pixeleigenschaften auf den Partikelübertrag bei der Adsorption geladener Teilchen aus dem Aerosol wurden untersucht. Es zeigte sich, dass für Schachbrettmuster zur erfolgreichen Beschichtung Spannungen von über 20V nötig sind, die Qualität der

Beschichtung bis 30V deutlich zunimmt, aber Spannungen von über 30V kaum noch Einfluss auf die Beschichtungsqualität haben. Für den verwendeten Toner mit etwa 10µm Partikeldurchmesser wurde Tonerübertrag mit dichter Beschichtung und geringen Kontaminationen für Pixelgrößen von 100µm bis 43µm nachgewiesen. Bei Pixelgrößen von 30µm und 20µm nahm die Beschichtungsqualität erwartungsgemäß stark ab. Es wurde gezeigt, dass die Verwendung von Passivierungsöffnungen kaum Einfluss auf die Beschichtungsqualität hat. Auch eine Strukturierung der metallischen Potentialflächen mit siliziumoxidgefüllten Öffnungen, um Licht zu darunter liegenden Photodioden durchzulassen, wirkt sich nicht negativ auf den Beschichtungsvorgang aus.

Mit der Gitterinversion wurde ein neues, noch nicht verstandenes Phänomen bei den Beschichtungsvorgängen gefunden. Weitere Untersuchungen zum Auftreten dieses Vorgangs sind erforderlich, da gitterinvertierte Pixel nicht ordnungsgemäß beschichtet werden können.

Schließlich wurden Beschichtungsvorgänge mit anderen Mustern als Schachbrettmustern untersucht. Bei diesen Versuchen zeigte sich eine deutliche Verbesserung der Beschichtungsqualität bei Verwendung einer Spannung von etwa 15V an der die Pixel trennenden Gitterelektrode. Bei diesen Mustern zeigten sich vor allem für einzelne unbeschichtete Pixel, die von mehreren beschichteten Pixeln umgeben sind, noch unzureichende Beschichtungsdichten. Für Pixel kleiner als 78µm war es nicht möglich, solche dichten Beschichtungen zu erzielen. Eine einfache Abhilfe kann geschaffen werden, indem Bereiche in denen viele direkt benachbarte Pixel beschichtet werden sollen, in zwei Schritten, bei denen jeweils ein komplementäres Schachbrettmuster aufgetragen wird, erzeugt werden. Für größere Pixel und für Beschichtungsmuster mit wenigen zu beschichtenden Pixeln wurden keine derartigen Probleme beobachtet.

Es konnte auch gezeigt werden, dass der komplementäre Transfer zweier verschiedener Toner bei geringer Kontamination und hoher Beschichtungsdichte möglich ist.

Schließlich wurden erste Experimente zur selektiven Tonerdesorption in den Luftstrom durchgeführt. Bei den bisherigen Experimenten wurden hier Spannungen von mindestens 60V benötigt, um ein Muster zu erzeugen, und die Beschichtung der Pixel nach der Desorption war zu inhomogen. Allerdings sind weitere Experimente nötig, um die Ergebnisse dieser ersten wenigen Tests zu bestätigen.

9.2 Weitere Arbeiten mit dem Peptidchip 3

Mikroelektronik, Ansteuerung, optische Detektion

Der Peptidchip 3 bietet die Möglichkeit, in späteren Arbeiten noch eine Reihe von Versuchen durchzuführen. Insbesondere die Test-Photodioden müssen noch vermessen werden, um den verwendeten Halbleiterprozess optisch zu charakterisieren. Mit den gewonnenen Daten können Konzepte für die Detektion von Bindungsereignissen zwischen chemoluminiszenzmarkierten oder floureszenzmarkierten Partnern und den Peptiden auf der Chipoberfläche erstellt werden. Mit Hilfe der mit Photodioden ausgestatteten Pixel können dann möglicherweise bereits Versuche zur Bindungspartnerdetektion auf Pixeln durchgeführt werden. Versuche zur optischen Wasserstoffdetektion können ebenfalls durchgeführt werden, sobald die Oberflächen einiger Chips entsprechend modifiziert worden sind.

Im Bereich der Ansteuerung des Chips sind umfassende weitere Arbeiten nötig. Eine Software zur Ansteuerung des I^2C-Interfaces ist zu entwickeln, mit der es benutzerfreundlich möglich ist, beliebige Beschichtungsmuster zu programmieren. Mit dieser Software kann

dann die digitale Ansteuerung über das I^2C-Interface auf dem Chip vollständig getestet werden.

Partikelübertrag
Weitere Experimente zum Tonerübertrag sind durchzuführen. Die Auswirkungen höherer Spannungen bei nicht schachbrettartigen Beschichtungsmustern sind zu untersuchen, ebenso wie die selektive Tonerdesorption in den Luftstrom und das Verhalten der Multipolpixel.

Die Ursachen der Gitterinversion müssen gefunden werden und die Bedingungen, unter denen sie auftritt, sind zu erfassen.

Um einen großen Unsicherheitsfaktor beim Tonertransfer zu beseitigen, muss die Aerosoldichte vermessbar und wenn möglich einstellbar gemacht werden. Eine Möglichkeit zur Vermessung der Aerosoldichte könnte die Photometrie sein. Baut man eine Leuchtdiode und einen Photosensor an gegenüberliegenden Stellen in die Tonerkammer ein, so kann man die Abschwächung des durchs Aerosol transmittierten Lichts erfassen. Diese Abschwächung sollte direkt von der Streuung an Tonerpartikeln und damit der Tonerdichte abhängen. So sollte es möglich sein, ein Maß für die Tonermenge zu finden. Mit einem Verfahren, um aus einem Reservoir kontrolliert zusätzlichen Toner in die Kammer zu bringen, sollte sich dann die Aerosoldichte langsam auf den gewünschten Wert erhöhen lassen, während der Chip bis zum Erreichen stabiler Bedingungen durch einen Schieber vom Aerosol getrennt werden kann. Eventuell muss auch die Aufladung der Tonerpartikel kontrolliert werden, z.B. durch Verwendung von einer isolierten, mit einem Elektroskop verbundenen Metallplatte. Schließlich könnte auch versucht werden, eine Gegenelektrode so über dem Chip zu montieren, dass es nicht zu übermäßigen Verwirbelungen kommt.

Weiterhin ist es bereits mit Peptidchip 3 möglich, mehrere Lagen von verschiedenen Tonern, auch Aminosäuretonern, übereinander abzulagern. Wird die Chipoberfläche zuvor geeignet modifiziert, so können die Aminosäuren auch gekoppelt und Peptide erzeugt werden. Ein wichtiges Zwischenziel ist daher, alle nötigen Schritte zur ortsselektiven Ablagerung von Aminosäuretonerpartikeln und zur kombinatorischen Synthese von Peptiden auf dem Chip zu erproben und mindestens Dimere von Aminosäuren auf dem Chip zu erzeugen und nachzuweisen sowie die Ausbeute zu bestimmen. Nur durch diese Versuche können eventuell noch vorhandene Probleme im zu entwickelnden Peptidchip-Gesamtsystem frühzeitig gefunden werden.

9.3 Von Peptidchip 3 zu Peptidchip 4

Ein Nachfolger des Peptidchips 3 könnte bereits ein produktiver Chip zur kombinatorischen Peptidsynthese in großem Maßstab oder ein Prototyp für einen solchen Chip sein. Wenn es gelingt, mit dem Peptidchip 3 alle nötigen Schritte zu erproben, könnte der vierte Peptidchip z.B. mit einer aktiven Fläche von $1cm^2$ bei Pixeln mit einem Raster von 100µm für die Synthese von 10.000 verschiedenen Peptiden genutzt werden. Dieser Chip muss dann gemeinsam mit einem Prototypen der für die Peptidsynthese nötigen Maschine entwickelt und gebaut werden.

Ob Peptidchip 4 bereits über integrierte Detektionsmechanismen verfügen kann, wird von den Tests der entsprechenden Strukturen auf Peptidchip 3 abhängen. Möglicherweise müssen die Detektionsverfahren auf Testchips weiter erprobt werden, bevor sie in den produktiven Chip integriert werden können. Wenn optische Detektionsverfahren verwendet werden sollen, kann es sinnvoll sein, die entsprechenden Signale bereits auf dem Chip zu digitalisieren. Für diesen

Zweck muss ein Detektionskonzept erstellt werden, und die entsprechenden Verstärker und Analog-Digital-Wandler müssen entworfen werden. Ein möglicherweise für diesen Zweck geeigneter Verstärker wurde bereits im Rahmen des Informatikpraktikums von Yipin Zhang entworfen. Ein entsprechender Analog-Digital-Wandler steht vom Prozessanbieter zur Verfügung. Die Schnittstelle zur Außenwelt muss ebenfalls um Funktionen zur Auslese der Daten von den Photodioden erweitert werden, und eine Software zur Analyse der Resultate muss entwickelt werden.

Im Hinblick auf die weitere Miniaturisierung der Pixel müssen entsprechende Versuche mit geeignetem Toner ausgewertet werden. Es ergeben sich jedoch in der HV-Prozesstechnologie und letztendlich der Spannungsfestigkeit des verwendeten Materials Grenzen der Miniaturisierung. Zukünftige Prozesse könnten jedoch noch weitere Miniaturisierung ermöglichen. Ein viel versprechender Kandidat ist hier der H35-Prozess von austriamicrosystems.

Für die ferne Zukunft könnte ein Konzept gefunden werden, das es ermöglicht, Bindungsereignisse ohne optische Marker an den Bindungspartnern zu detektieren. Eine Möglichkeit hierzu könnten Präzisionsmessungen der Kapazität der Potentialflächen bieten, da bindende Makromoleküle aufgrund ihrer Dielektrizitätskonstante diese Kapazität ändern. Kapazitätsmessungen sind über Messungen der Zeitkonstante von Schwingkreisen mit sehr hoher Präzision möglich, aber ob die Sensitivität dieser Messungen ausreichen kann, um bindende Proteine auf einer Schicht von Peptiden zu detektieren, muss in zukünftigen Arbeiten abgeschätzt und gegebenenfalls erprobt werden.

Im Rahmen dieser Arbeit konnte die prinzipielle Funktion aller getesteten Komponenten nachgewiesen werden. Es wurde der „proof of principle“ für chipbasierten selektiven Partikelübertrag erbracht und die zugehörigen Vorgänge wurden untersucht. Basierend auf diesen Ergebnissen ist der erste Chip zur massivparallelen kombinatorischen Peptidsynthese im Peptidchip-Projekt realisierbar.

Literaturangaben

[ALB99-1] Alberts B, Bray D, Johnson A, Lewis J, Raff M, Roberts K, Walter P. *Lehrbuch der molekularen Zellbiologie*. Wiley VCH; 1999. Kapitel 5.

[AMI02] AMI Semiconductor Belgium BVBA. *Layout Rules CMOS I2T100 – Intelligent Interface Technology.* DS13350, Revision 8; 2002. Siehe auch [EUR].

[AMS99] Austria Micro Systeme International AG. *0.6µm CMOS Design Rules*. Document # 931025. Revision # 2.0. Siehe auch [EUR].

[BAL99] Ballan H, Declercq M. *High Voltage Devices and Circuits in Standard CMOS Technologies*. Kluwer Academic Publishers; 1999

[BAU99] Baumeister D. *Diplomarbeit: Entwicklung und Characterisierung eines ASICs zur Kathodenauslese von MWPCs für das H1-Experiment bei HERA.* Universität Heidelberg, 1999.

[BAU99-1] Baumeister D. *Diplomarbeit: Entwicklung und Characterisierung eines ASICs zur Kathodenauslese von MWPCs für das H1-Experiment bei HERA.* Universität Heidelberg, 1999. Kap 5.

[BEY05] Beyer M. *Promotionsarbeit,* in Vorbereitung. Universität Heidelberg; 2005.

[BLI81] Blicher A. *Field-Effect and Bipolar Power Transistor Physics.* Academic Press; 1981.

[BLI81-1] Blicher A. *Field-Effect and Bipolar Power Transistor Physics.* Academic Press; 1981. S 40ff.

[DAS55] Dash WC, Newman R. *Intrinsic optical absorption in single-crystal germanium and silicon at 77K and 300K*. Phys Rev, vol 99; 1955. S 1151-1155.

[DEM96-1] Demtröder W. *Experimentalphysik 3. Atome, Moleküle und Festkörper.* Springer-Verlag; 2000. Kap 14.3.5

[EUR] www.europractice.com, auch www.europractice.imec.be

[GEL89] Gelsinger PP, Gargini A, Parker GH, Yu AYC. *Microprocessors circa 2000.* IEEE Spektrum; 10/1989. S.43-47

[GER89] Gerthsen C, Kneser HO, Vogel H. *Physik*. Springer-Verlag; 1989. S 288.

[GRA01] Gray PR, Hurst PJ, Lewis SH, Meyer RG. *Analysis and design of analog integrated circuits.* John Wiley & Sons, Inc; 2001.

[GRA01-1] Gray PR, Hurst PJ, Lewis SH, Meyer RG. *Analysis and design of analog integrated circuits.* John Wiley & Sons, Inc; 2001. p 180ff.

[INT] www.intel.com

[JAC02] Jacobs HO, Campbell SA, Steward MG. *Approaching nanoxerography: The use of electrostatic forces to position nanoparticles with 100 nm scale resolution.*

Adv. Mater, vol. 12, no. 21; November 2002. S 1553-1557.

[JAK73] Jakubke HD, Jeschkeit H. *Aminosäuren-Peptide-Proteine.* Akademie-Verlag; 1973.

[JOH97] Johns DA, Martin K. Analog Integrated Circuit Design. John Wiley & Sons, Inc; 1997.

[JOH97-1] Johns DA, Martin K. Analog Integrated Circuit Design. John Wiley & Sons, Inc; 1997. p 128ff.

[KAM04-1] Kambhampati D. *Protein Microarray Technology*. Wiley-VCH; 2004. Kap 4-5

[KNU04] Knutti JW, Allen VH. *Trends in MEMS Commercialization* in Baltes H, Brand O, Fedder GK, Hierold C, Korvink JG, Tabata O. *Enabling Technology for MEMS and Nanodevices.* Wiley-VCH; 2004.

[LEE00] Lee HK, Fang YK, Lee WJ, Ho JJ, Chen KH, Liao KC. *Novel electrochemic devices (ECD) of tungsten oxide (WO_3) thin film integrated with amorphous silicon germanium photodetector for hydrogen sensor.* Sensors and Actuators B, vol 69; 2000. S 96-99.

[LIN04] Lindenstruth V. *Lecture Notes: Micro Electronics I.* Universität Heidelberg; 2004.

[LOO96] Loose M. *Diplomarbeit: Layout und Test eines Systems adaptiver Photorezeptoren in analoger CMOS-Technologie*. Universität Heidelberg; 1996.

[LOO96-1] Loose M. *Diplomarbeit: Layout und Test eines Systems adaptiver Photorezeptoren in analoger CMOS-Technologie*. Universität Heidelberg; 1996. S 89ff.

[MER63] Merrifield RB. *Solid Phase Peptide Synthesis. The Synthesis of a tetrapeptide.* J. Am. Chem. Soc., vol 85; 1963. S 2149 – 2154.

[MÜL04] Müller H-J, Röder T. *Der Experimentator: Mikroarrays.* Spektrum Akademischer Verlag; 2004.

[MÜL04-1] Müller H-J, Röder T. *Der Experimentator: Mikroarrays.* Spektrum Akademischer Verlag; 2004. Kap 1.

[MÜL04-2] Müller H-J, Röder T. *Der Experimentator: Mikroarrays.* Spektrum Akademischer Verlag; 2004. Tab 3-6.

[NAK03] Nakagawa H, Yamamoto N, Okazaki S, Chinzei T, Asakura S. *A room temperature operated hydrogen leak sensor.* Sensors and Actuators B, vol 93; 2003. S 468-474.

[NAT] www.nationalinstruments.com

[NES05] Nesterov A. *Promotionsarbeit: Arbeiten am Peptidchip-Projekt*, in Vorbereitung. Universität Heidelberg; 2005.

[PHI00] Philips Semiconductors. *The I^2C Bus Specification Version 2.1.* Philips Semiconductors; 2000. document order number: 9398 393 40011. www.semiconductors.philips.com

[SAR04] Sarro PM. *M^3: The Third Dimension of Silicon* in Baltes H, Brand O, Fedder GK, Hierold C, Korvink JG, Tabata O. *Enabling Technology for MEMS and Nanodevices.* Wiley-VCH; 2004.

[SEK00] Sekimoto S, Yamamoto N, Okazaki S, Fukuda K, Asakura S, Shigemori T, Takahashi S. *A fiber-optic evanescent-wave hydrogen gas sensor using palladium-supported tungsten oxide.* Sensors and Actuators B, vol 66; 2000. S 142-145.

[STA05] Stange U. *Promotionsarbeit,* in Vorbereitung. Universität Heidelberg; 2005.

Danksagung

Ich danke allen, die mich während meiner Diplomarbeit unterstützt haben, insbesondere:

- Herrn Prof. Dr. Volker Lindenstruth für seine Vorlesungen, die mein Interesse an der Mikroelektronik weckten, für die Gelegenheit, am Peptidchip-Projekt mitzuwirken sowie für die angenehme, fördernde und fordernde Betreuung während dieser Diplomarbeit
- Herrn Priv.-Doz. Dr. Ralf Bischoff für die Möglichkeit, am Peptidchip-Projekt mitzuarbeiten, für die Übernahme der Zweitkorrektur dieser Arbeit, für Unterstützung und Ermutigung und für gute interdisziplinäre Zusammenarbeit
- Herrn Dr. Ulrich Trunk für seine Hilfe mit Ratschlägen und praktischer Unterstützung bei Fragen und Problemen insbesondere in den Bereichen Elektronik und Physik sowie für rechtzeitiges Erkennen vieler potentieller Probleme und für Ermutigung und für die Unterstützung in allen Phasen dieser Arbeit
- Herrn Alexander Nesterov für seine theoretischen und experimentellen Arbeiten zur Physik des Tonerübertrags und für gute Zusammenarbeit beim Entwurf des Chips, bei den Tonerübertragsmessungen und bei allen anliegenden physikalischen Fragestellungen
- Herrn Priv. Doz. Dr. Frank Breitling für die Möglichkeit, am Peptidchip-Projekt mitzuarbeiten, für Ermutigung, Unterstützung, gute interdisziplinäre Zusammenarbeit und die kritische Durchsicht des Manuskripts
- Herrn Dr. Volker Stadler für die Möglichkeit, am Peptidchip-Projekt mitzuwirken, für Ermutigung, Unterstützung und gute interdisziplinäre Zusammenarbeit
- Herrn Ralf Achenbach für tatkräftige Hilfe beim Bonden, bei Messungen und bei unzähligen kleinen und größeren technischen Fragen
- Herrn Markus Dorn für die Einrichtung des AMIS-Designkits und die Unterstützung bei allen Fragen und Problemen mit der CADENCE-Software oder dem Designkit
- Herrn Klaus Leibe für den Bau der Tonerkammern, gute Zusammenarbeit und Unterstützung bei vielen kleineren und größeren technischen Anliegen
- Herrn Volker Kiworra für die gute Zusammenarbeit bei Entwurf und Fertigung der Träger- und Hauptplatinen
- Den Angehörigen der mechanischen Werkstatt des Kirchhoff-Instituts für gute Zusammenarbeit und die Fertigung vieler kleiner, aber unverzichtbarer Bauteile
- Herrn Daniel Baumeister, Herrn Sven Löchner und Herrn Uwe Stange für die Erlaubnis, das von ihnen entwickelte I^2C-Interface auf dem Peptidchip einzusetzen und für die Unterstützung bei den Arbeiten mit dieser Schnittstelle
- Herrn Andreas Breidenassel für Unterstützung bei der Planung und Vorbereitung der optischen Messungen sowie für die Erlaubnis, den VISION-Messplatz zu nutzen
- Herrn Mario Bayer für seine Arbeiten zur Peptidsynthese und seine Unterstützung bei den Glob-Tob betreffende Fragestellungen
- Den nicht genannten Mitgliedern der DKFZ-Nachwuchsforschungsgruppe „Chipbasierte Peptidbibliotheken“ für eine angenehme Arbeitsatmosphäre und gute Zusammenarbeit
- Den nicht genannten Mitgliedern des Kirchhoff-Instituts und des ASIC-Labors für eine angenehme Arbeitsatmosphäre und für ihr Interesse am Peptidchip-Projekt

- Dr. Dieter Koch, Christian Lang und Marcus Gutfleisch für die kritische Durchsicht des Manuskripts
- Nadine Pfaendner für die bedingungslose Unterstützung während der Submission des Peptidchip 3
- Meinen Freunden und Verwandten, allen voran meinen Eltern, für materielle und immaterielle Unterstützung während meines Studiums und während dieser Diplomarbeit

ANHÄNGE

Anhang 1: Abgrenzung des Peptidchips zur Mikrosystemtechnologie und zu mikroelektromechanischen Systemen (MEMS)

Mikroelektromechanische Systeme benutzen Siliziumwafer und ähnliche Techniken wie die Halbleitertechnologie um diese zu bearbeiten. Zu elektronischer Funktionalität kommen hier mechanische Interaktionsmöglichkeiten mit der Umwelt. Die ältesten Anwendungsbeispiele hierfür sind Druck- und Beschleunigungssensoren, die seit den 1970ern bis 1980ern in dieser Technologie gefertigt werden können. Neuere Anwendungen sind in den Bereichen optische Schalter und Mikrofluidik zu finden. [KNU04]

Es stellt sich die Frage, ob der als Gegenstand dieser Arbeit entwickelte Chip in den Bereich der mikroelektromechanischen Systeme oder der Mikrosystemtechnologie fällt.

In [SAR04] werden mikroelektromechanische Systeme und Mikrosystemtechnologie beschrieben als Bestrebungen, die darauf zielen in Design, Technologie und Herstellung elektronische Funktionen mit mechanischen, optischen, thermischen und anderen Funktionen, die Miniaturisierung anwenden, zu vereinen, um hohe Komplexität auf kleinem Raum zu erzielen. Weiter werden Mikrosysteme als intelligente Maschinen auf Mikrometerskala beschrieben, die Sensoren und Aktuatoren, mechanische Strukturen und Elektronik vereinen, um Information aus der Umgebung zu erfassen und darauf zu reagieren.

Der Peptidchip hat Aktuatoren in Form der schaltbar elektrisch geladenen Platten, die eine Kraft auf Partikel ausüben. Auch Sensoren in Form von Photodioden sind vorhanden und werden ausgelesen. Die Oberfläche des Chips ist strukturiert und wird aktiv genutzt.

Allerdings ist alle Interaktion des Chips mit seiner Umwelt elektrisch – entweder über Photoströme, die von einfallenden Photonen erzeugt werden oder über das elektrische Feld, mit dem der Chip Partikel in der Nähe seiner Oberfläche beeinflusst.

Da noch keine allgemein gültige Definition für mikroelektromechanische Systeme oder Mikrosystemtechnologie gefunden wurde, kann so die Frage, ob der Peptidchip in diese Kategorien fällt, nicht eindeutig beantwortet werden. Er erfüllt viele, aber je nach Definition nicht alle Kriterien eines mirkoelektromechanischen Systems.

Auch bei den Designanforderungen bewegt sich der Peptidchip zwischen den Welten des reinen CMOS und des „echten“ MEMS: Der Chip wurde in einem Standard-CMOS-Prozess gefertigt. Er benutzt keine der für MEMS typischen Erweiterungen der üblichen Halbleiterfertigungsprozesse wie Membranen, freitragende Arme oder tiefe Ätzungen in das Substrat. Der Chip beinhaltet keine beweglichen Teile – nach einigen Definitionen [SAR04] essenzieller Bestandteil mikroelektromechanischer Systeme. Allerdings werden indirekt über eine elektrische Kraft die Bewegungen der Aminosäurepartikel beeinflusst, und die Anforderungen des Tonerübertrags, also mechanische Anforderungen, bestimmten in wesentlicher Art das Design.

Letztlich ist es also von der verwendeten Definition abhängig, ob der Peptidchip als mikroelektromechanisches System bezeichnet werden kann.

Anhang 2: Schaltpläne der Hauptplatine

In diesem Anhang sind in Abb. A2.1 - 9 die Schaltpläne der neun in Abschnitt 7.1 beschriebenen Bereiche der Hauptplatine dargestellt. Hohe Spannungen führende Leiterbahnen sind in rot und violett markiert. Für diese werden zum Schutz des Benutzers Hochspannungs-Bananenbuchsen und entsprechende Kabel und Stecker verwendet. Alle Bauteile sind nach ihrer Eignung für die entsprechenden Spannungen ausgewählt.

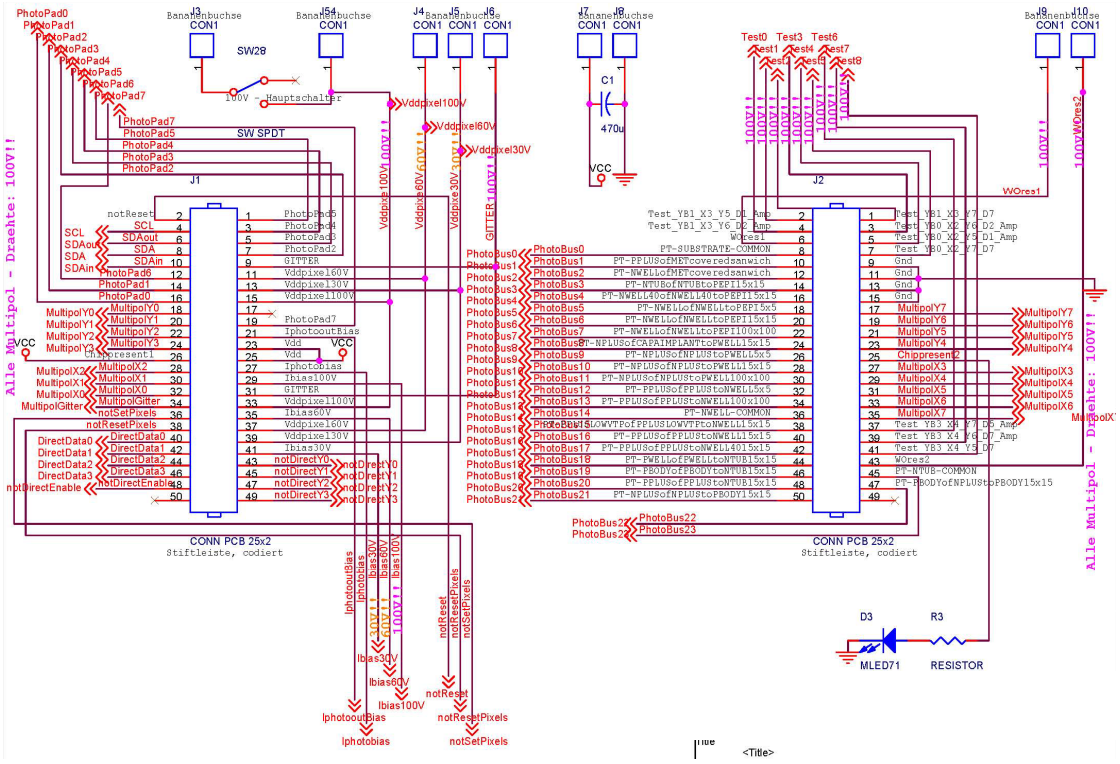

Abb. A2.1: Kontakt zum Chip über die Flachbandkabel und zu den Spannungsquellen

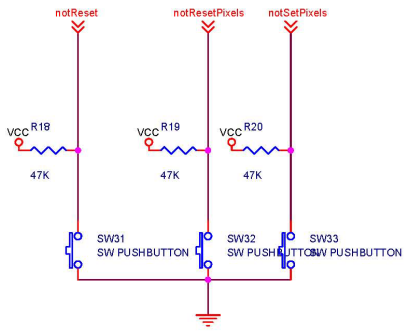

Abb. A2.2: Resets

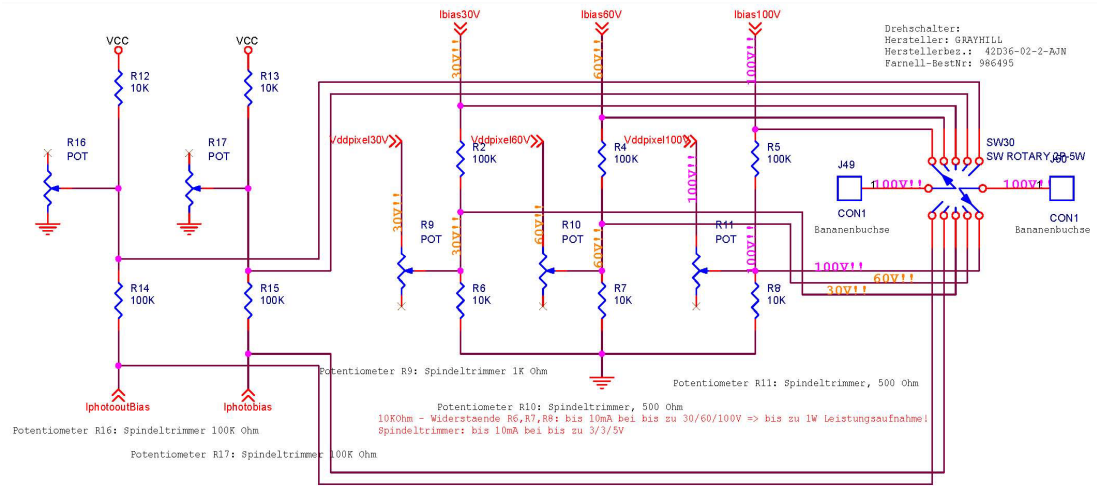

Abb. A2.3: Biasstromgeneratoren

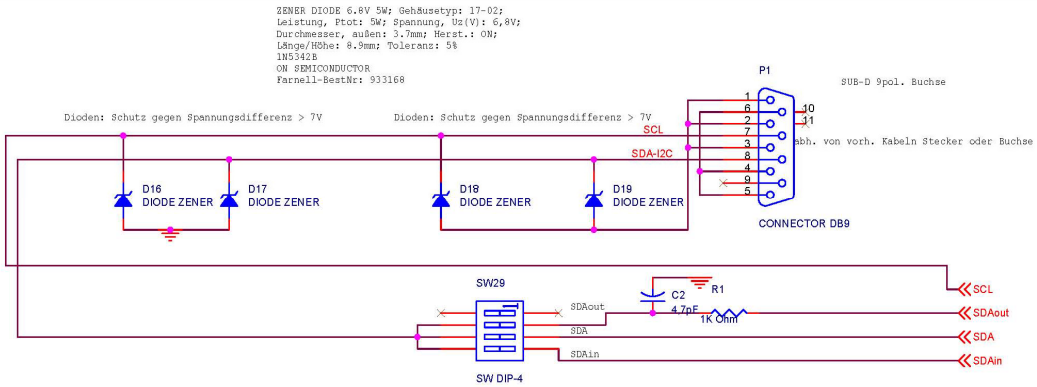

Abb. A2.4: Kontakt zum I^2C-Interface

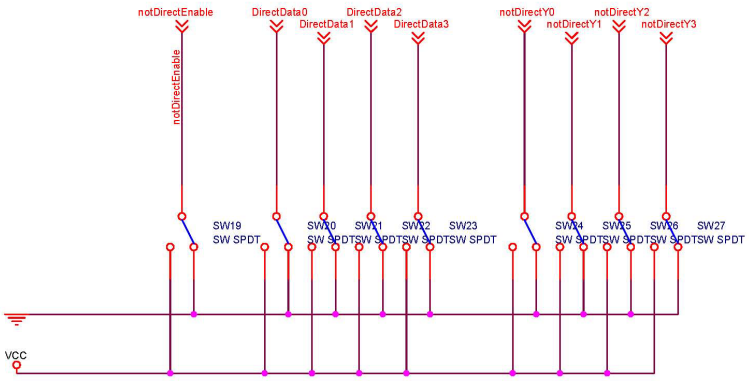

Abb. A2.5: Direkte Ansteuerung

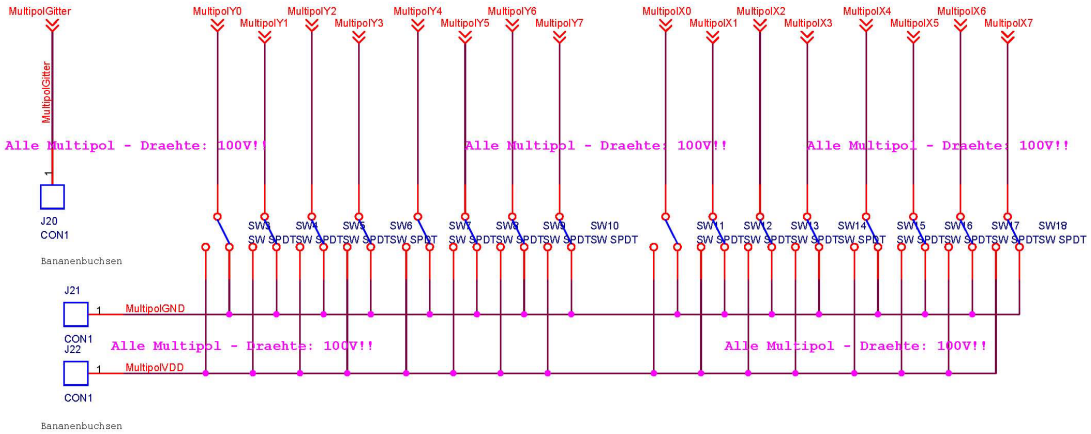

Abb. A2.6: Ansteuerung der 100µm-Multipolpixel

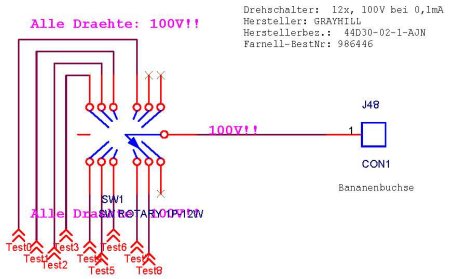

Abb. A2.7: Ausgänge der Testpixel

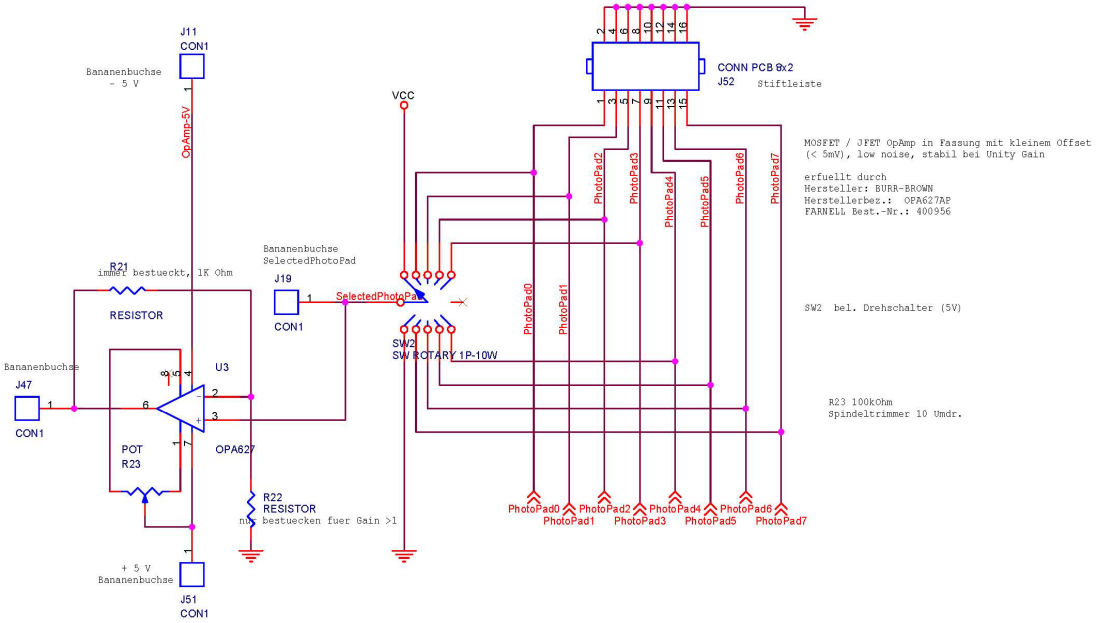

Abb. A2.8: Ausgänge und Verstärkung der Pixel-Photodioden

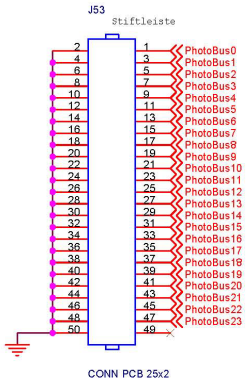

Abb. A2.9: Ausgänge der Test-Photodioden

Anhang 3: Zusätzliche Bilder zum Tonerübertrag

A3.1: Zusätzliche Bilder zum Tonerübertrag bei einheitlicher Spannung

In diesem Anhang sind zusätzliche Bilder zu den in Abschnitt 8.2 beschriebenen Experimenten zum Tonerübertrag gezeigt.

Abb. A3.1a-s zeigen Bilder aller Pixelfelder des in Abschnitt 8.2.3 beschriebenen Beschichtungsexperiments bei 30V Pixelspannung mit Gitterspannung 15V. Die Bilder sind im Vergleich zu Abb. 6.11 um 90° gedreht.

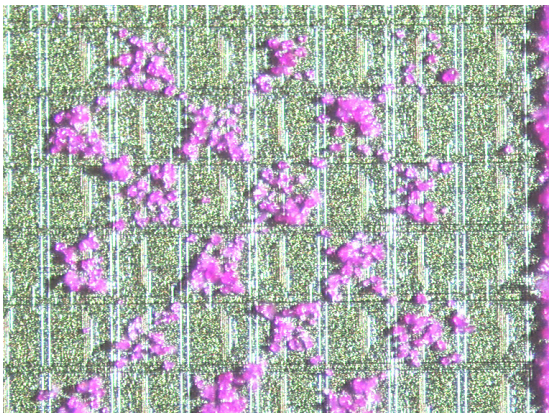

Abb. A3.1a: Versuch 30-3a

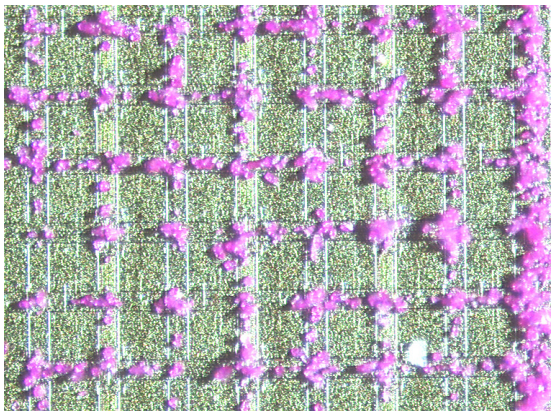

Abb. A3.1b: Versuch 30-3b, Gitterinversion

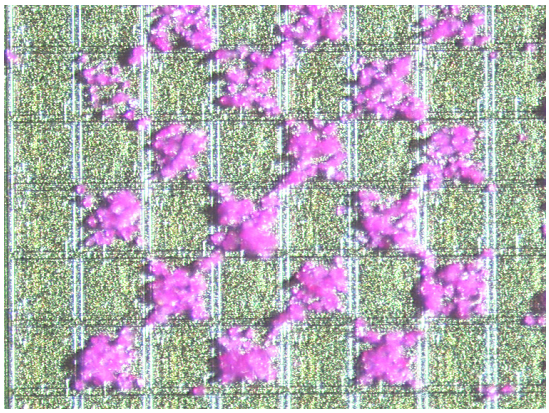

Abb. A3.1c: Versuch 30-3c

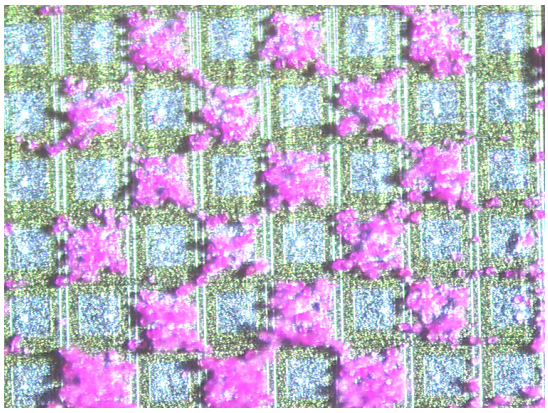

Abb. A3.1d: Versuch 30-3d

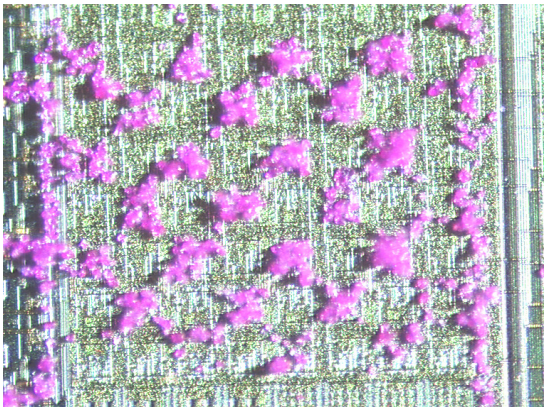

Abb. A3.1e: Versuch 30-3e

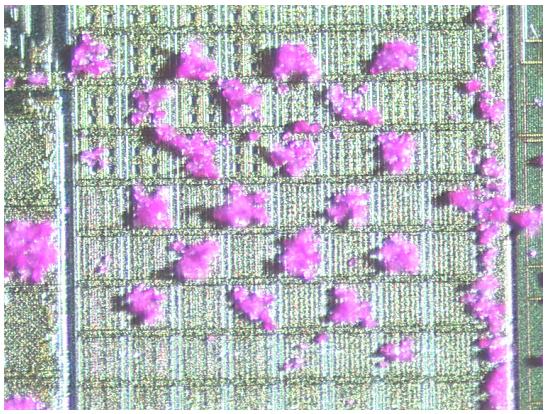

Abb. A3.1f: Versuch 30-3f

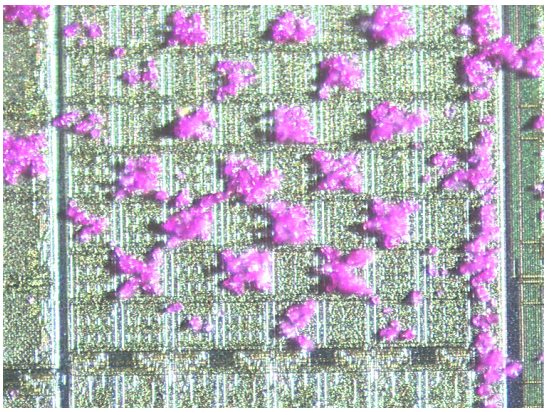

Abb. A3.1g: Versuch 30-3g

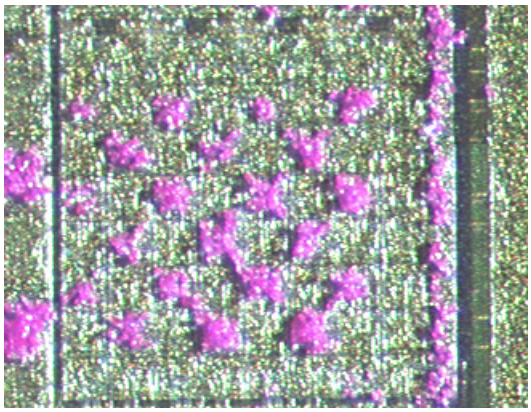

Abb. A3.1h: Versuch 30-3h

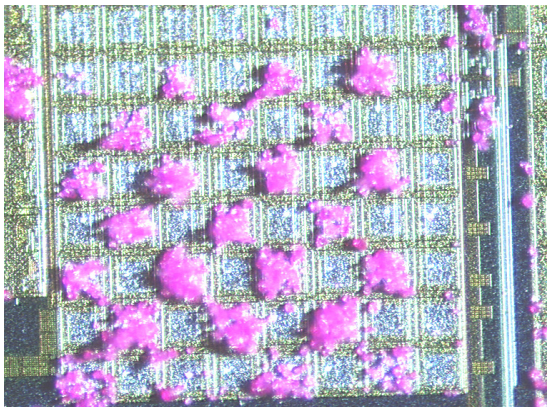

Abb. A3.1i: Versuch 30-3i

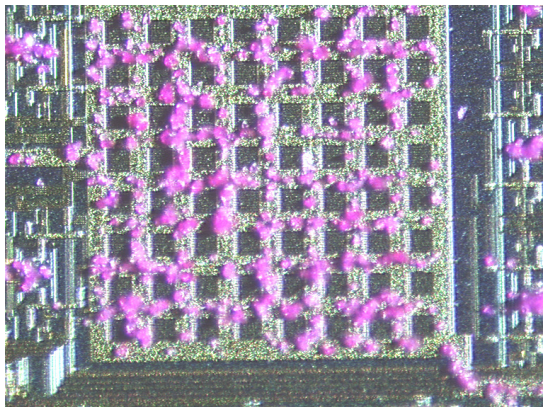

Abb. A3.1j: Versuch 30-3j

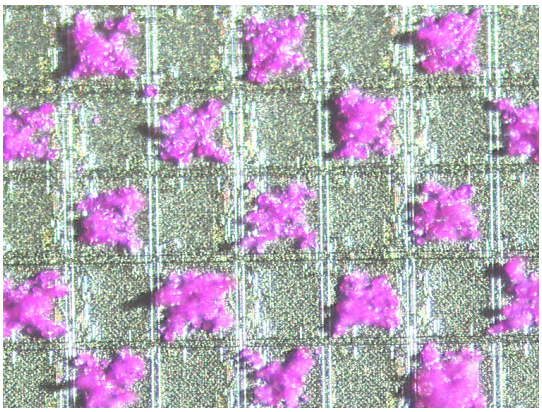

Abb. A3.1k: Versuch 30-3k

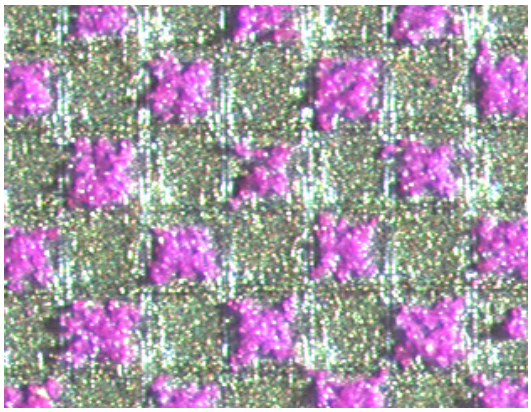

Abb. A3.1l: Versuch 30-3l

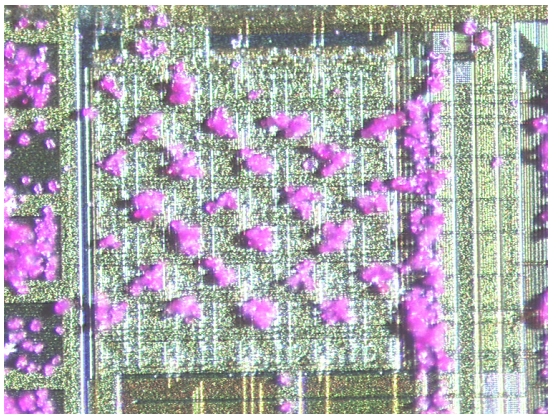

Abb. A3.1m: Versuch 30-3m

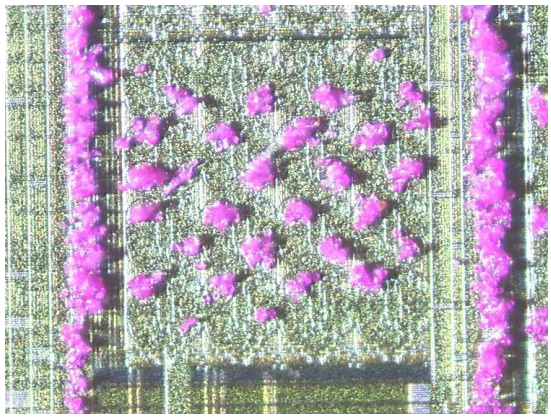

Abb. A3.1n: Versuch 30-3n

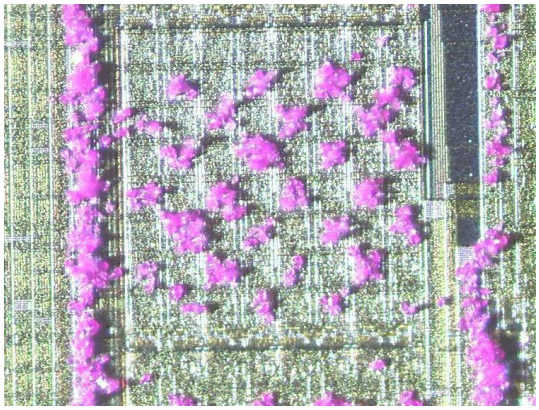

Abb. A3.1o: Versuch 30-3o

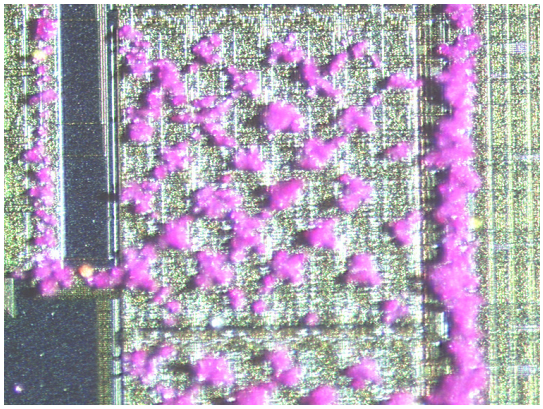

Abb. A3.1p: Versuch 30-3p

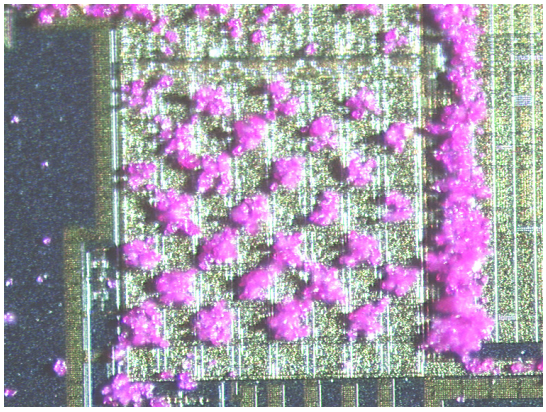

Abb. A3.1q: Versuch 30-3q

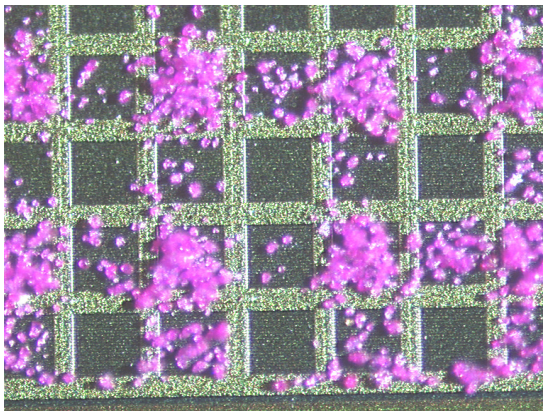

Abb. A3.1r: Versuch 30-3r

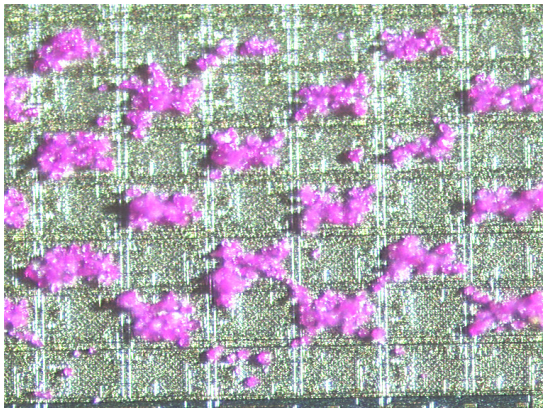

Abb. A3.1s: Versuch 30-3s

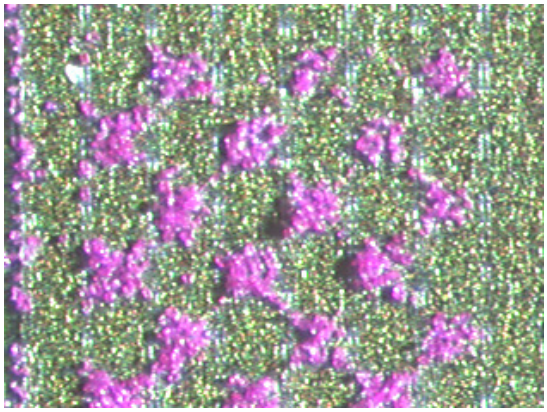

Abb. A3.1t: Versuch 30-3t

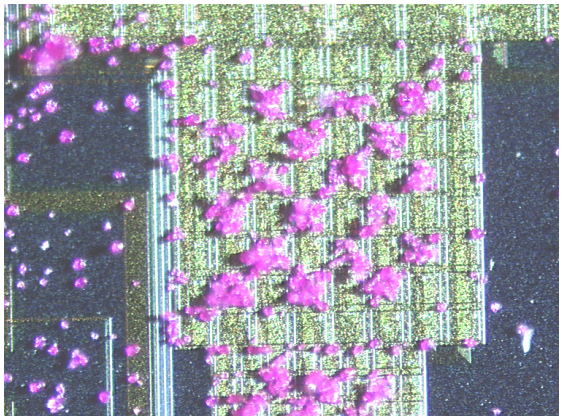

Abb. A3.1u: Versuch 30-3u

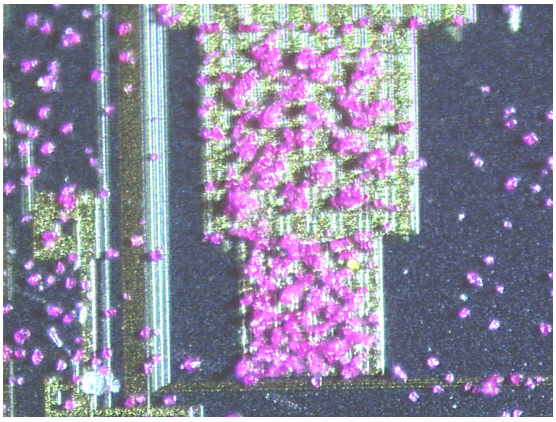

Abb. A3.1v: Versuch 30-3v & w

A3.2 Bilder zum zweifarbigen Tonerübertrag

Abb. A3.2a-k zeigen Ergebnisse eines Beschichtungsexperiments mit zwei verschiedenen Tonern in komplementären Mustern (Abschnitt 8.2.9). Auch diese Bilder sind – mit Ausnahme von Abb. A3.2a – im Vergleich zu Abb. 6.11 um 90° gedreht.

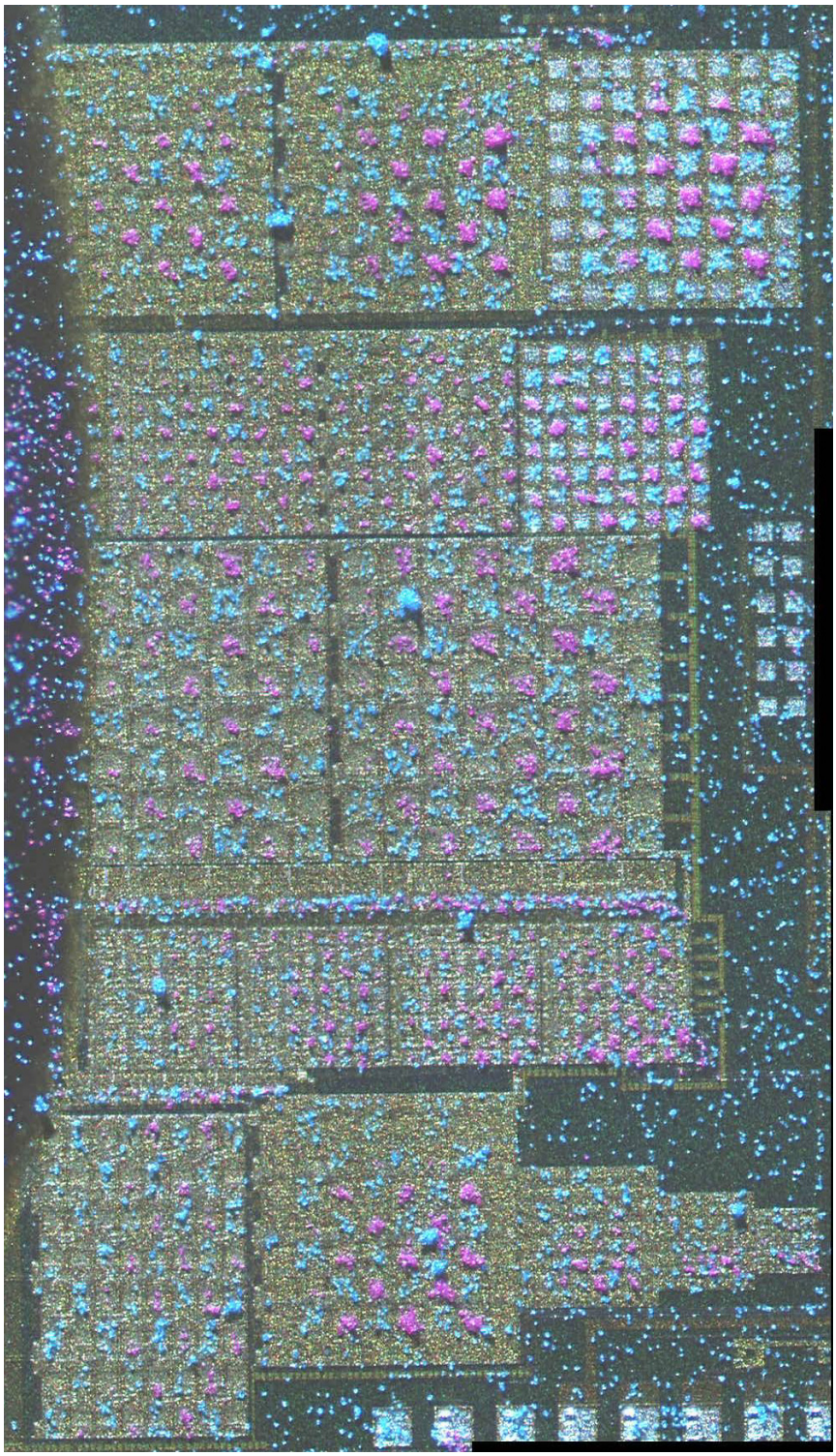

Abb. A3.2a: Gesamtansicht Versuch 44-11

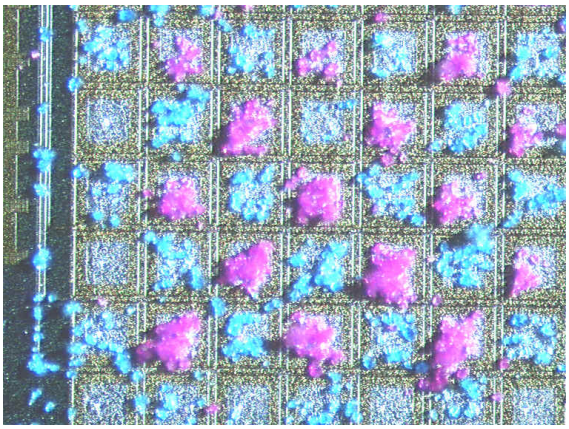

Abb. A3.2b: Versuch44-11d

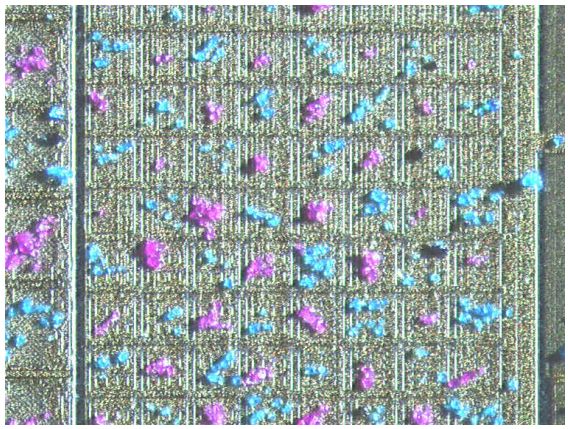

Abb. A3.2c: Versuch 44-11e

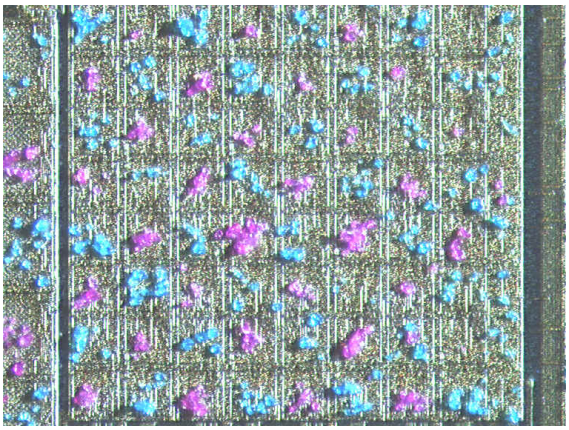

Abb. A3.2d: Versuch44-11h

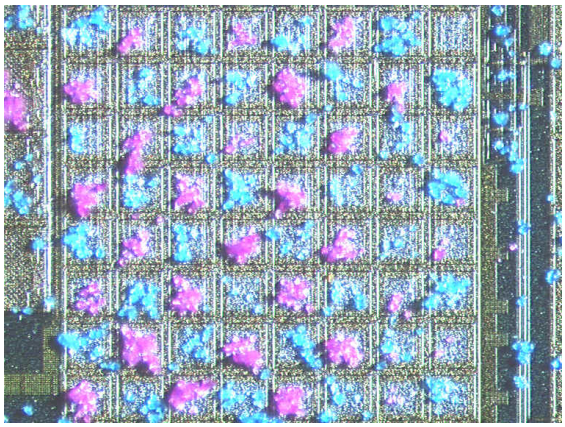

Abb. A3.2e: Versuch 44-11i

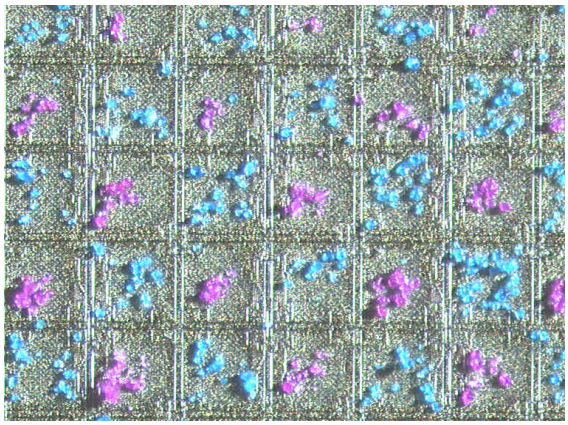

Abb. A3.2f: Versuch44-11l

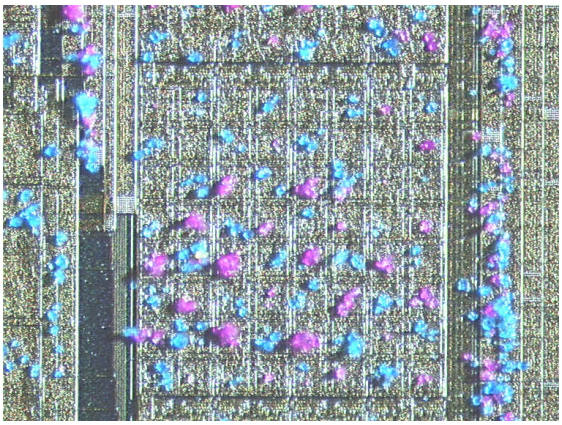

Abb. A3.2g: Versuch 44-11o

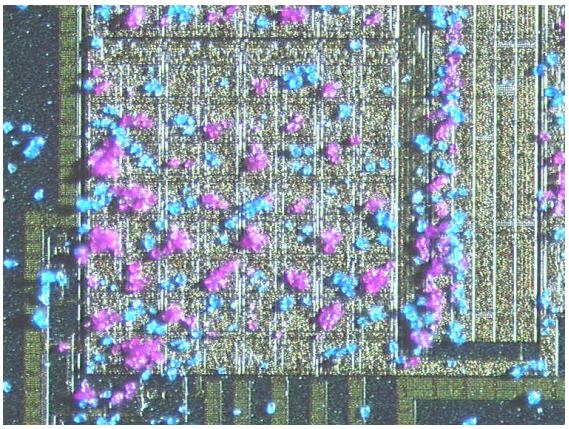

Abb. A3.2g: Versuch44-11q

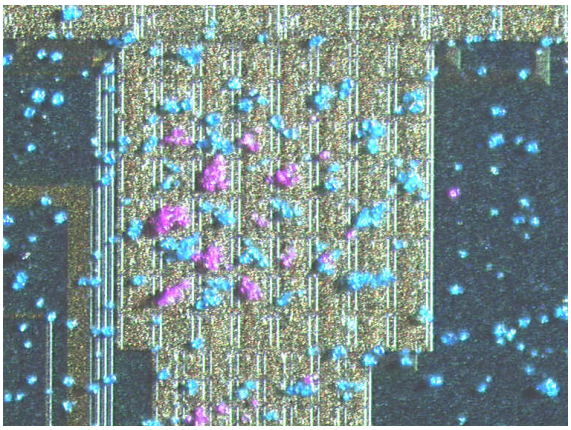

Abb. A3.2h: Versuch 44-11u